实验要求：

⑴ 同学按考试系统指派选题完成特定选题；

⑵ 在报告纸完成本实验的实验报告，给出完整设计源码（无需仿真代码）进行必要的注释说明（3条以上，包含但不限于：控制功能实现，分频，计数控制）；

(3) 在考试系统上提交代码；

(4) 开发板上下载，举手请老师验收；

(5) 实验所需时钟可从实验室配备信号发生器通过实验板JA、JB、JC口提供；

1. 用Verilog语言描述实现一个特殊分频器，假设外部时钟clk为10KHz,要求为：异步复位信号cr为高电平时，分频器输出信号out为0；cr为低电平时分频器输出信号out为100hz、占空比为30%。中间变量可自行定义。（）
2. 用Verilog语言描述实现一个特殊分频器，假设外部时钟clk为12Hz,要求为：异步复位信号cr为低电平时，分频器输出信号cp2Hz为0；cr为高电平时将外部时钟分频为2Hz的时钟信号由cp2Hz输出。中间变量可自行定义。（）
3. 用Verilog语言描述实现一个特殊分频器，假设外部时钟clk为16Hz,要求为：异步复位信号cr为高电平时，分频器输出信号cp4Hz为0；cr为低电平时将外部时钟分频为4Hz的时钟信号由cp4Hz输出。中间变量可自行定义。（）
4. 用Verilog语言描述实现一个特殊分频器，假设外部时钟clk为16Hz,要求为：异步复位信号cr为低电平时，分频器输出信号cp1Hz为0；cr为高电平时将外部时钟分频为1Hz的时钟信号由cp1Hz输出。中间变量可自行定义。（）
5. 用Verilog语言描述实现一个特殊分频器，假设外部时钟clk为18Hz,要求为：异步复位信号cr为高电平时，分频器输出信号cp3Hz为0；cr为低电平时将外部时钟分频为3Hz的时钟信号由cp3Hz输出。中间变量可自行定义。（）
6. 用Verilog语言描述实现一个特殊分频器，假设外部时钟clk为16Hz,要求为：异步复位信号cr为低电平时，分频器输出信号cp2Hz为0；cr为高电平时将外部时钟分频为2Hz的时钟信号由cp2Hz输出。中间变量可自行定义。（）
7. 用Verilog语言描述一个具有异步置数功能的循环计数器。假设模块输入时钟CLK为1Hz，要求如下：
8. 异步置数信号SET为高电平时，计数器复位并置数（且Q[3:0]输出）为7；SET为低电平时正常计数，计数规律为模5的循环加计数(5,6,7,8,9,5,6,7,8,9,…）。
9. 暂停信号PS（高电平）时计数器暂停。（）
10. 用Verilog语言描述一个具有异步置数功能的循环计数器。假设模块输入时钟CLK为1Hz，要求如下：

（1） 异步置数信号SET为低电平时，计数器复位并置数（且Q[3:0]输出）为9；SET为高电平时正常计数，计数规律为模4的循环减计数(9,8,7,6,9,8,7,6,…）。

（2）暂停信号PS（高电平）时计数器暂停。（）

1. 用Verilog语言描述一个具有异步置数功能的循环计数器。假设模块输入时钟CLK为1Hz，要求如下：

（1） 异步置数信号SET为高电平时，计数器复位并置数（且Q[3:0]输出）为8；SET为低电平时正常计数，计数规律为模5的循环加计数(3,6,7,8,9,3,6,7,8,9,…）。

（2）暂停信号PS（低电平）时计数器暂停。（）

1. 用Verilog语言描述一个具有异步置数功能的循环计数器。假设模块输入时钟CLK为1Hz，要求如下：

（1） 异步置数信号SET为高电平时，计数器复位并置数（且Q[3:0]输出）为5；SET为低电平时正常计数，计数规律为如下自动可逆计数(5，6，7，8，7，6，5，6，7，8，…）。

（2）暂停信号PS（低电平）时计数器暂停。（）

1. 用Verilog语言描述一个具有异步置数功能的循环计数器。假设模块输入时钟CLK为1Hz，要求如下：

（1） 异步置数信号SET为低电平时，计数器复位并置数（且Q[3:0]输出）为8；SET为高电平时正常计数，计数规律为模4的循环减计数(9，8，7，6，9，8，7，6，…）。

（2）暂停信号PS（高电平）时计数器暂停。（）

1. 用Verilog语言描述一个具有异步置数功能的循环计数器。假设模块输入时钟CLK为1Hz，要求如下：

（1） 异步置数信号SET为高电平时，计数器复位并置数（且Q[4:0]输出）为9；SET为低电平时正常计数，计数规律为如下自动可逆计数(9，8，7，6，5，6， 7，8，9，8，7，6，5，6， 7，8，…）。

（2）暂停信号PS（低电平）时计数器暂停。（）