

Leibniz  
Universität  
Hannover

# Nanoelektronik

H. Jörg Osten

**Institut für Materialien und Bauelemente  
der Elektronik  
- MBE -**

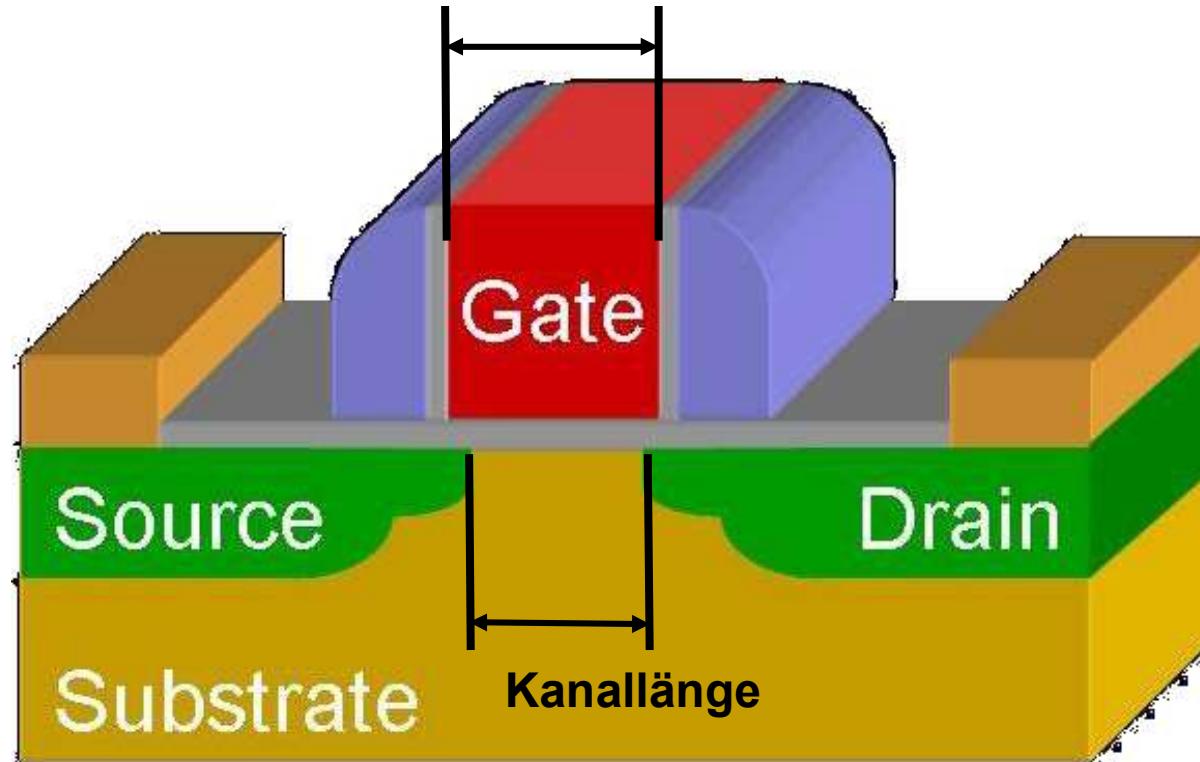
**Leibniz Universität Hannover  
Schneiderberg 32, 30167 Hannover**

---

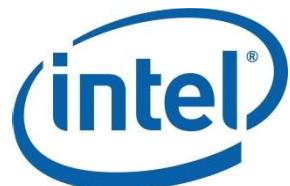
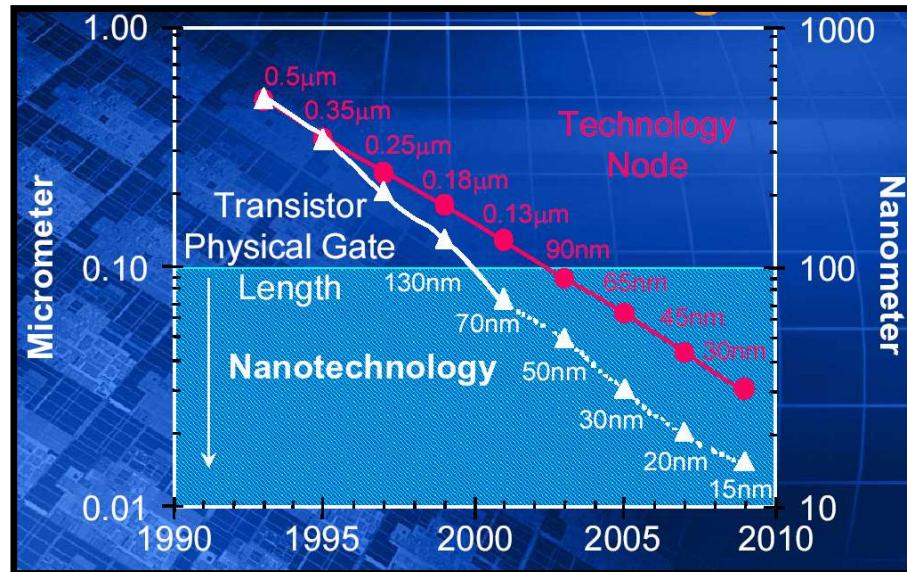
nur für den LUH-internen Gebrauch

# MOS-Feldeffekttransistor (MOSFET)

Rastermaß (Technologiegeneration)



# Von der Mikro- zur Nanoelektronik



unter 100 nm ist Nanoelektronik

Äquivalent skalieren (sub-100 nm Bereich):

- konventionelle Konzepte

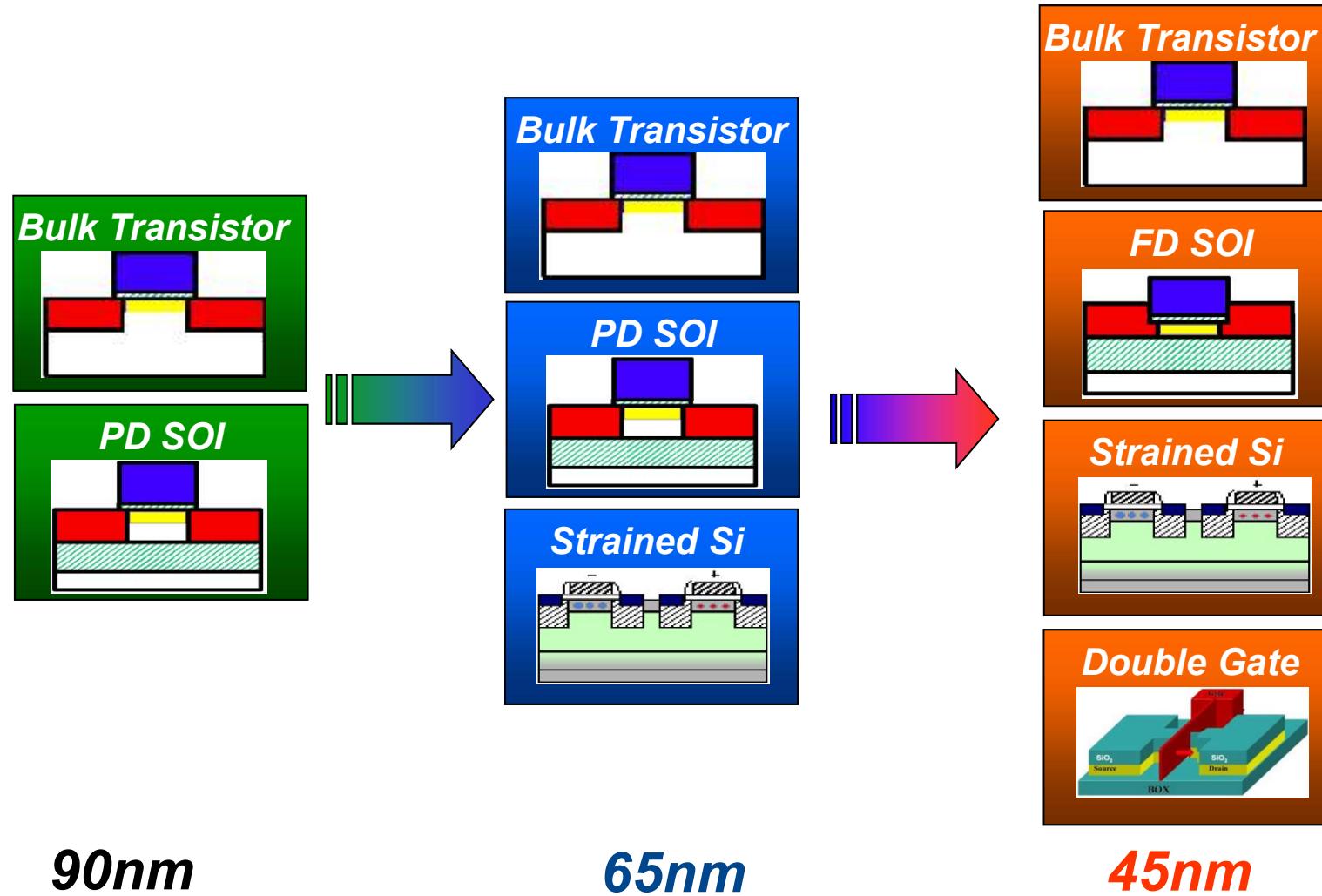
**ABER**

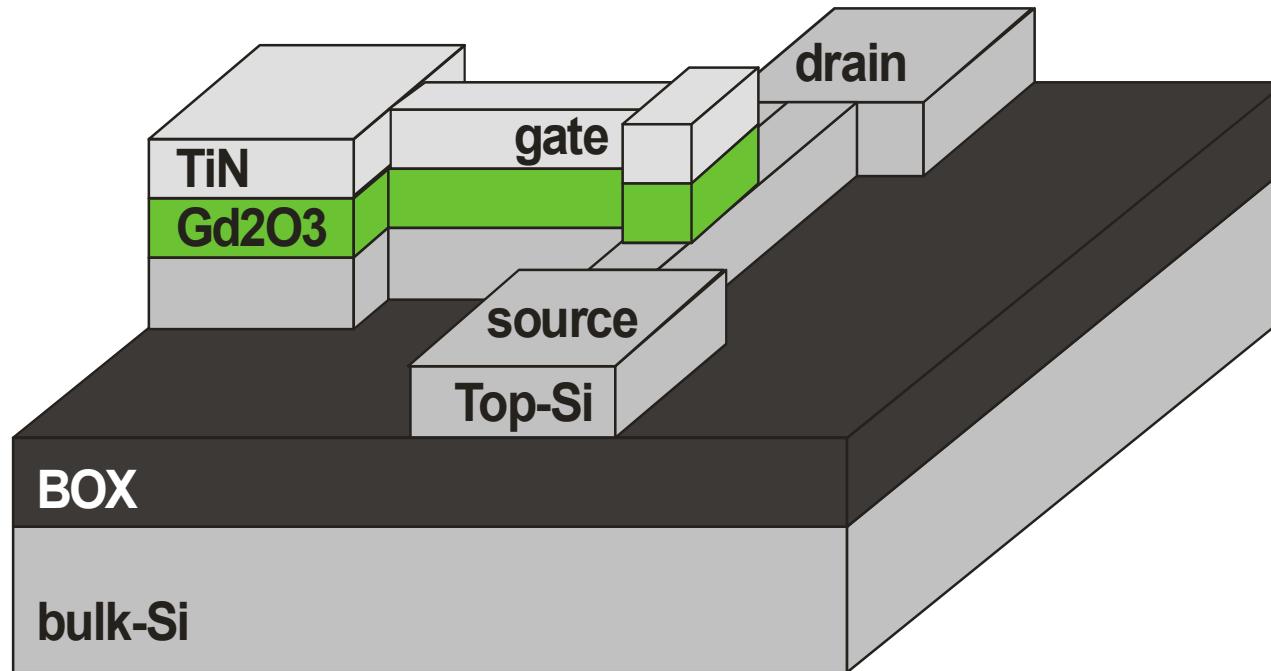
- modifizierte Materialien

**Beispiele für äquivalent skalieren  
(sub-100 nm Bereich, konventionelle  
Konzepte, modifizierte Materialien)**

- SiGe(:C)-Heterojunction Bipolartransistor
- Kupfer statt Aluminium
- High-*K* Dielektrika
- Low-*K* Dielektrika
- verspanntes (*strained*) Silizium
- SiGe-MOSFET

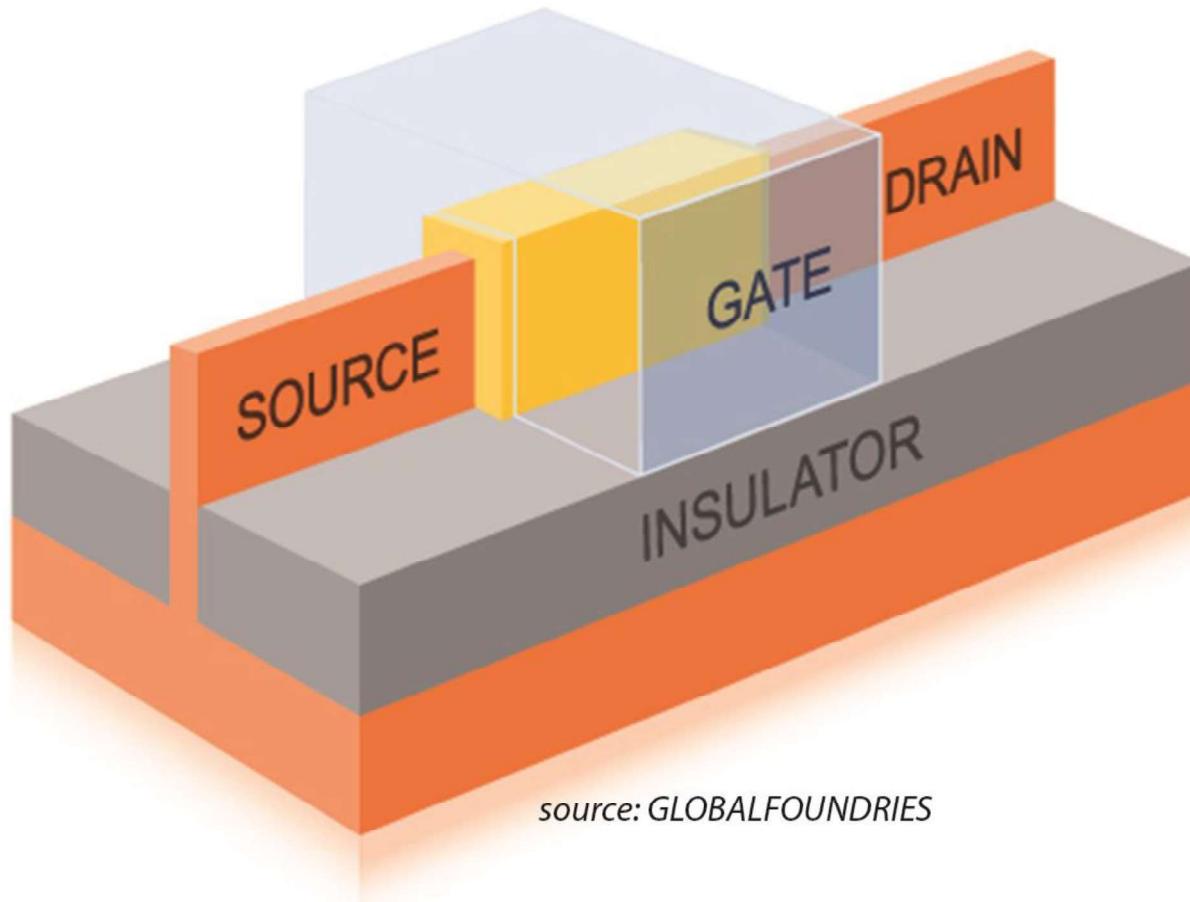
# CMOS: Veränderungen in den Bauelementen



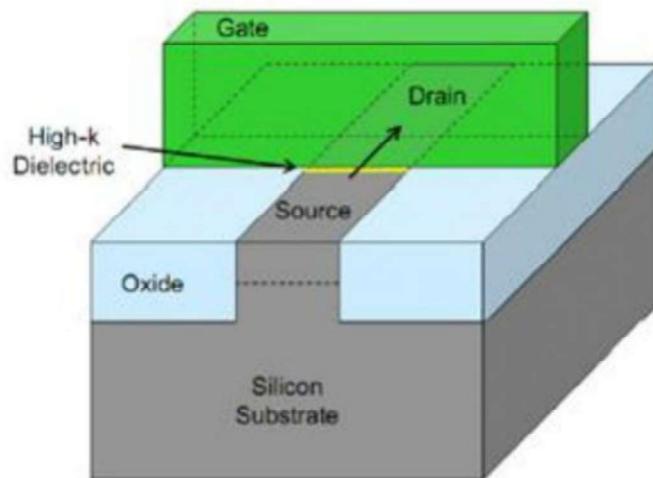


**Deutsches Verbundprojekt KrisMOS (BMBF)**

## 3D-Transistoren: FinFET

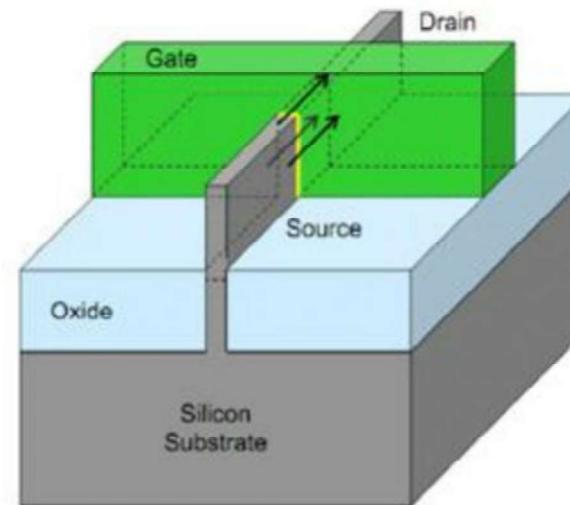


## Traditional Planar



Traditional 2-D planar transistor form a conducting channel in the silicon region under the gate electrode when in the “on” state

## 3D FinFET

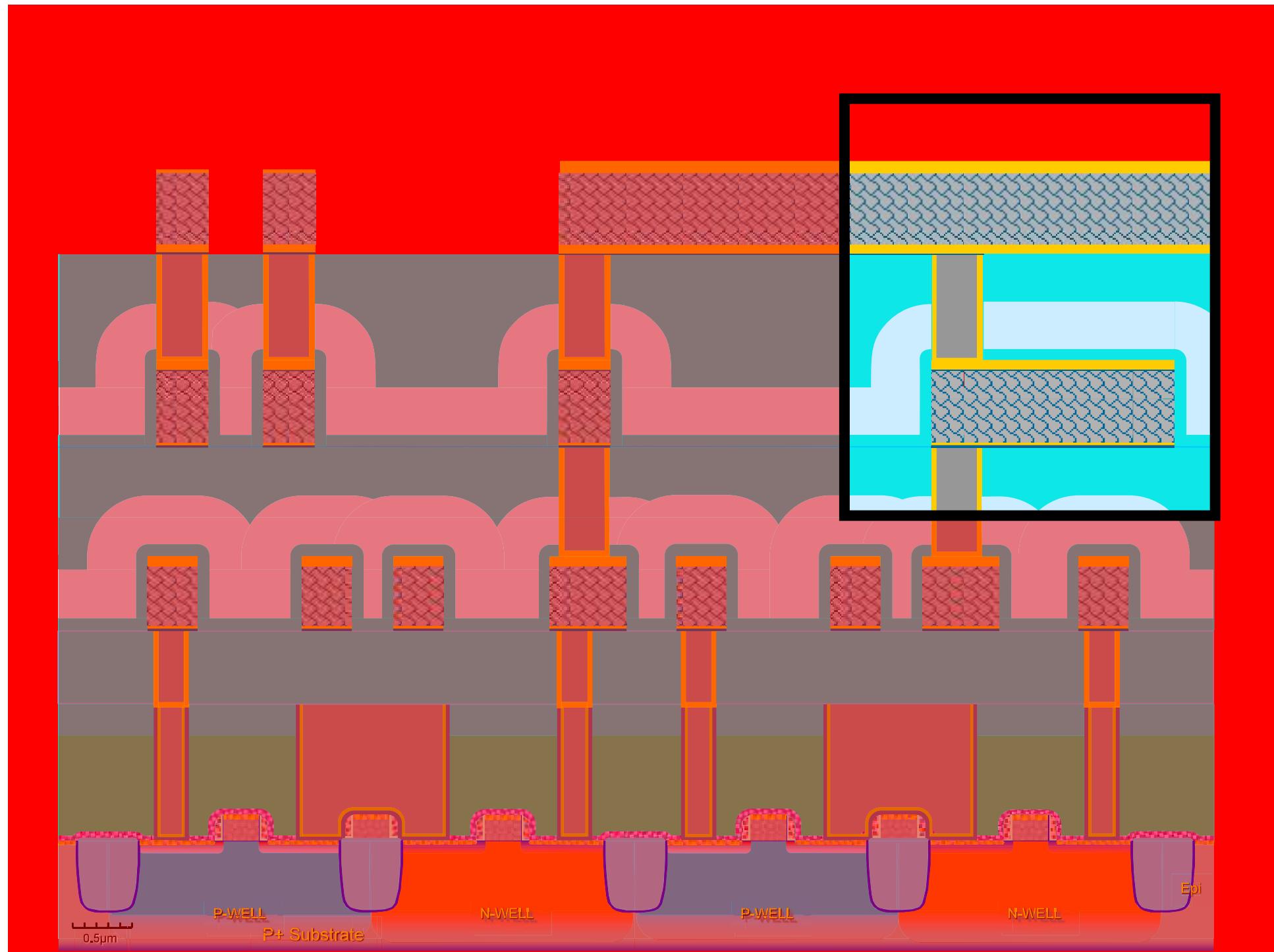


3-D Tri-Gate transistor form conducting channels on three sides of a vertical fin structure, providing “fully depleted” operation

## Showstopper für äquivalentes Skalieren

---

- Physikalische Grenzen (Quanteneffekte)
- Grenzen der konventionellen Bauelementekonzepte
- Leistung und Wärme
- **Grenzen der verwendeten Materialien**
- Technische Grenzen (z.B. Lithografie)
- Ökonomische Grenzen
- Grenzen beim Entwurf

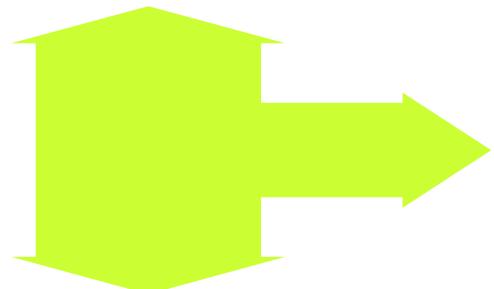


## RC-Verzögerung

Annahme:

zwei parallele Leitbahnen werden  
als Plattenkondensator betrachtet

$$C = LW K_{ox} \epsilon_0 / t_{ox}$$



$$RC \sim \rho_{met} K_{ox} L^2 / (t_{ox} t_{met})$$

$$R = \rho_{met} L / (W t_{met})$$

→ Nur bei langen Leitbahnen problematisch!!

$$RC \sim \rho_{\text{met}} K_{\text{ox}} L^2 / t_{\text{ox}} t_{\text{met}}$$

**Strategien zur Reduzierung von RC:**

- möglichst geringer Widerstand  $\rho_{\text{met}}$  (**Cu statt Al**)
- möglichst dicke Zwischenschicht  $t_{\text{ox}}$
- möglichst dicke Metallschicht  $t_{\text{met}}$

**Limitiert durch Gesamtdesign**

- Zwischenschicht mit kleinerem  $K_{\text{ox}}$   
*(low-K dielectrics, z.B. Polymere)*

## Wie reduziert man die dielektrische Konstante?



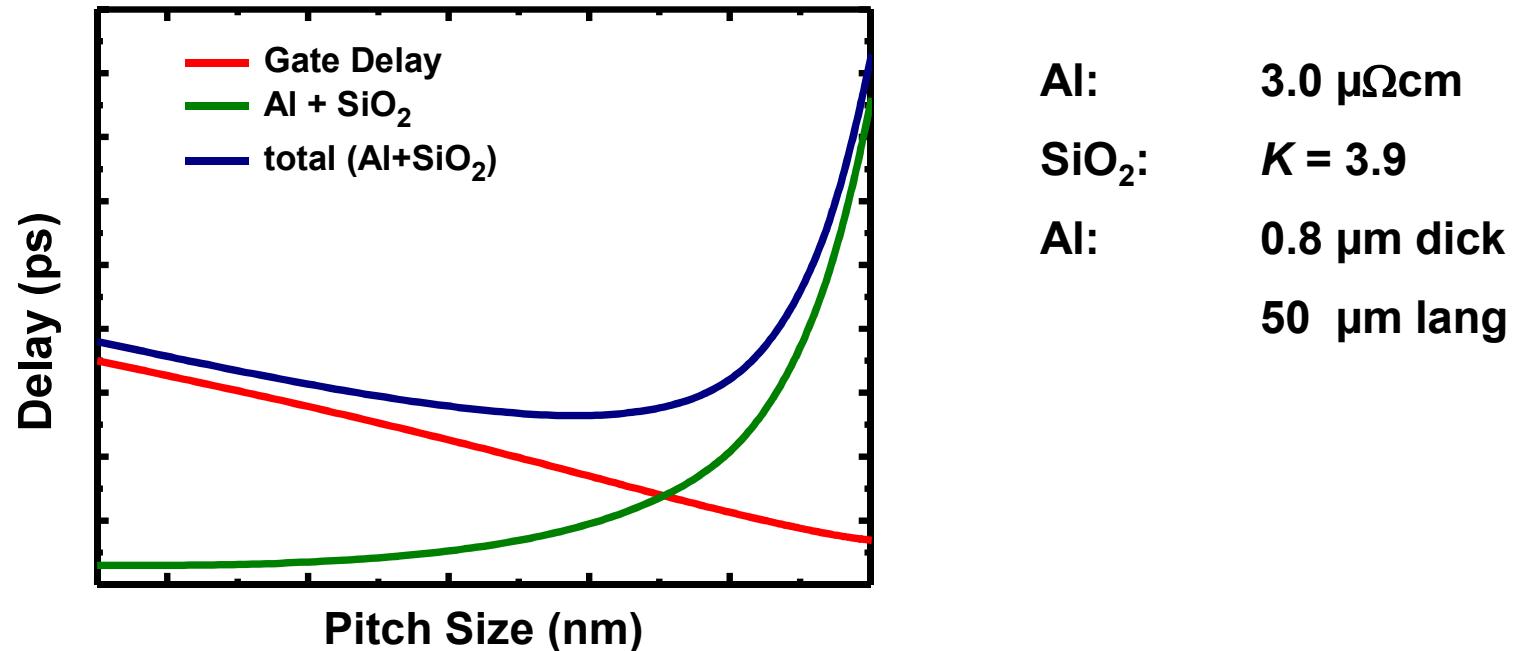
1 geringere Polarität

2 geringere Dichte

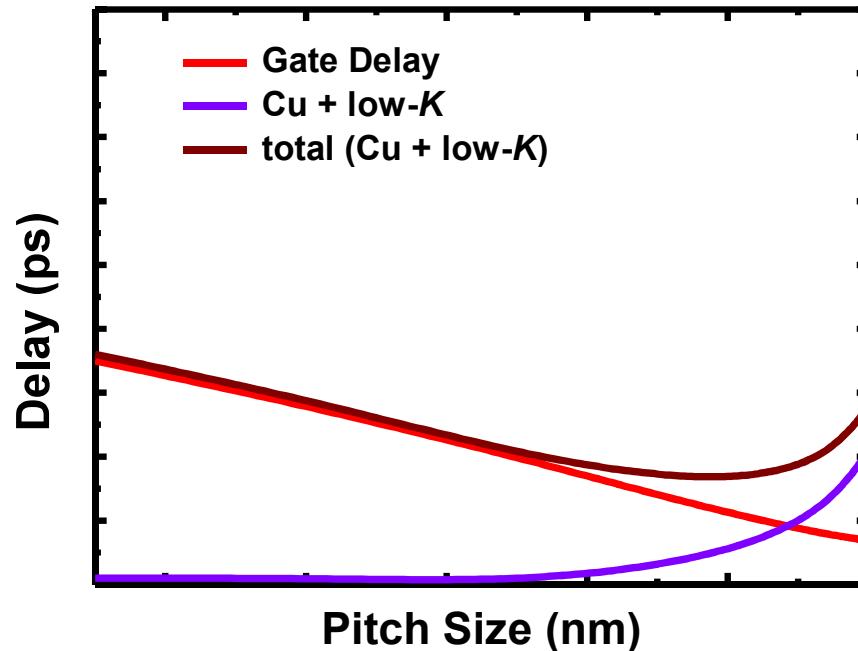
Materialien	dielektrische Konstante	Abscheidung
$\text{SiO}_2$	3.9 - 4.3 $k$	CVD
Fluorinated oxide <sup>1</sup>	3.4 - 3.9 low- $k$	CVD
Organosilicate glass <sup>1,2</sup>	2.5 - 3.0 low- $k$	CVD
Organic polymer <sup>1</sup>	2.5 - 3.0 low- $k$	CVD/SOD
Porous organic polymer <sup>1,2</sup>	2.0 - 2.5 ultra low- $k$	SOD
Porous organic polymer <sup>1,2</sup>	1.5 - 1.9 extreme low- $k$	SOD

\* SOD: Spin-on Deposition

## Berechnete Verzögerungszeiten

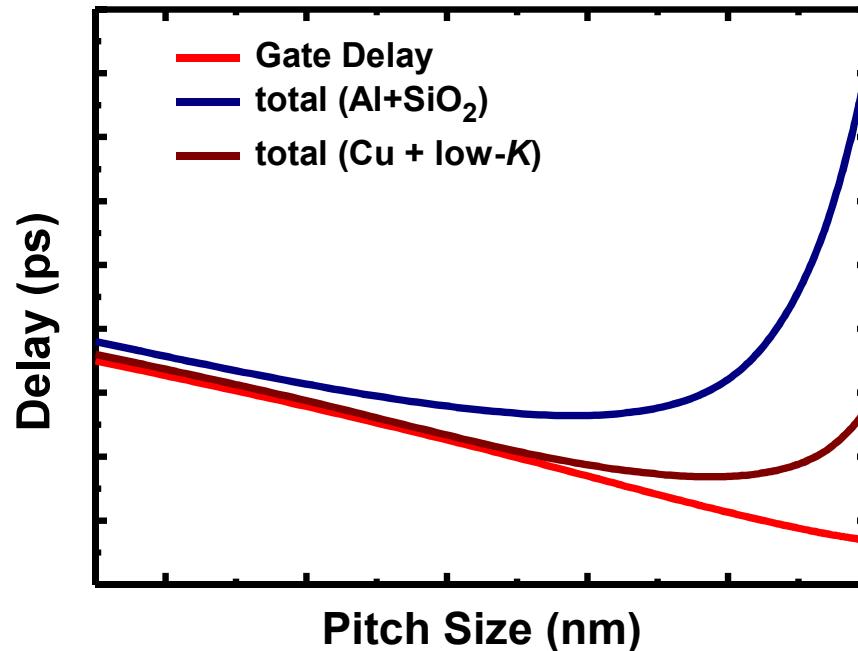


## Berechnete Verzögerungszeiten



Al:  $3.0 \mu\Omega\text{cm}$   
Cu:  $1.7 \mu\Omega\text{cm}$   
 $\text{SiO}_2$ :  $K = 3.9$   
Low- $K$ :  $K = 2.0$   
Cu:  $0.8 \mu\text{m}$  dick  
 $50 \mu\text{m}$  lang

## Berechnete Verzögerungszeiten



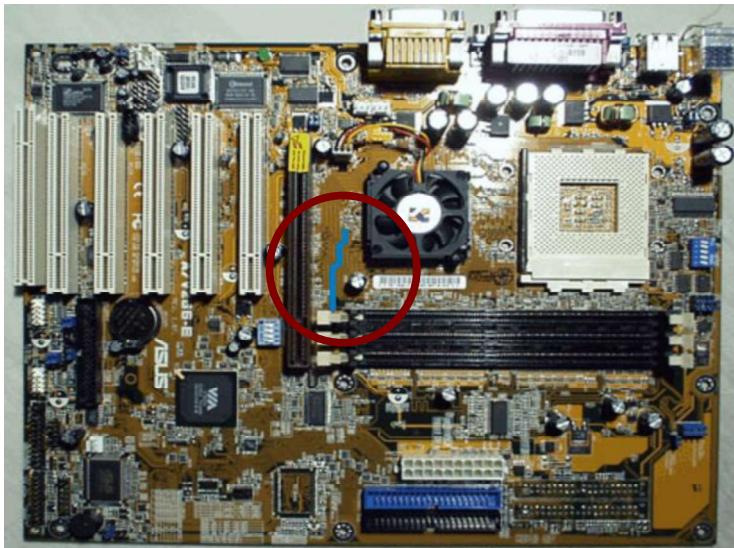
Al:  $3.0 \mu\Omega\text{cm}$   
Cu:  $1.7 \mu\Omega\text{cm}$   
SiO<sub>2</sub>:  $K = 3.9$   
Low-K:  $K = 2.0$   
Al & Cu:  $0.8 \mu\text{m}$  dick  
 $50 \mu\text{m}$  lang

## RC-Verzögerung: Zusammenfassung

---

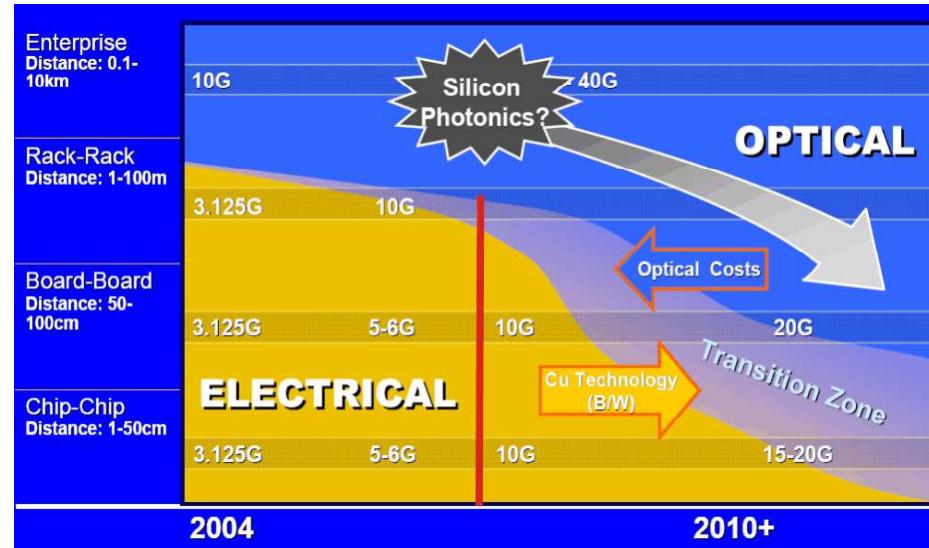
- höhere Technologieniveaus → Gate Delay sinkt
- höhere Technologieniveaus → RC Verzögerung steigt
- Gate Delay sollte größer als RC-Verzögerung sein!
- Cu + low-K hilft nur für einige Generationen
- Minimierung der Leitbahnlängen wird immer wichtiger
  - *Interconnect driven circuit design*
  - Simultane Kontaktierung statt Bonding
- mögliche Lösung: 3D- Integration (?)

## Motherboard



Verbindung zwischen Prozessoren mit Kupferdrähten

## Zukünftige Entwicklung :

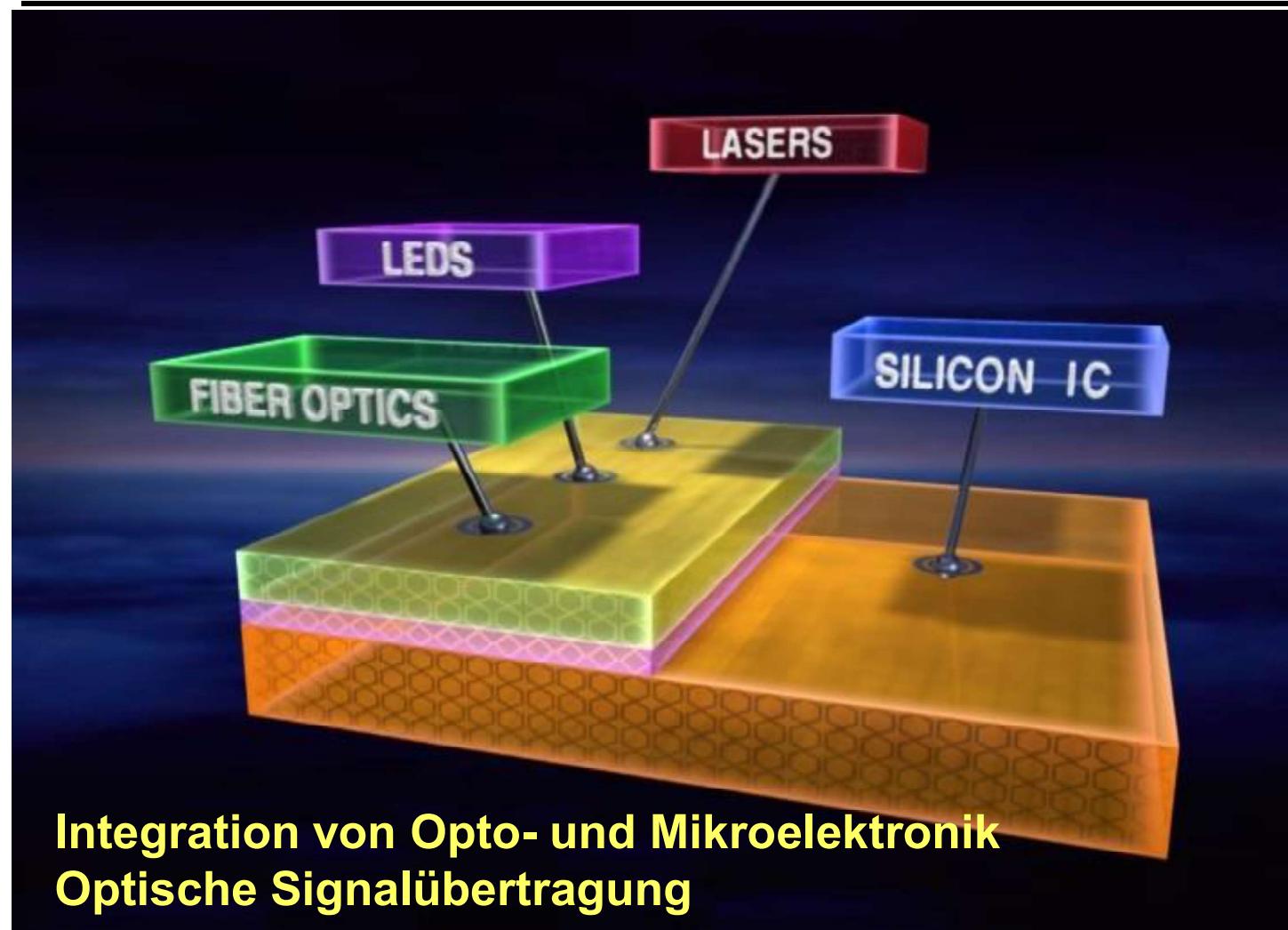


→ Optische Verbindungen

**ABER:** es gibt aber keine Silizium Lichtquellen

→ Man benötigt direkte Halbleitermaterialien

→ Integration von Verbindungshalbleitern auf Silizium



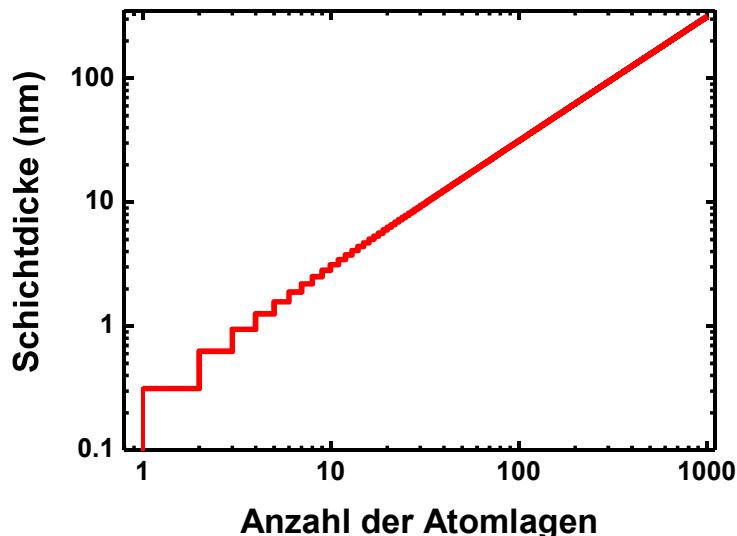
## Showstopper für äquivalentes Skalieren

---

- **Physikalische Grenzen (Quanteneffekte)**
- **Grenzen der konventionellen Bauelementekonzepte**
- **Leistung und Wärme**
- **Grenzen der verwendeten Materialien**
- **Technische Grenzen (z.B. Lithografie)**
- **Ökonomische Grenzen**
- **Grenzen beim Entwurf**

## „Quantisierung“ von Materialeigenschaften

### - Schichtdicken -



**Schichtdicke als Funktion  
der einzelnen Atomlagen für  
Silizium**  
(1 Atomlage = 0,314 nm)

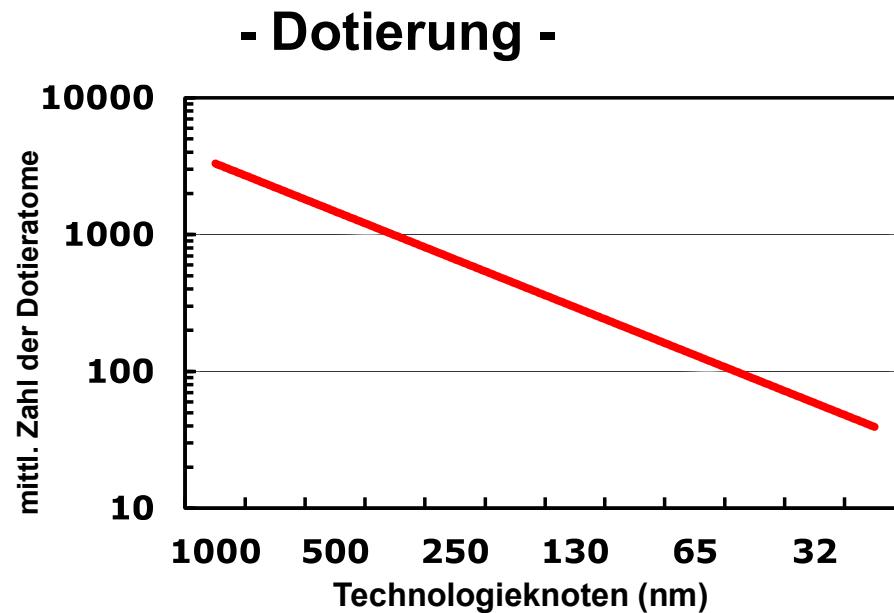
Für eine 1,5 nm dicke Si-Schicht gilt:

minimale Abweichung:  $\pm 1$  Atomlage  $\rightarrow \sigma \sim 20\%$

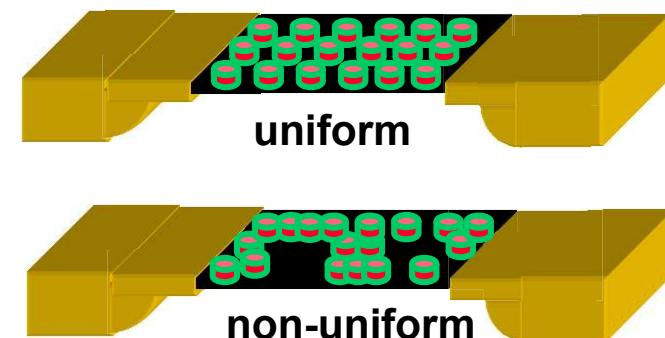
$\rightarrow$  Nur noch diskrete Dicken möglich

$\rightarrow$  Lösung: alternative Materialien mit gleicher  
Funktionalität bei größerer Dicke

## „Quantisierung“ von Materialeigenschaften



Gesamtzahl der  
Dotieratome im Kanal  
eins NMOS



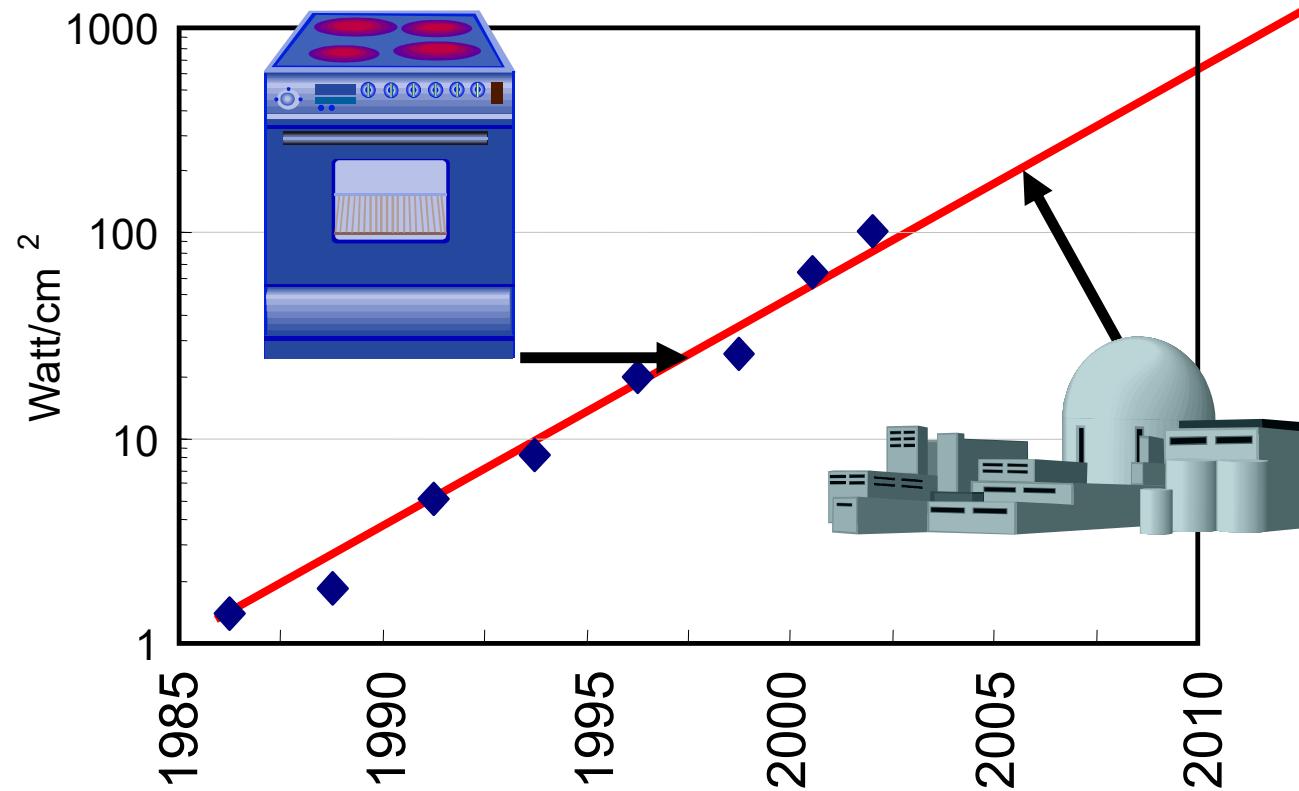
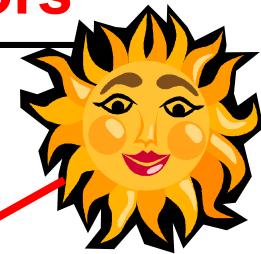
Hohe Dotierung entspricht  $\sim 1 \times 10^{19}$  at/cm<sup>3</sup>

in  $(10\text{ nm})^3$  sind das noch 10 Atome!

→ Lokale Anordnung wird entscheidend

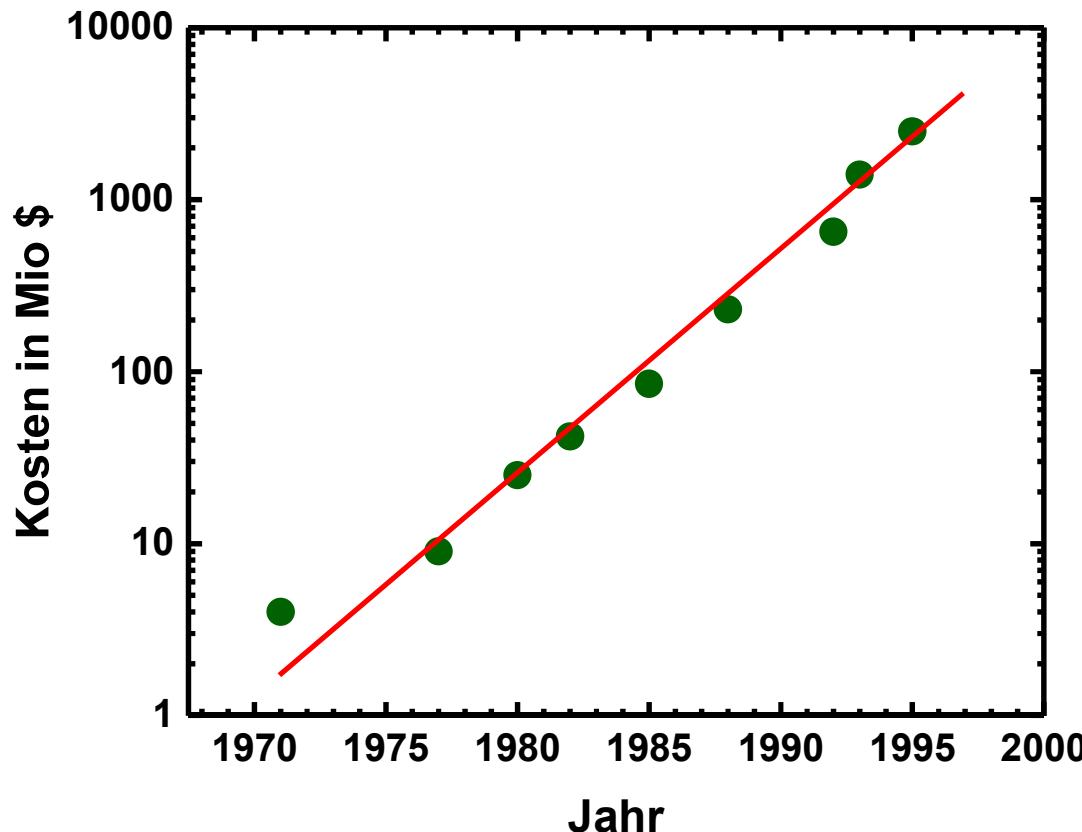
→ Lösung: Trennung von Dotierung und Kanal (MODFET)

## Leistungsdichte im Gate eines Transistors



## Kosten einer Chipfabrik

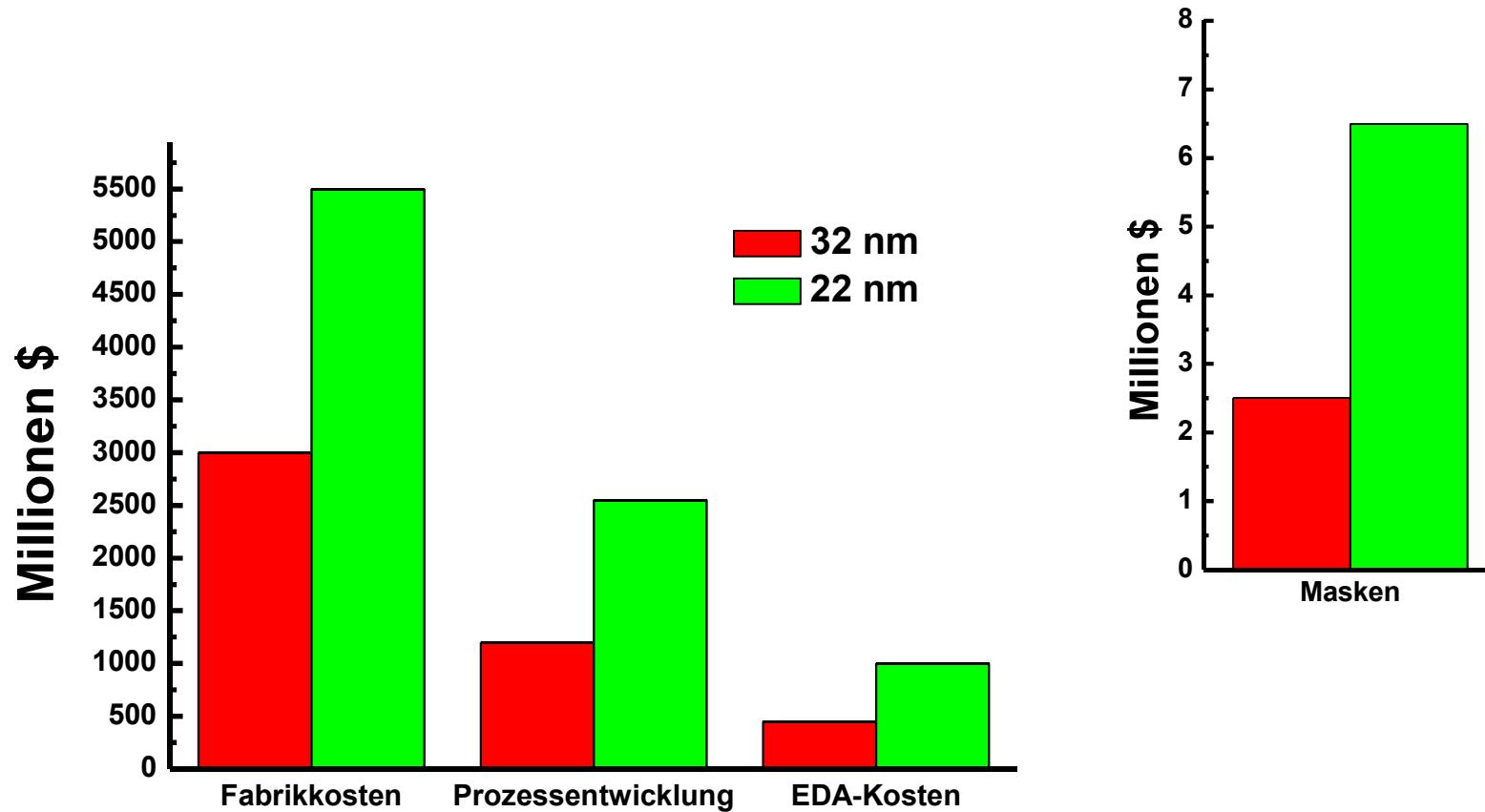
→ Die Kosten einer Chipfabrik verdoppeln sich alle 3 Jahre



“Zweites Moore’sche Gesetz”

Quelle: VLSI Research

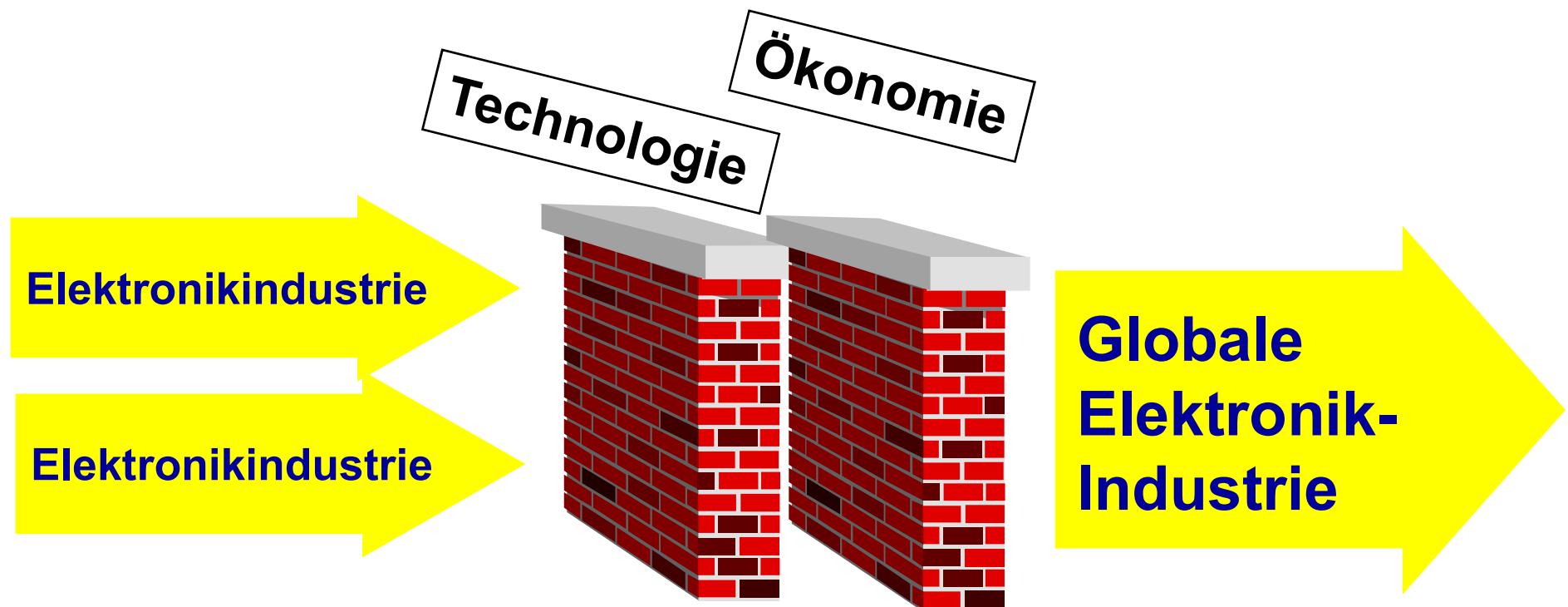
## Technologiekosten: ein Beispiel



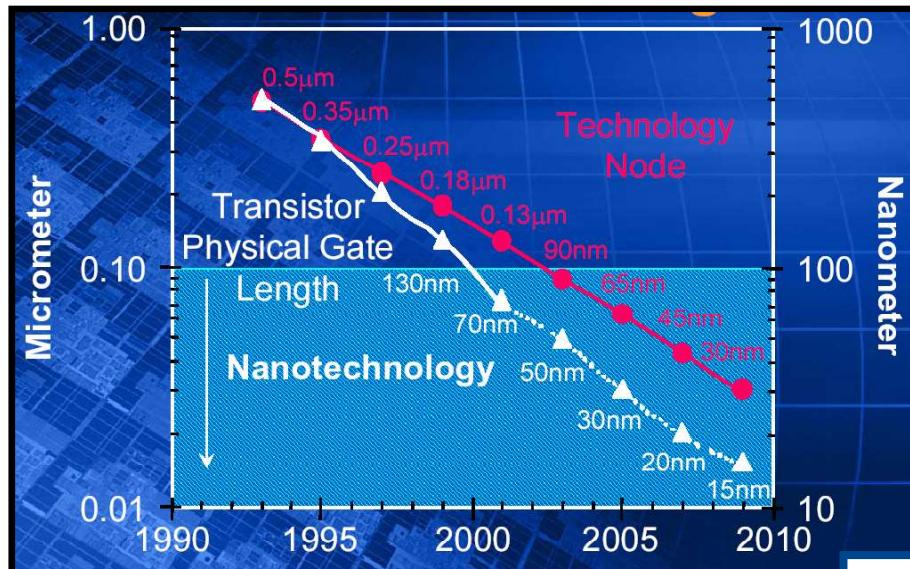
Quelle: IBS Mai 2011

90er Jahre

21. Jahrhundert



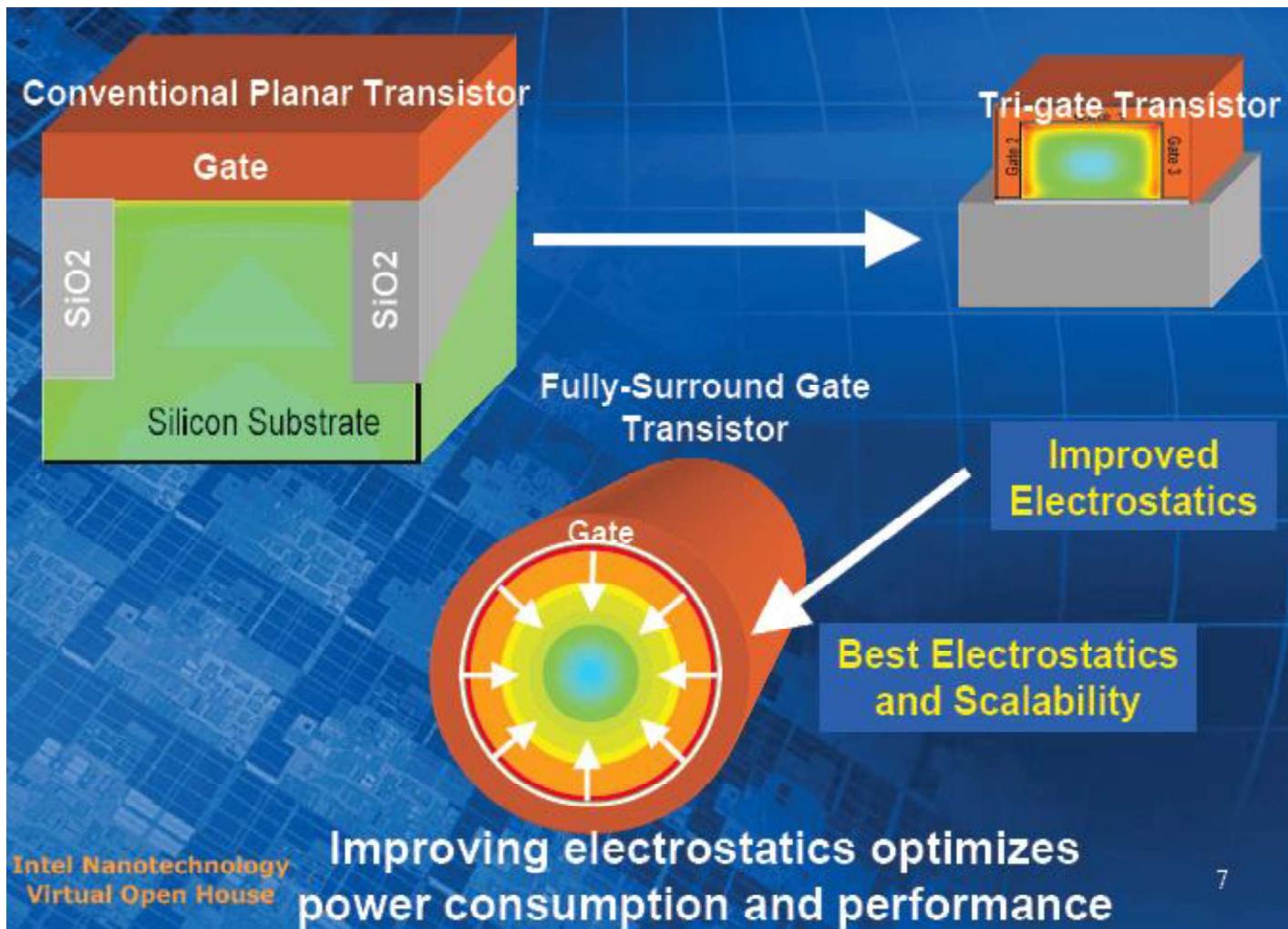
# Von der Mikro- zur Nanoelektronik



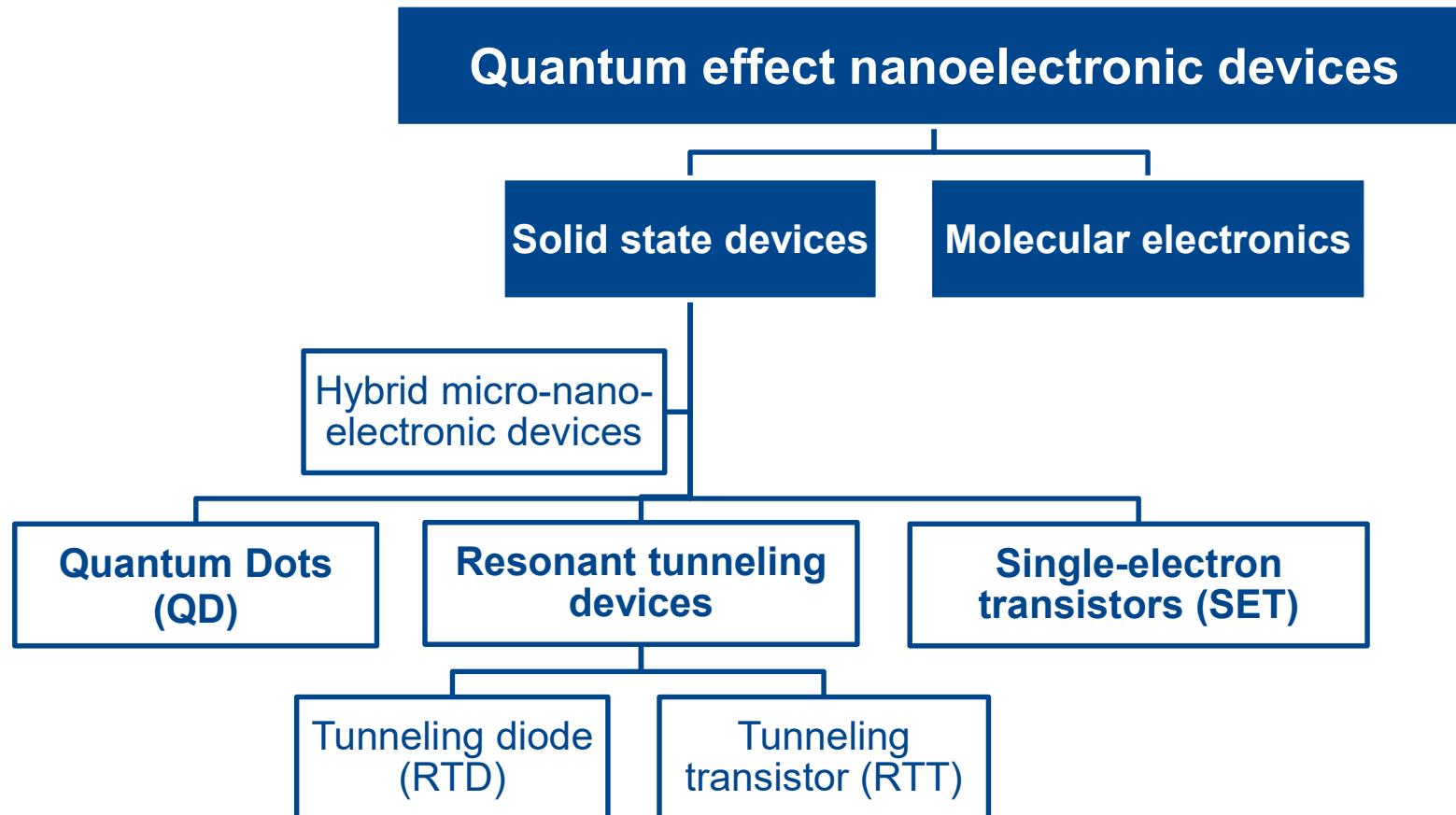
Äquivalent skalieren  
(sub-100 nm Bereich):  
- konventionelle Konzepte  
- modifizierte Materialien

Nanoelektronik:  
- neue Konzepte  
- neue Prinzipien  
- neue Funktionalität

## Nano-Device Structure Evolution



7

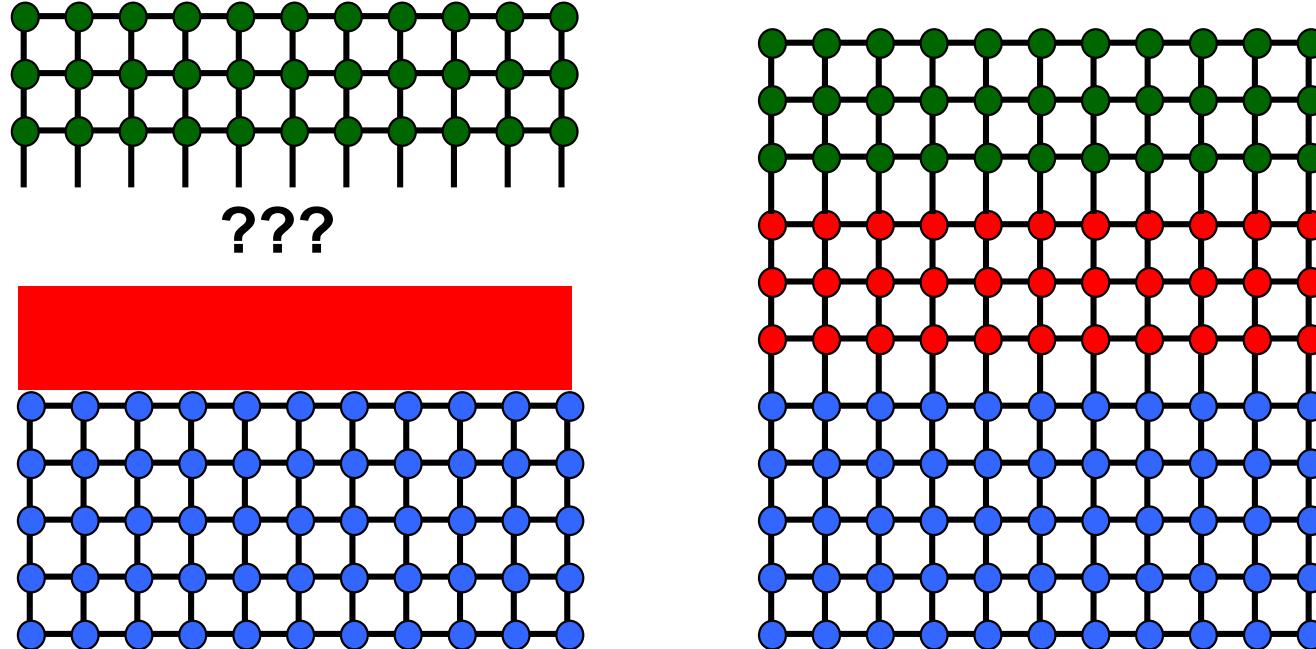


## Nanoelektronik für den Massenmarkt

---

- Anforderungen
  - Funktionalität bei Raumtemperatur und höher integrierbare Lösungen
    - mehr als  $10^9$  Bauelemente auf einem Chip
    - hohe Ausbeute bei einfacher Herstellung
  - In näherer Zukunft basierend auf Si-Wafern oder Glas
    - billig, große Waferflächen
    - ausreichend verfügbar
    - hohe Perfektion
  - Integration von verschiedenen Materialien auf Si mit Atomlagengenauigkeit

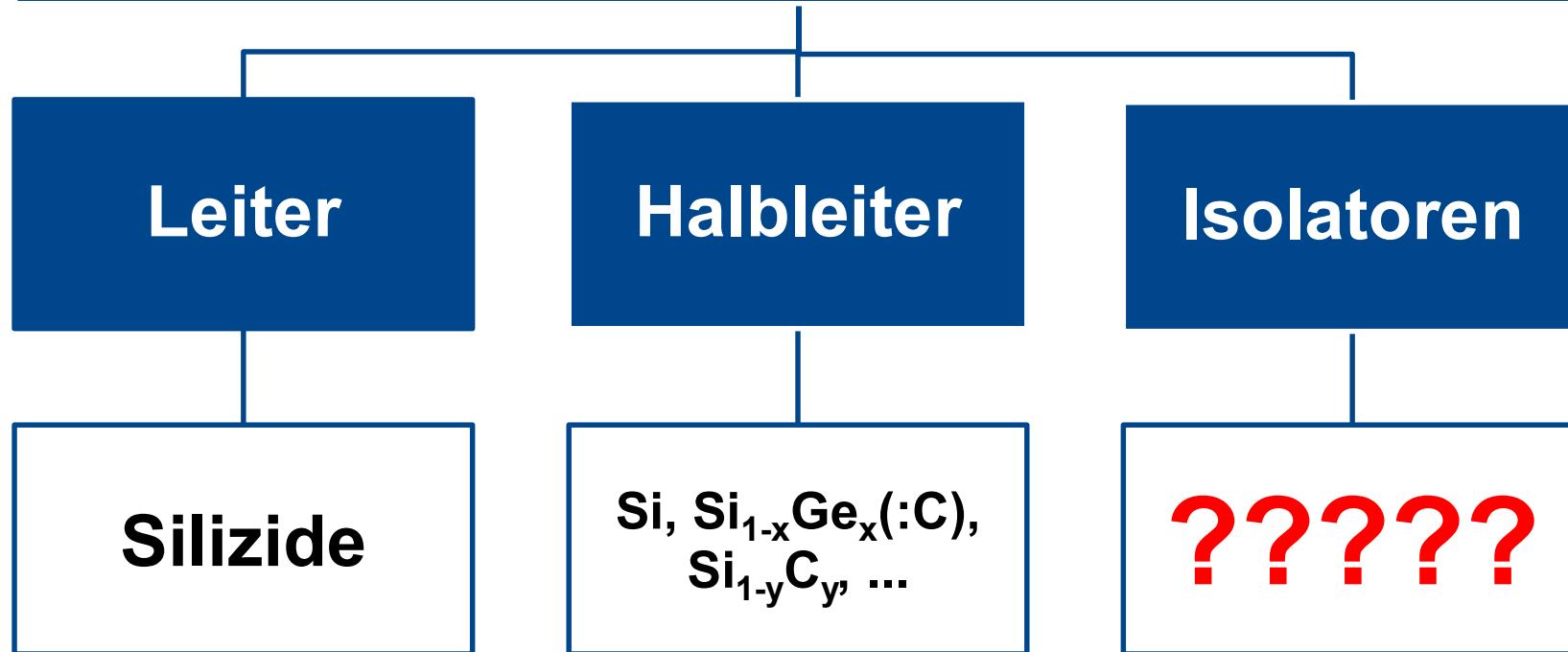
## Amorph oder epitaktisch?



**Epitaktisch:** wohl definierte Grenzfläche:  
→ Grenzflächenengineering besser möglich

**Prinzipiell sind epitaktische Schichtstapel möglich**  
→ vergrabene Strukturen

### Heterostrukturen auf Silizium



## Anwendungen für epitaktische Isolatoren

---

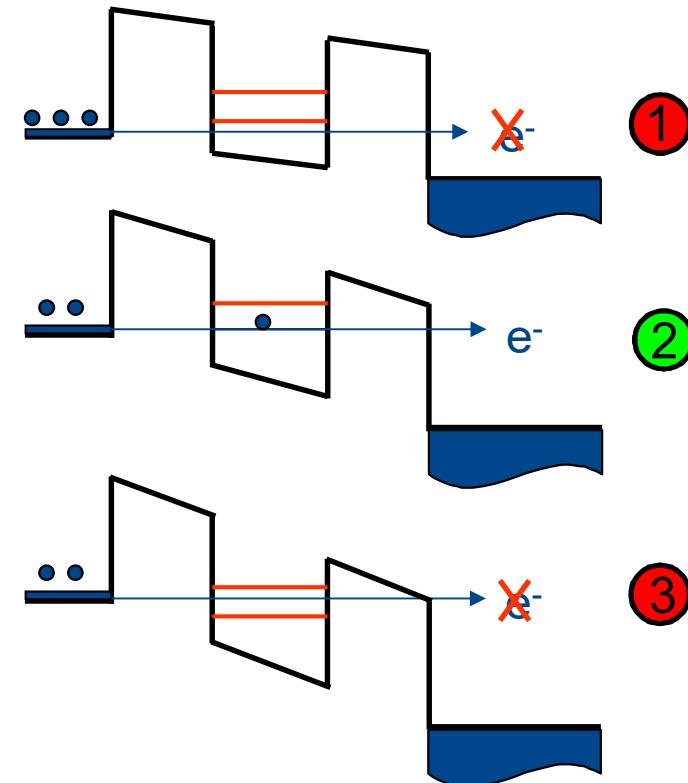
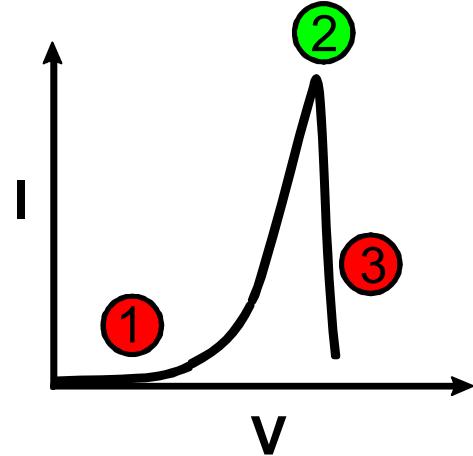
- „klassisch“
  - High-K Dielektrika für Gate-Isolation
  - Signalisation durch „Silicon on Isolator (SOI)
- „Nichtklassisch“
  - Resonante Tunneldioden
  - Tunnel-Transistoren
  - Vergrabene Nanocluster Bauelemente (z.B. Speicher)
  - Grundlagen für 3D-Integration
- Mögliche Materialklassen
  - Perovskit-Typ Strukturen (STO, BSTO usw.)
  - Selten-Erden-Oxide (Lanthanoidoxide)
  - Wir untersuchen z.Z.  $Gd_2O_3$

## Mögliche Heterostruktur-Bauelemente

Resonante-Tunnel-Diode (RTD)  
mit Isolator-Doppelbarriere und  
Halbleiter-Quantum-Well



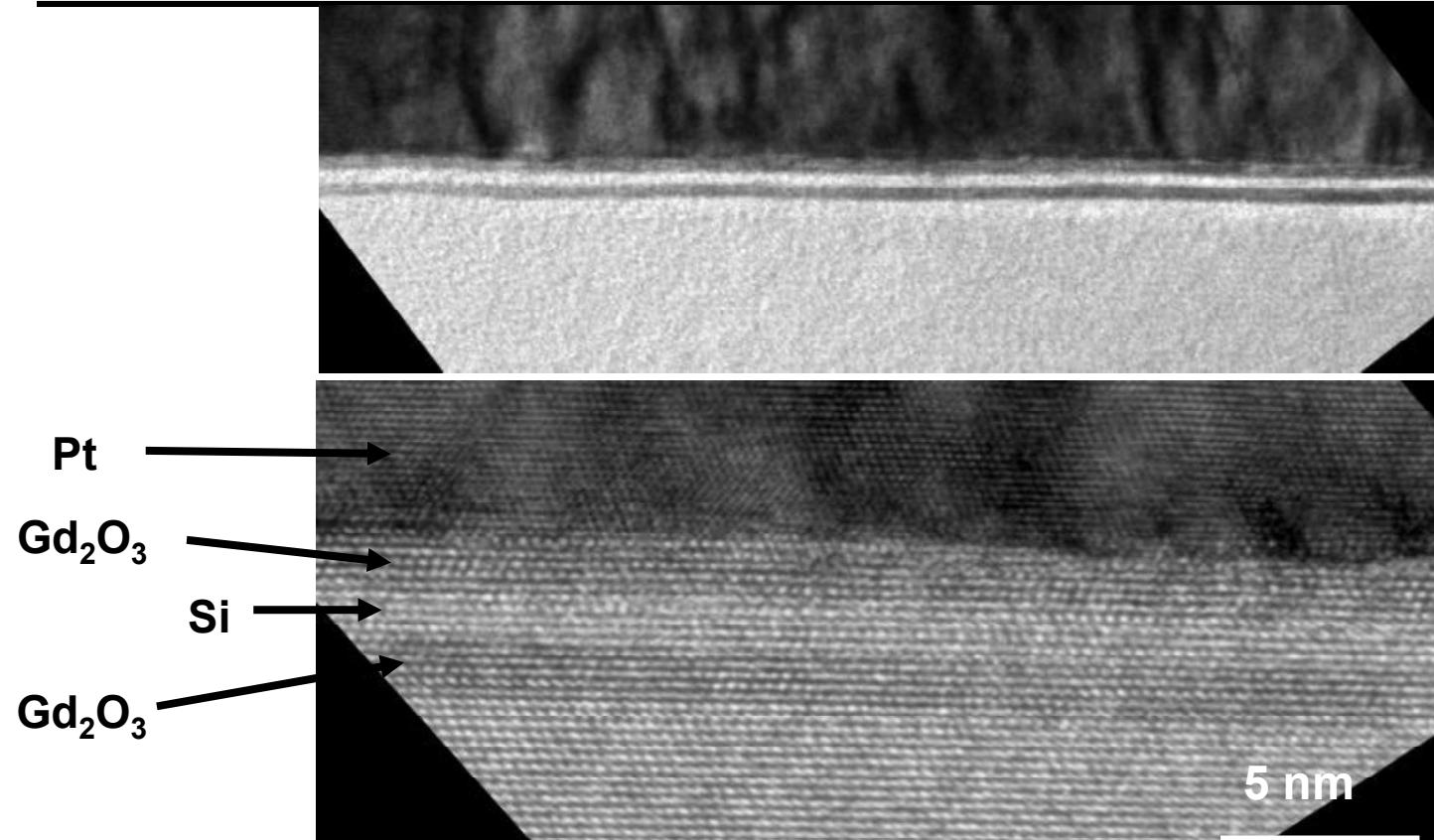
# Prinzip einer Resonanten Tunneldiode (RTD)



## Vorteile:

- hohe Geschwindigkeit
- komplexe Funktionalität  
(Schaltungskonzepte liegen vor)
- geringer Stromverbrauch

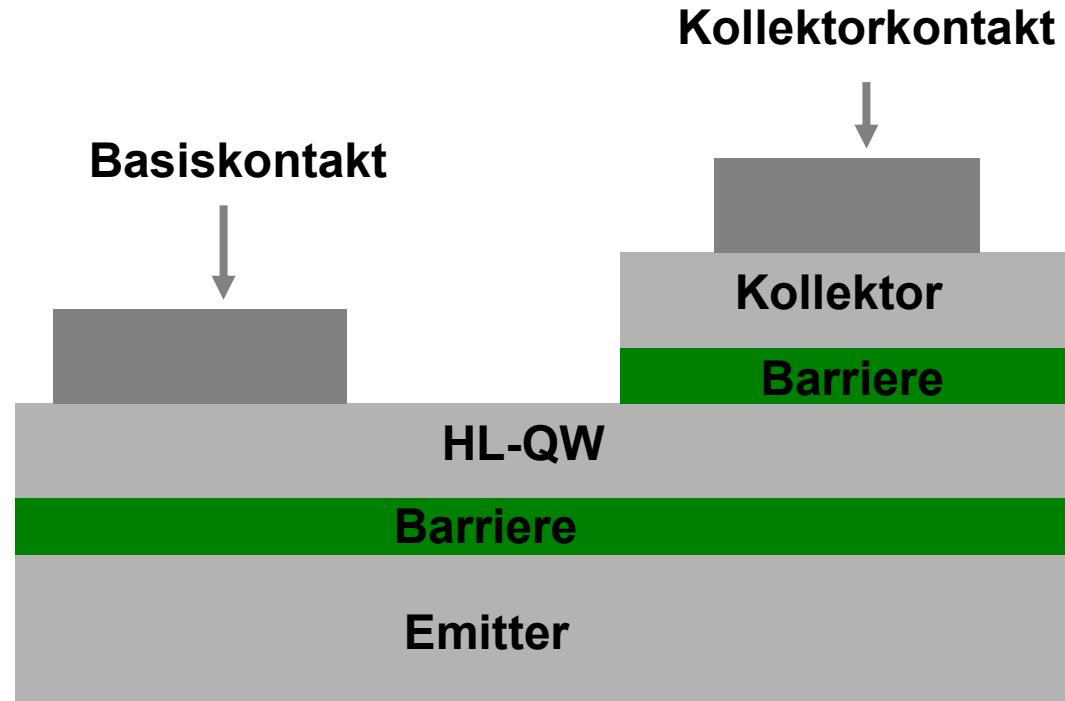
## Mod. Wachstum für eine Doppelbarrierestruktur



*Encapsulated Solid-Phase Epitaxy*

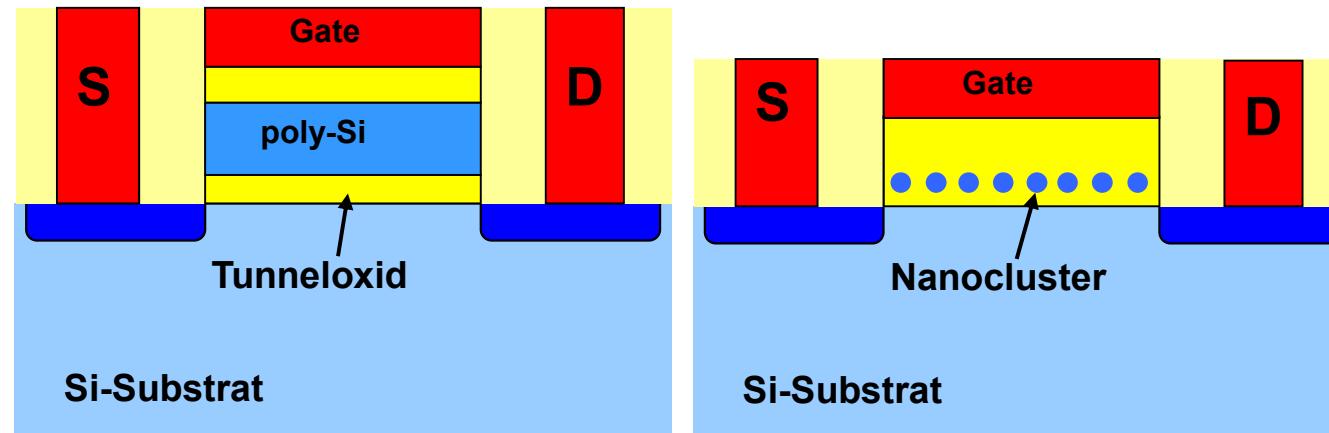
A. Fissel, D. Kühne, E. Bugiel, H.J. Osten: Novel approach for fabrication of single crystalline insulator /Si/insulator nanostructures: Cooperative solid-vapor-phase epitaxy, Appl. Phys. Lett. 88 (2006) 153105

# Resonanter Tunnel-Transistor



Auch möglich mit 3 Isolatorbarrieren

## Floating-Gate Nanocluster-Speicher



- Fehlen der Querleitfähigkeit zwischen den einzelnen Clustern
  - ➔ Resistenz gegen Defekte im Tunnelisolator
  - ➔ mehr Be- und Entlade-Zyklen
- dünnerne Tunneloxide
  - ➔ kleinere Lade- und Betriebsspannungen
- Bessere Skalierbarkeit ➔ höhere Packungsdichte

---

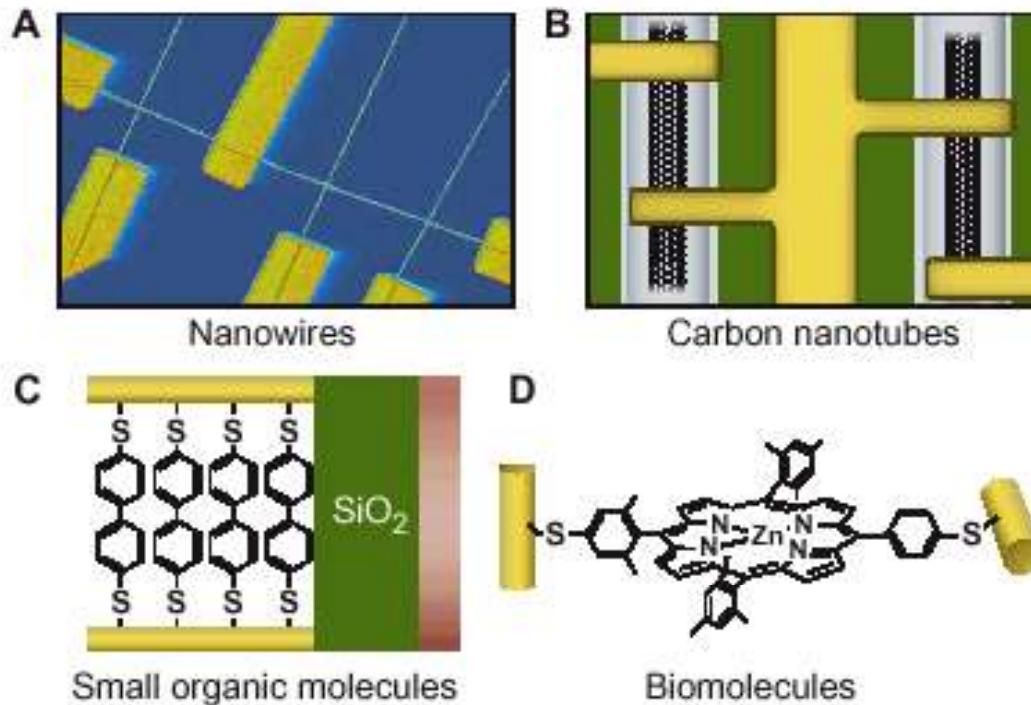
# Nanoelektronische Ansätze für die fernere Zukunft

## Zukünftige Elektronik

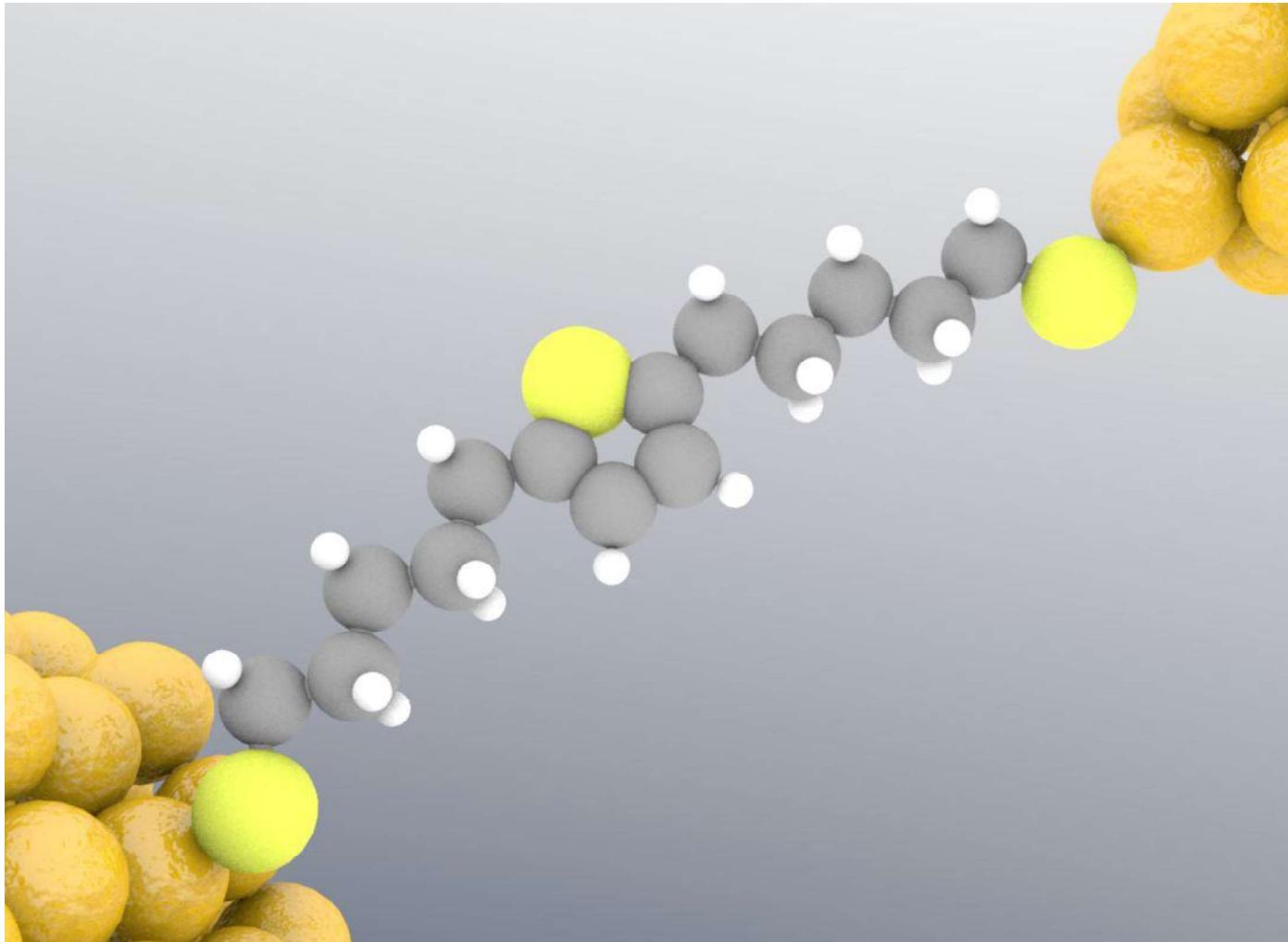
---

- Heutige Elektronik ist geprägt von planaren Siliziumchips
- In Zukunft:
  - 3-dimensionale Integration
  - Molekulare oder Kohlenstoff-basierte Elektronik (?)
  - Nanodrähte
  - Optische Kommunikation
- Ziel der neuen Elektronikentwicklung ist es, Bauteile in den Nanometerbereich zu verkleinern sowie sie reproduzierbar mit hoher Ausbeute herstellen zu können
  - Gegenwärtig ist es nur möglich, EINZELNE Transistoren in Nanometergröße aus organischen Molekülen, Kohlenstoff-Strukturen und Halbleiter-Nanodrähten herzustellen

## Neueste nanoelektronische Ansätze



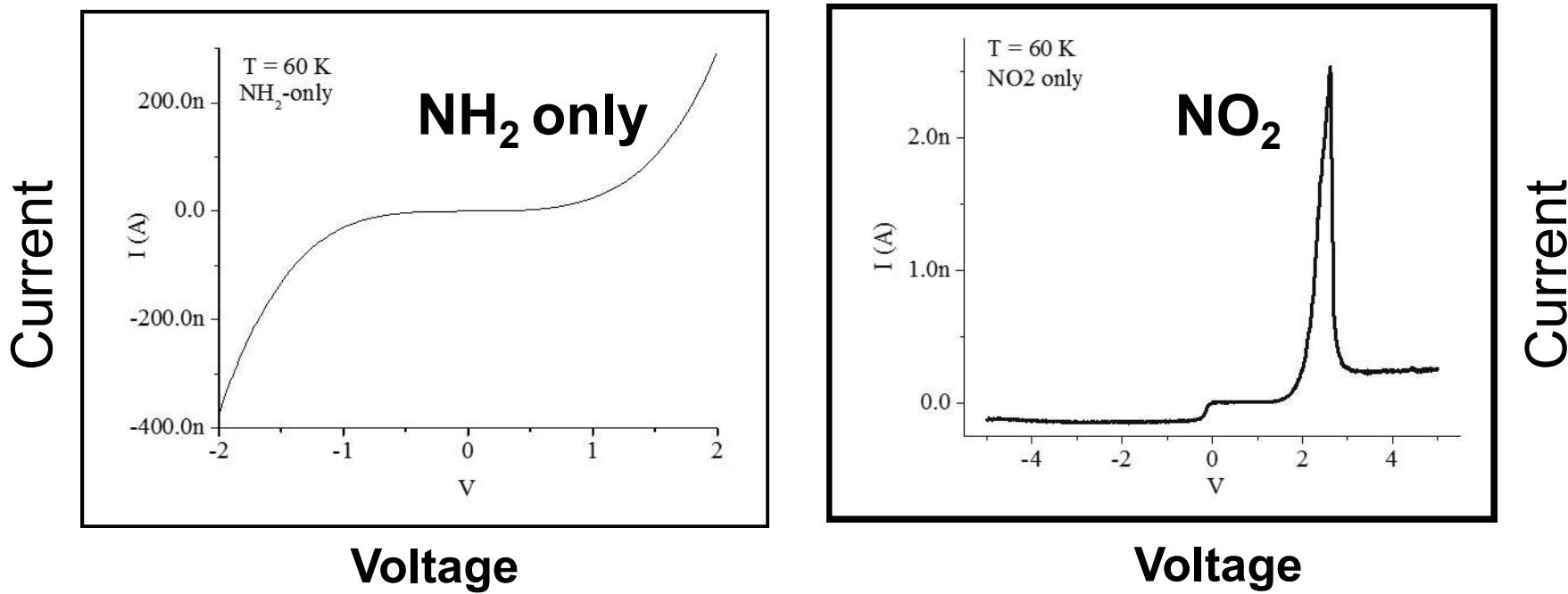
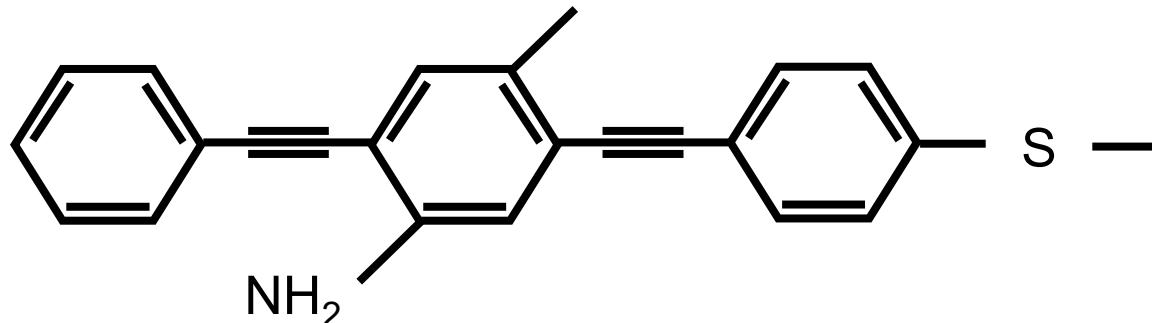
- A) Dioden und Transistoren aus Nanodrähten
- B) *Carbon nanotube* Transistoren
- C) Verwendung kleiner organischer Moleküle für Transistorfunktionen
- D) Verwendung großer Biomoleküle als Speicherelemente



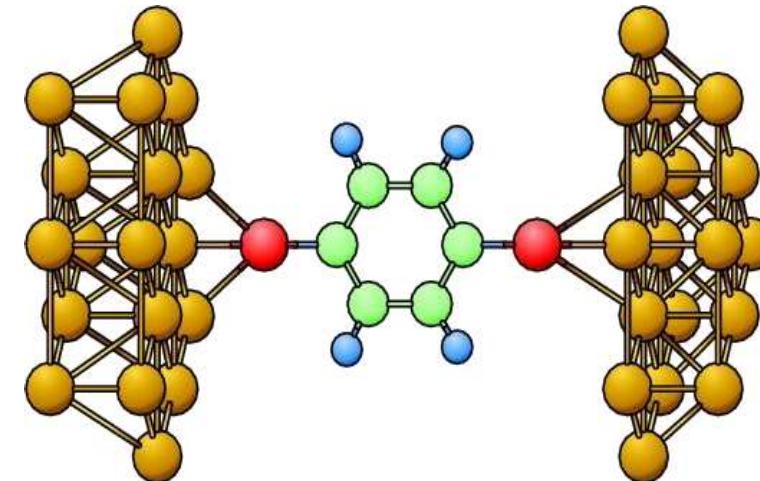
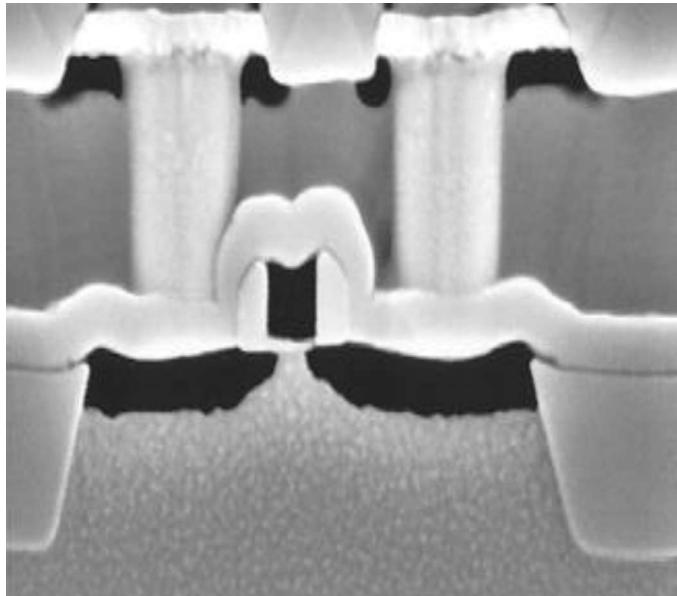
## Funktionierende molekulare Bauelemente

 $\text{NO}_2$ 

J. Chen, et al., Yale 1999



## Skalierung erreicht physikalische Grenzen



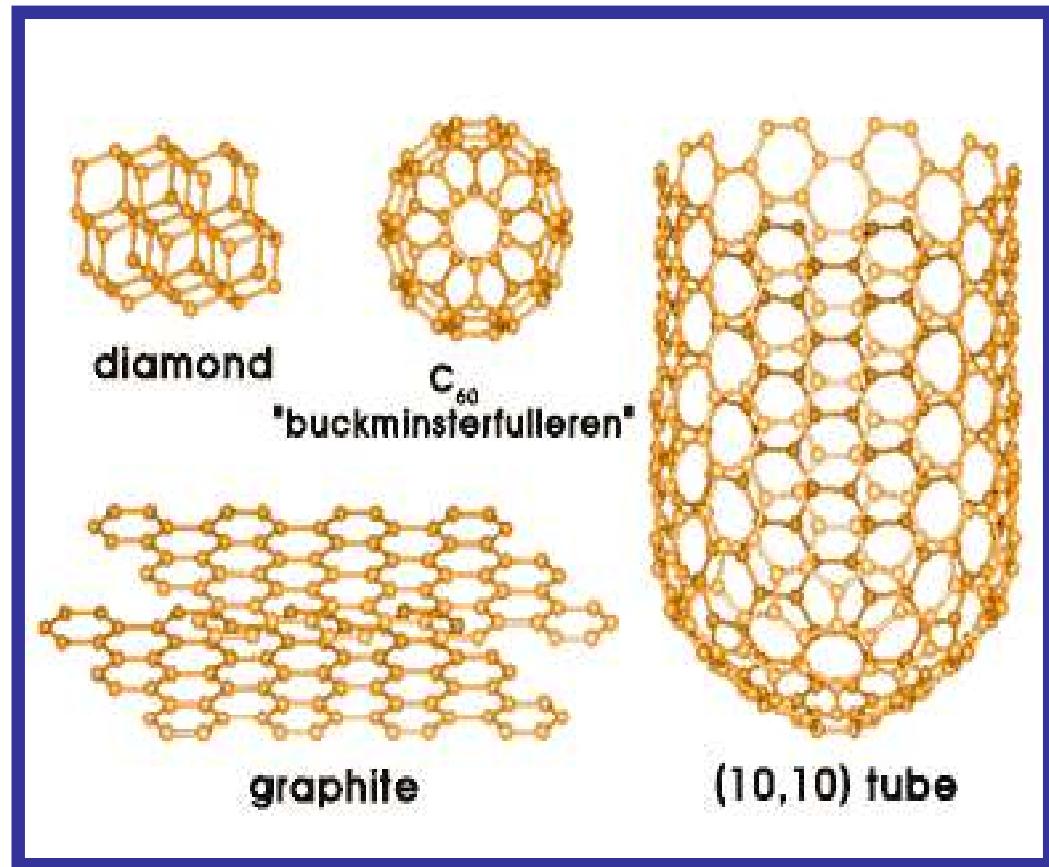
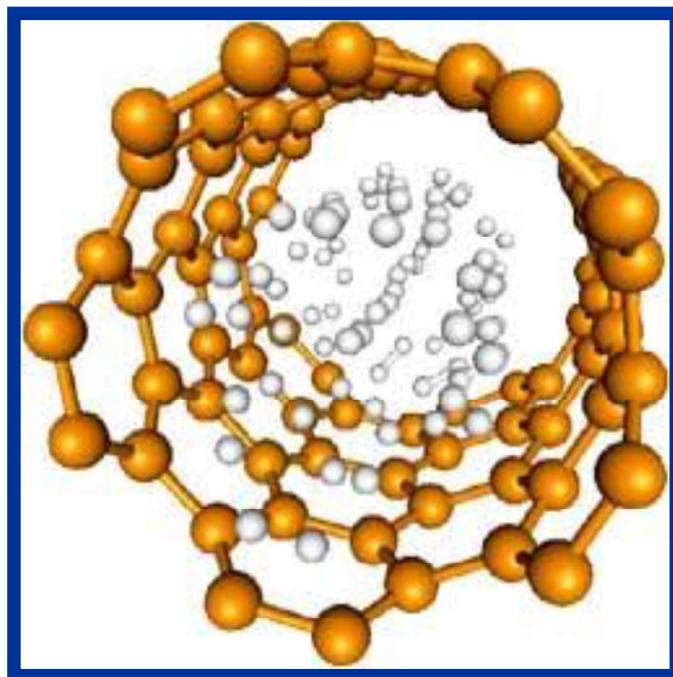
8 nm MOSFET

oder

Moleküle

?

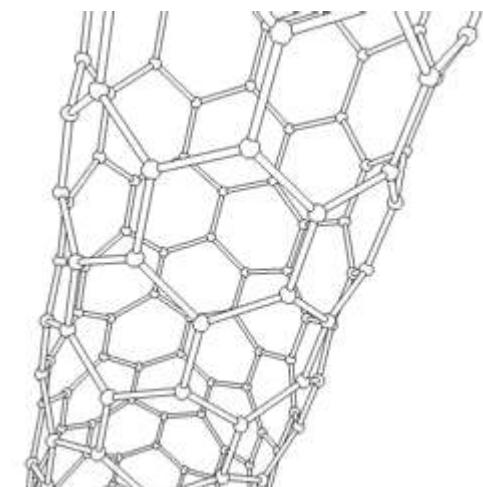
## Eine neue Welt aus Kohlenstoff?



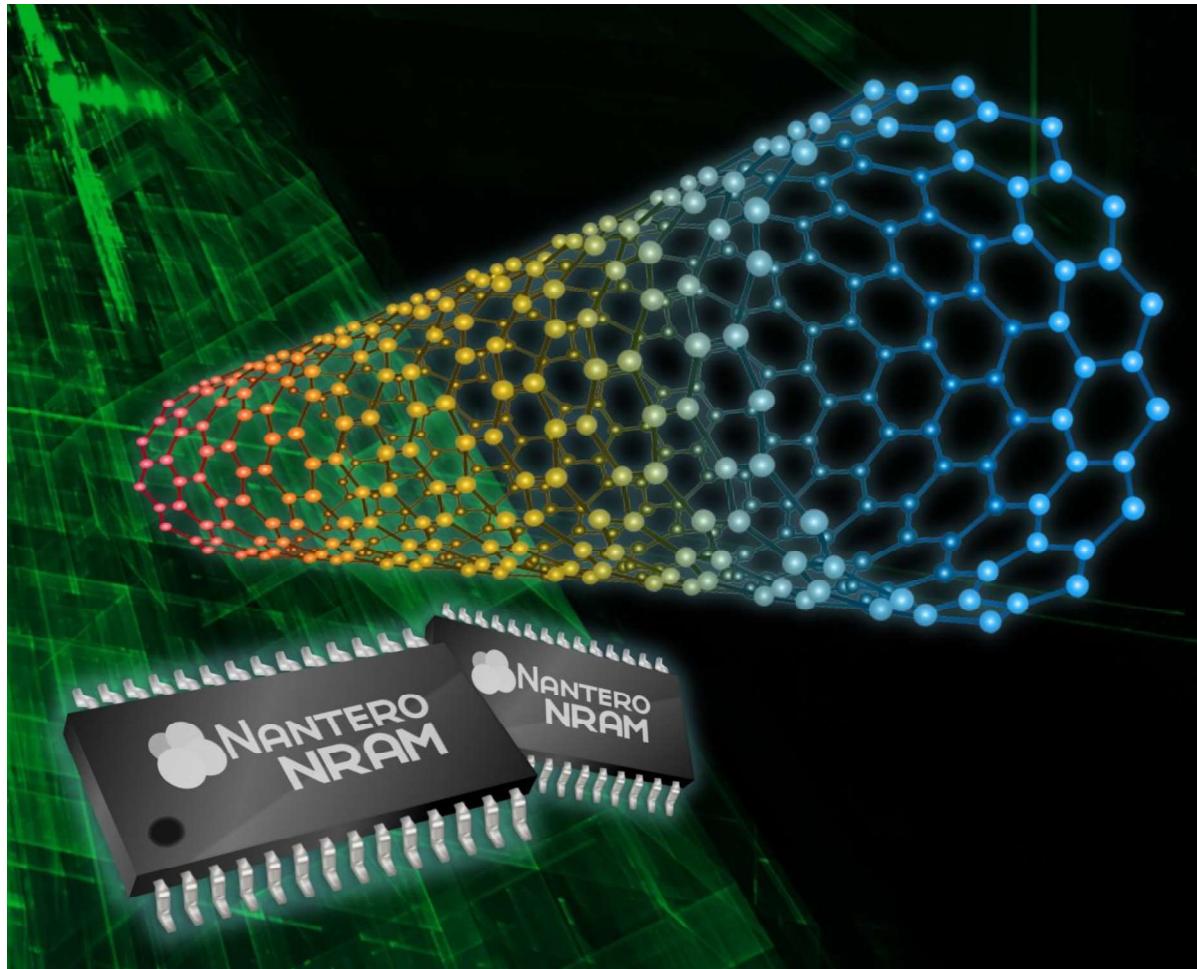
## Kohlenstoff-Nanoröhren (CNT)

- Röhrenartige Gebilde von nur wenigen Nanometern Durchmesser und einigen Mikrometern Länge.
- Die mechanischen Eigenschaften von Kohlenstoff-Nanoröhren sind überragend
  - rechnerisch ergibt sich für mehrwandige CNTs ein ca. 135-mal so gutes Verhältnis von Zugfestigkeit zu Dichte (Reißlänge) wie für Stahl
  - Der Elastizitätsmodul ist 5x so hoch

- Nutzung für Hochleistungs-Verbundwerkstoffe
- Spitzen für leistungsfähige Rastertunnelmikroskope

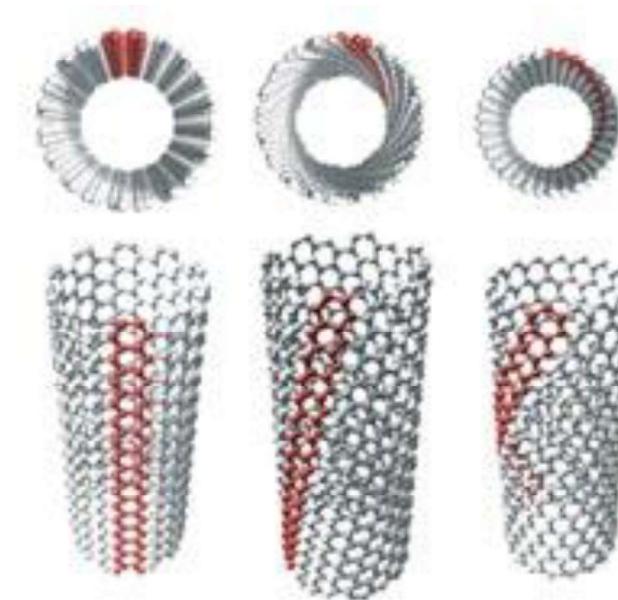


# Kohlenstoff-Nanoröhren und Elektronik

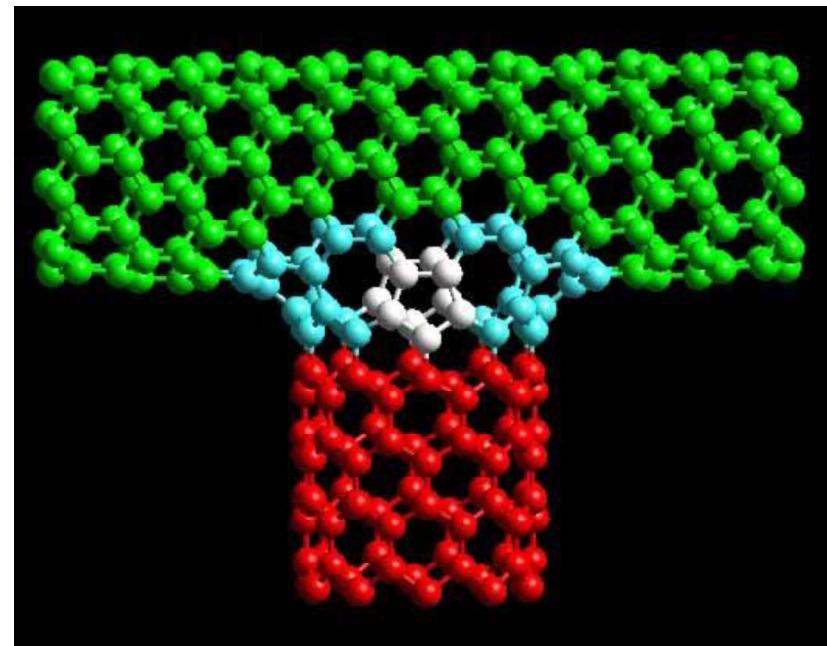
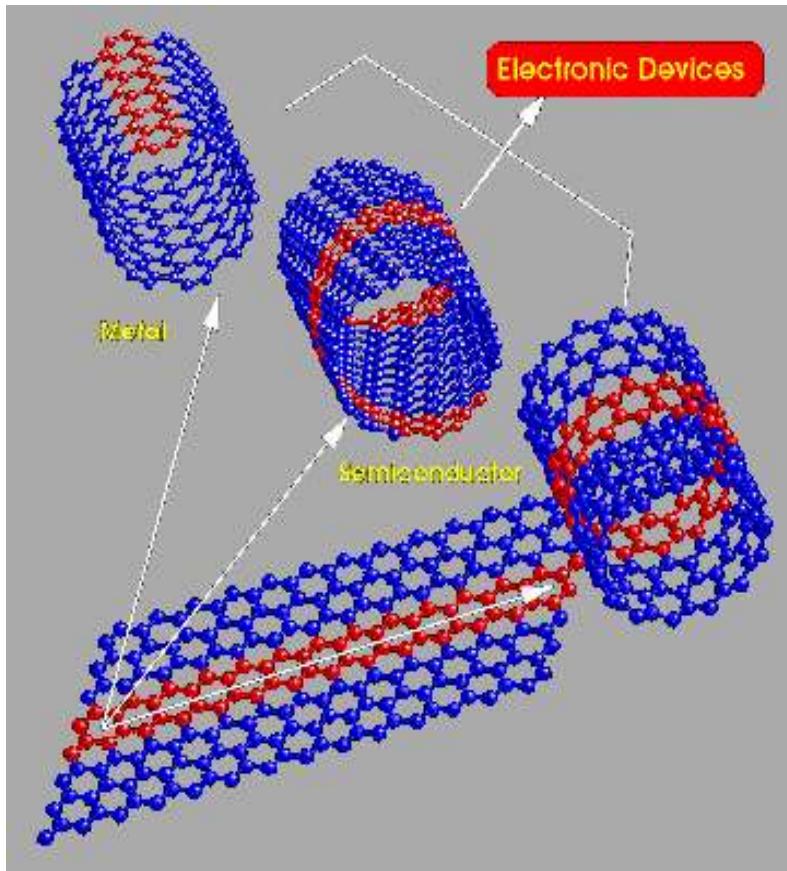


## Kohlenstoff-Nanoröhren und Elektronik

- **Strombelastbarkeit:**  
beträgt schätzungsweise das 1000-fache der Belastbarkeit von Kupferdrähten
- **Wärmeleitfähigkeit:**  
mehr als 2,5-mal so hoch wie die von natürlichem Diamant
- Je nach Aufwicklung der Graphitschichten resultieren Leiter oder Halbleiter

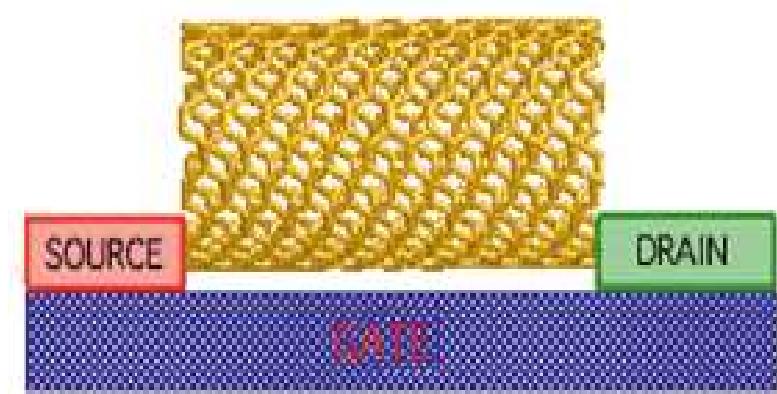
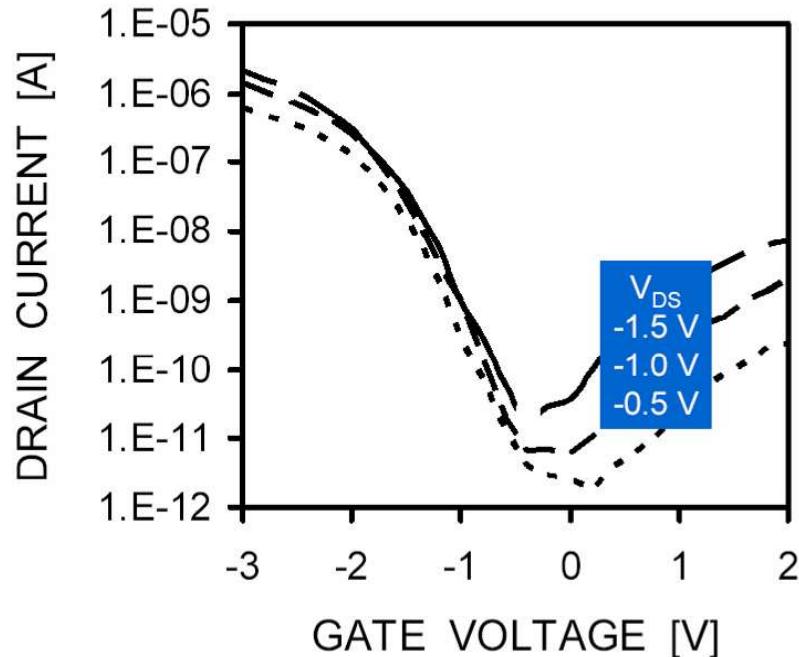


## Kohlenstoff-Nanoröhren (CNT)



**Kontakt zwischen HL und  
metallischen CNT  
(Simulation)**

# Transistoren mit Kohlenstoffnanoröhren

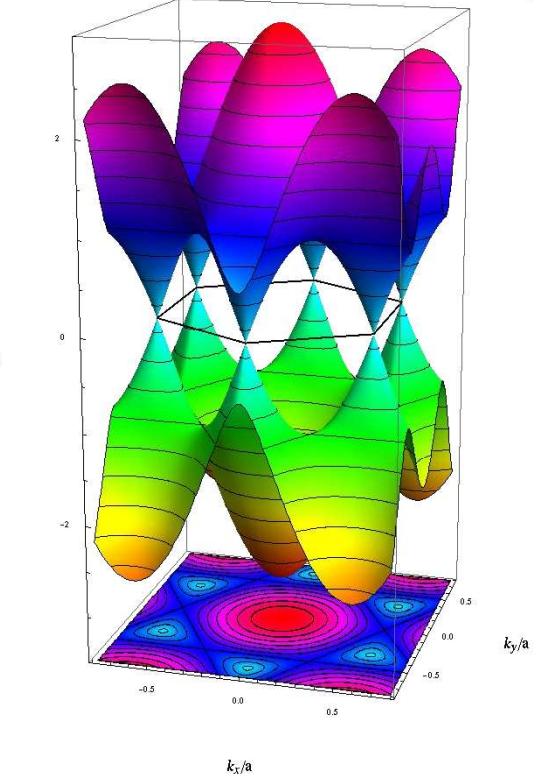
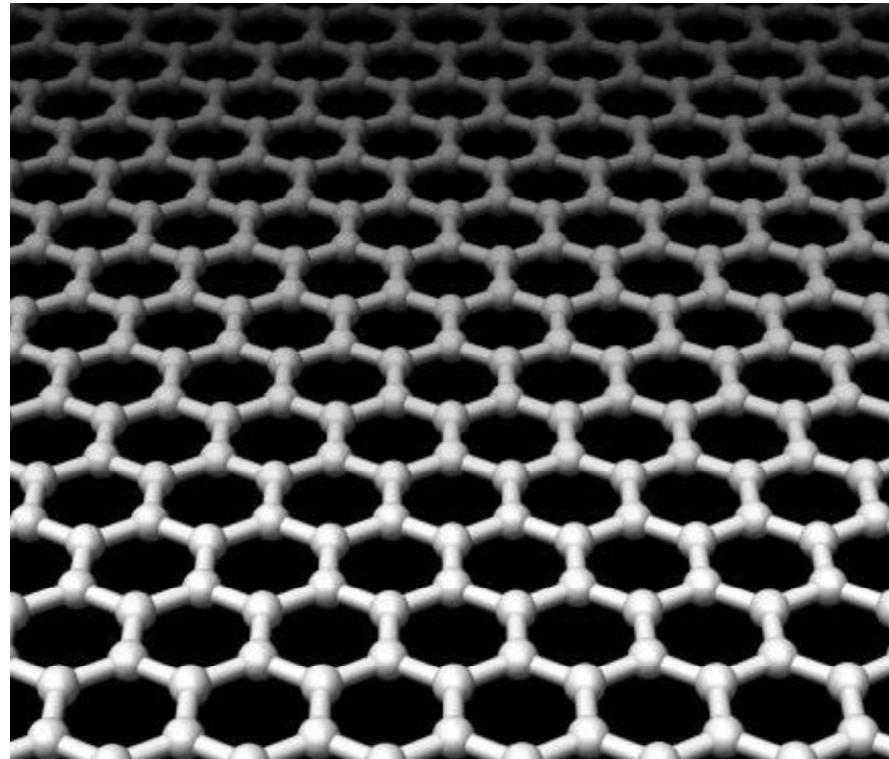


## Technologische Probleme:

- Reproduzierbare Herstellung
- Positionierung der Leiterbahnen
- 1 Mrd CNT-Transistoren pro Chip
- z.Z.: nur Einzellösungen



# Graphen: nur eine Schicht aus Kohlenstoff



- das gegenwärtig wohl interessanteste Material
- extrem hohe mechanische Festigkeit
- extrem hohe elektrische Beweglichkeiten
- erste Bauelemente wurden realisiert

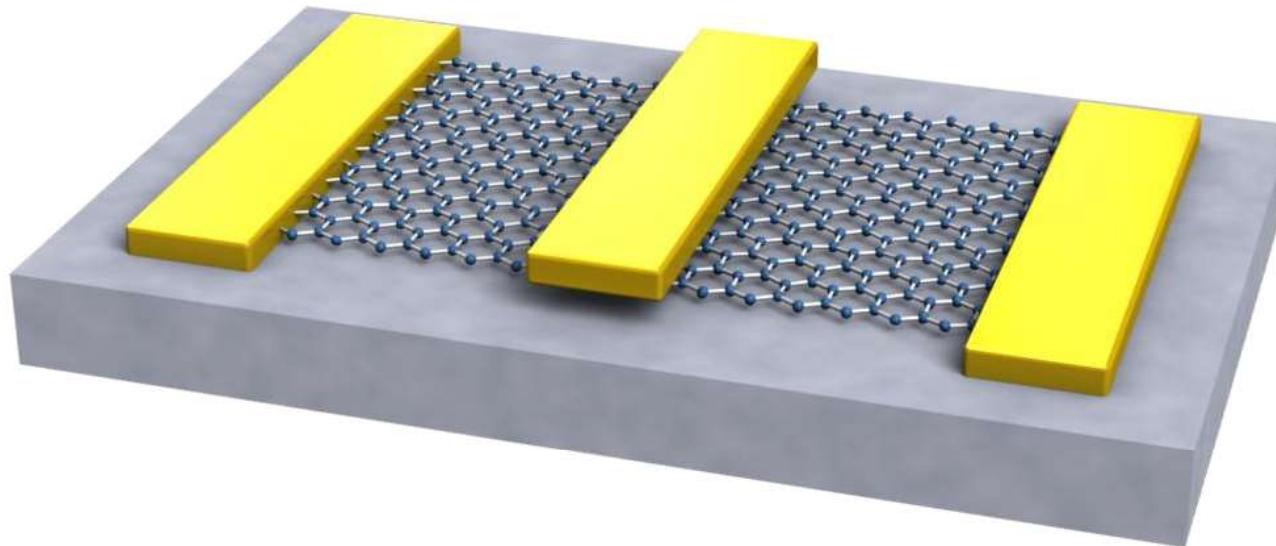
## Graphene Transistoren

Der Niederländer Andre Geim (52) sowie der britisch-russische Physiker Konstantin Novoselov (36) erhalten 2010 den Nobelpreis für Physik.



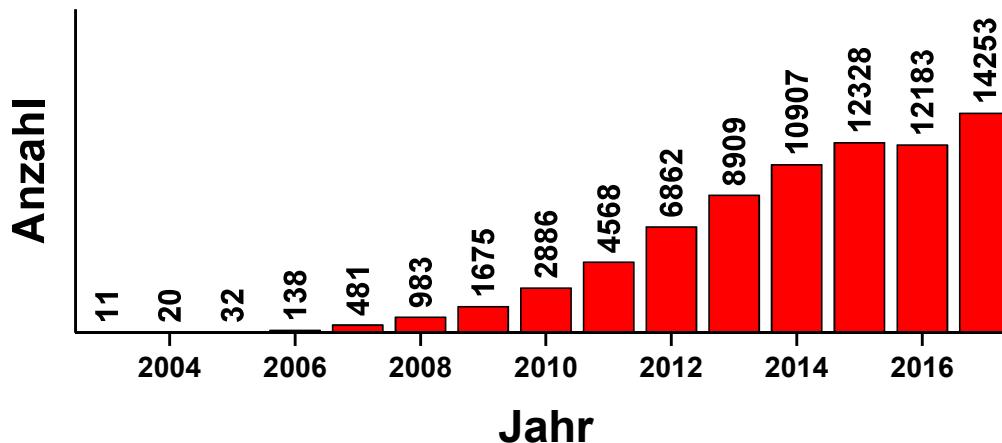
Einer der ersten Graphen-transistoren, die Geim und Novoselov 2006 hergestellt haben.  
Das Graphen wurde dabei mit Klebeband von Graphit abgelöst

## Ein Graphen-Transistor

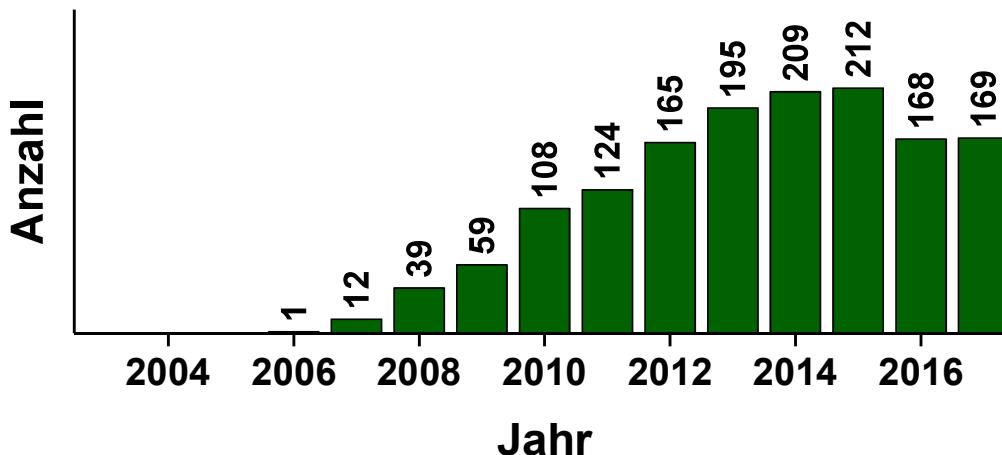


**YORKTOWN HEIGHTS, N.Y. - 05 Feb 2010:** In a just-published paper in the magazine Science, IBM researchers demonstrated a radio-frequency graphene transistor with the highest cut-off frequency achieved so far for any graphene device - 100 billion cycles/second (100 GigaHertz).

## Graphenpublikationen (Zeitschriften und Konferenzen)



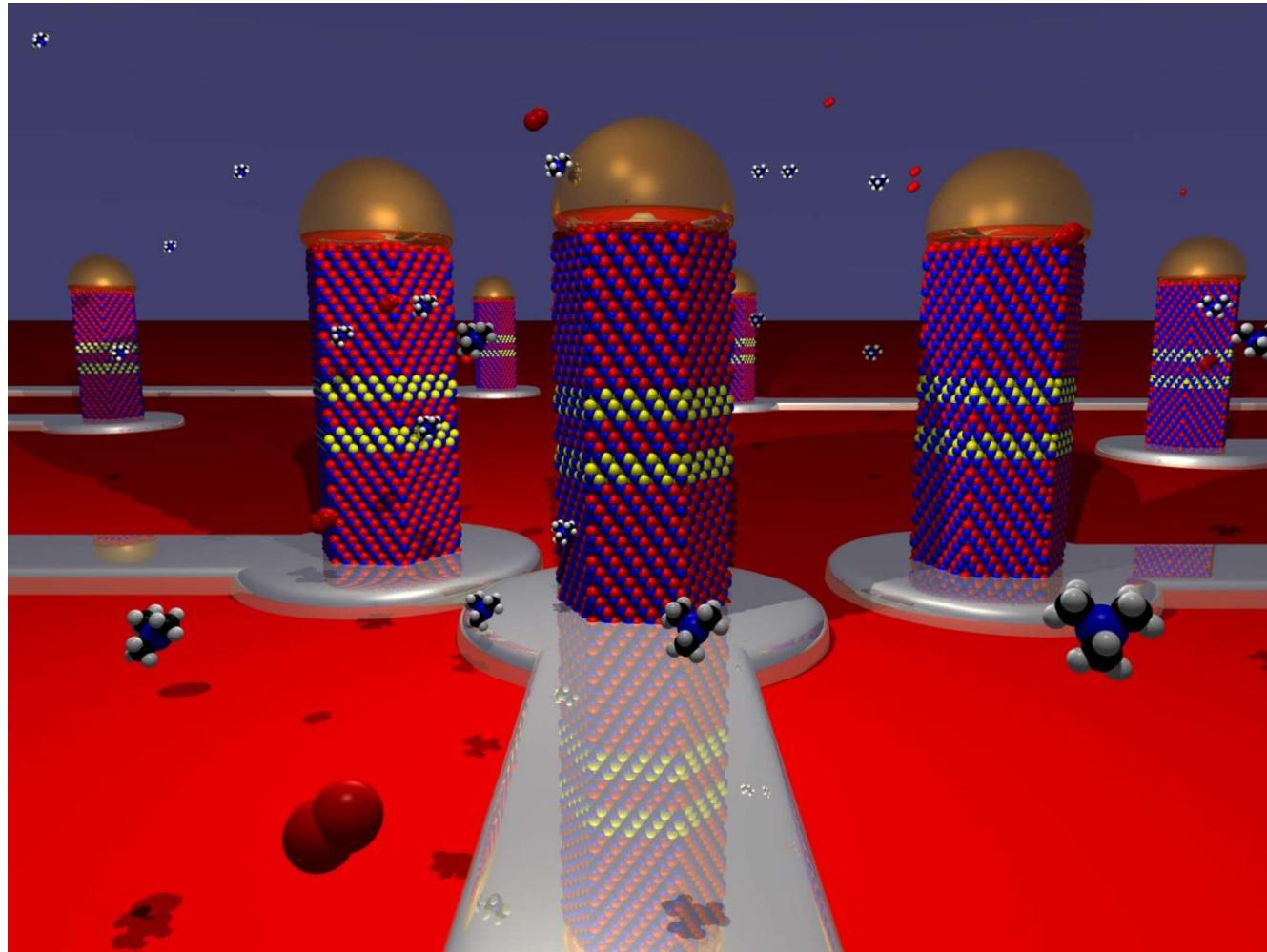
„Graphene“  
im Titel



„Graphene“  
+ „Transistor“  
im Titel

Quelle: Web of Science

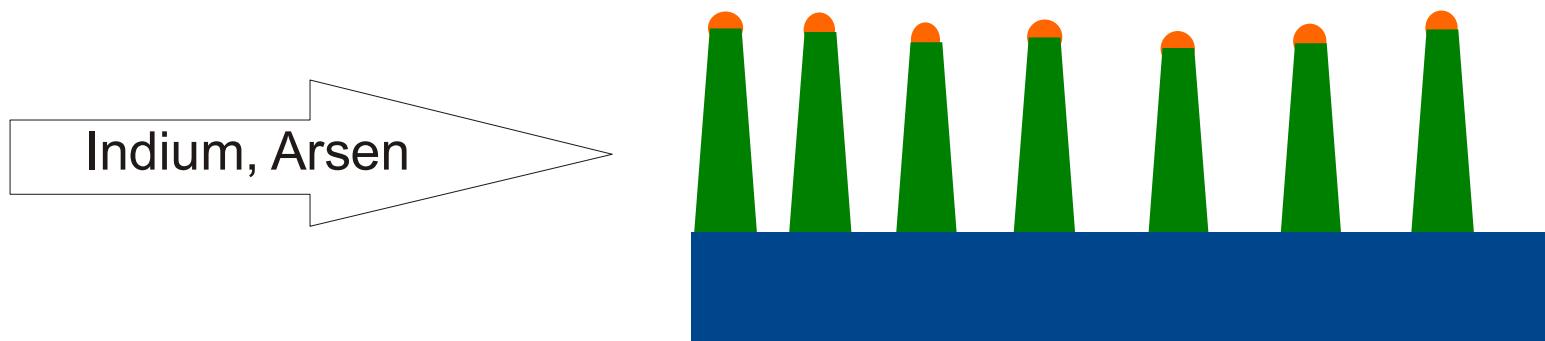
## Kristalline “Quantendrähte” oder “Nanowire”



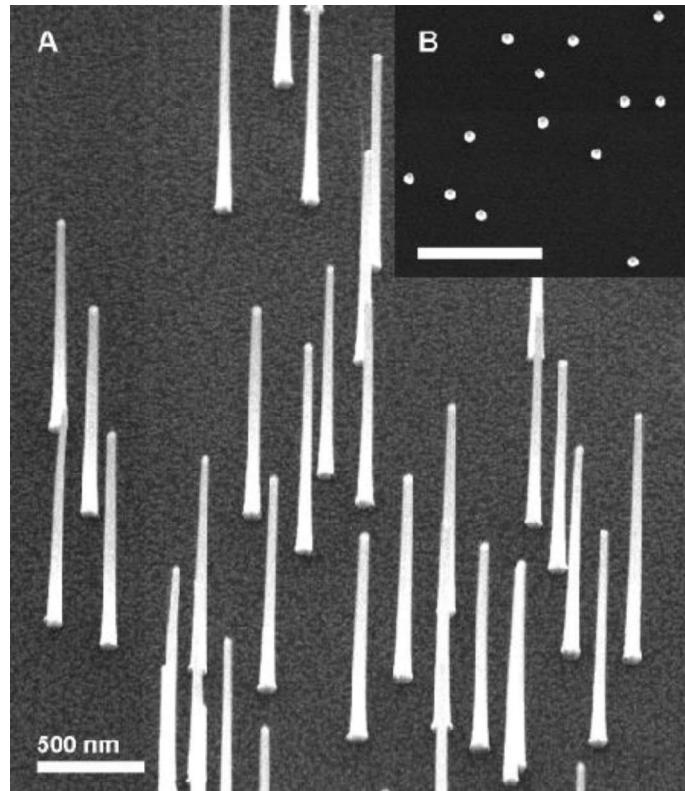
## Wachstum von Nanodrähten

### Metall (gold) assistiertes Wachstum von Nanodrähte

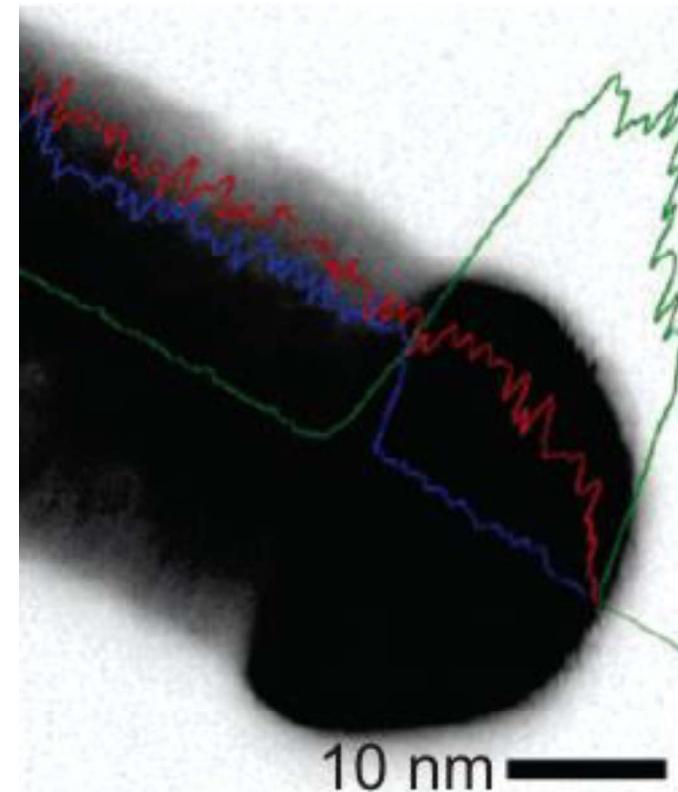
1. Einkristallines Substrat als Basis
2. Aufbringen von Goldnanopartikeln
3. Nanopartikel wirken als Katalysator für die Nanodrähte
4. Länge der Nanodrähte wird über die Wachstumsdauer geregelt



## Nanodrähte: Beispiele

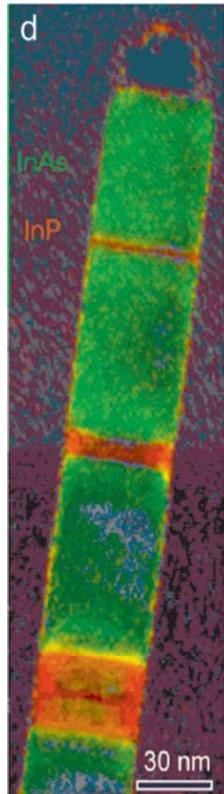


Nanodrähte auf Si

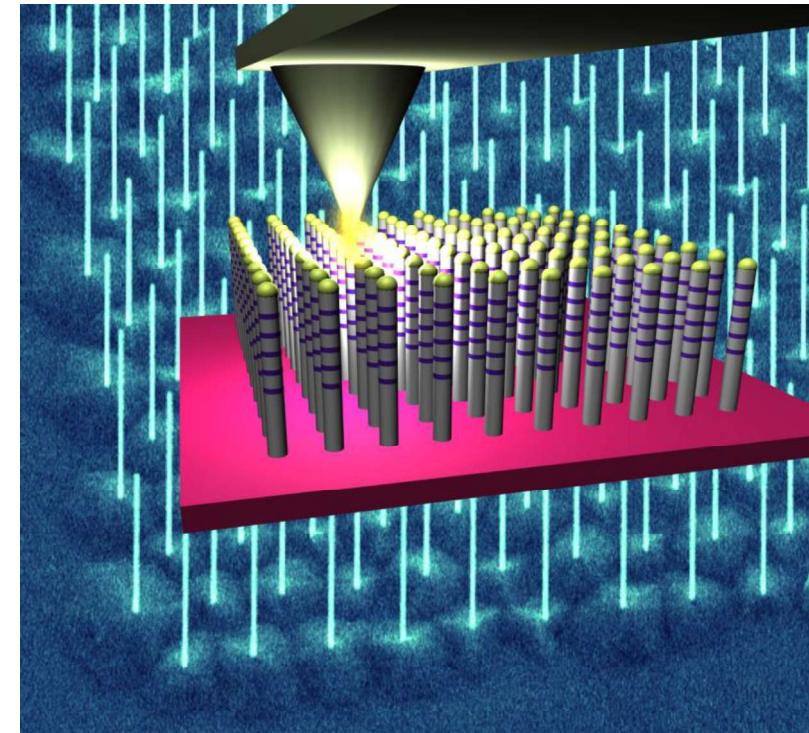


Materialien im Nanodraht:  
blau – Arsen, rot – Indium,  
grün – Gold

## Nanowire-Bauelemente

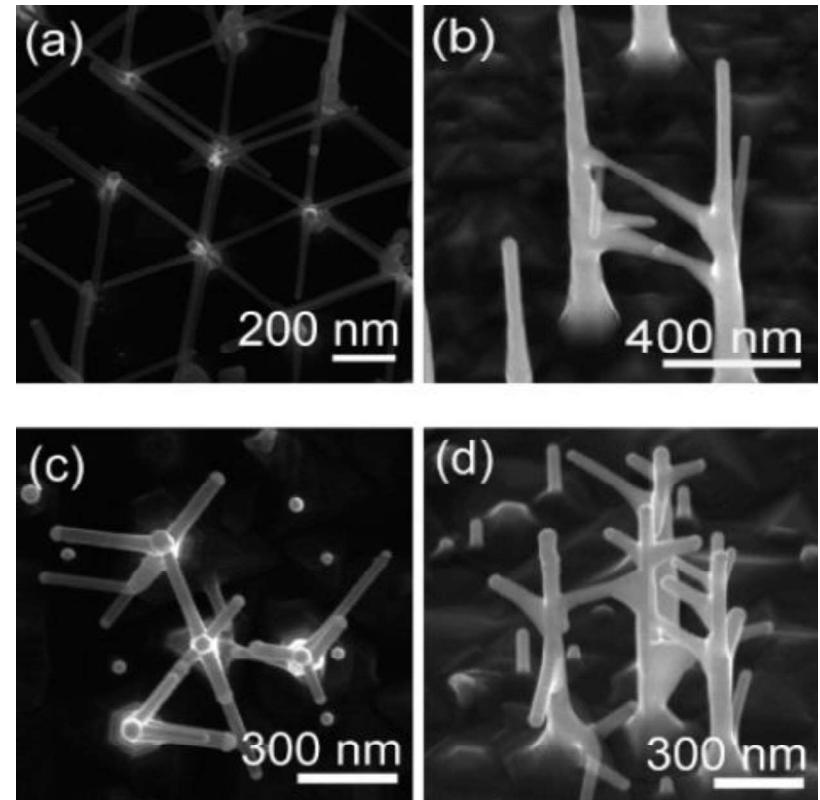
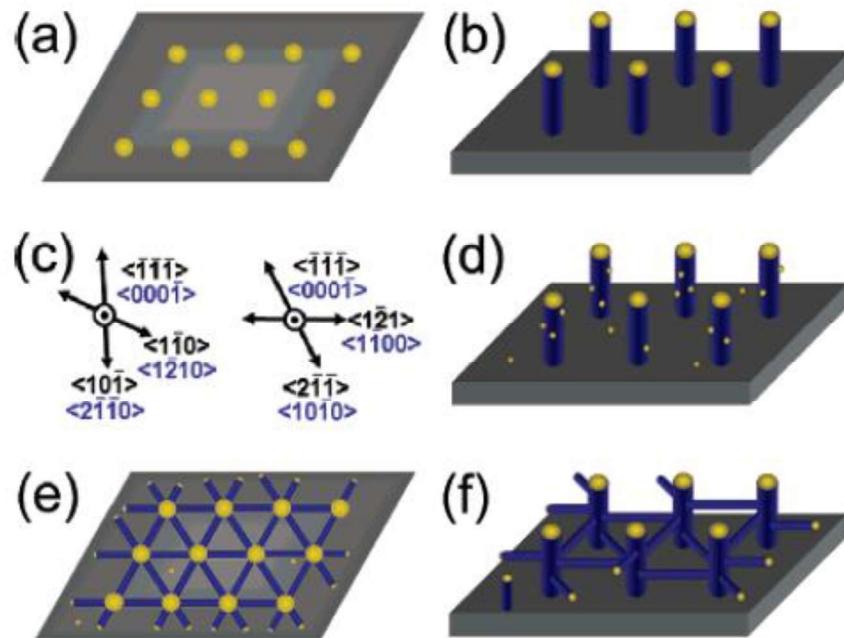


Noch kleinere Strukturen  
innerhalb eines Nanodrahtes



Nanodraht Einelektronen – RAM  
(Speicherbaustein)

## Netzwerke von Nanodrähten

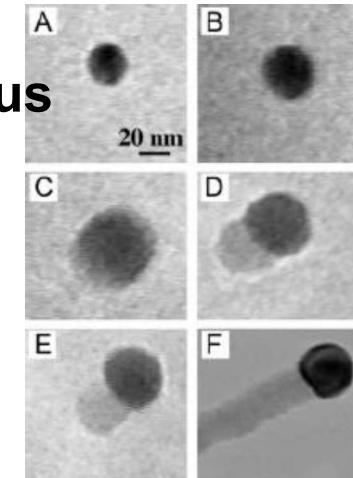
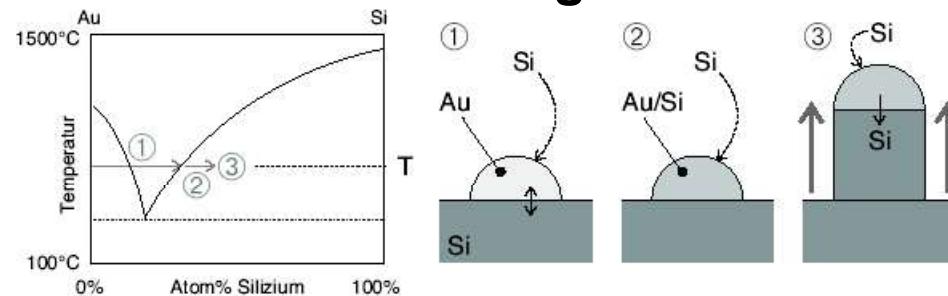


Bilder von miteinander verbundenen Nanobäumen

## Vapor-Liquid-Solid-Epitaxy (VLS)

→ 1D-Wachstum von Nanosäulen

### Schematische Darstellung des VLS-Mechanismus



### Teilschritte:

1. Bildung der Metall-Halbleiter-Legierung
2. Übersättigung der Legierung durch weitere Zufuhr des Halbleiters aus der Gasphase
3. Wachstum des Nanodrahtes aus der übersättigten Lösung

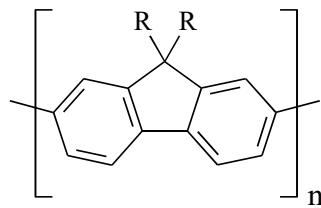
→ Dicke der Nanosäulen ist abhängig von der Benetzung !

## Nachteile

---

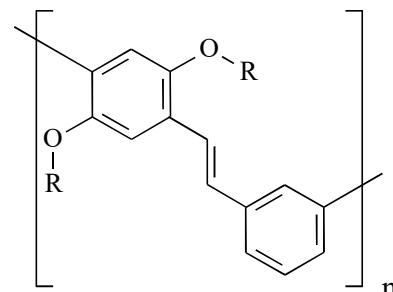
- Gold ist eine tiefe Störstelle in Silizium
  - zerstört die halbleitenden Eigenschaften von Silizium
  - Nicht in Kombination mit Silizium-Transistortechnologie einsetzbar
- Nanodrahtwachstum ohne Verwendung von Metallen?

# **Halbleitende Polymere**



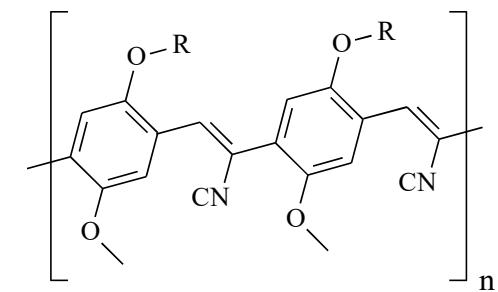
$\lambda_{\text{em}} = 440 \text{ nm, blue}$

## **polyfluorene**



$\lambda_{\text{em}} = 510 \text{ nm, green}$

polyphenylvinylene  
PPV

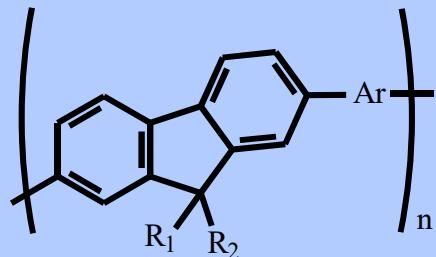


$\lambda_{\text{em}} = 600 \text{ nm, orange-red}$

## cyanid-substituted PPV

# Lichemittierende Polymere (OLED)

Polyfluorene

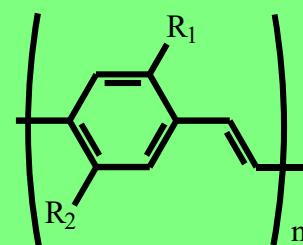


**Blau**

mit entsprechenden  
Co-Monomeren  
alle RGB Farben möglich !!!

Spiro-, Alkyl-, Alkoxy- und  
geladene funktionelle  
Derivate

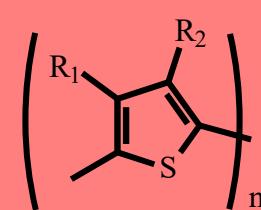
Poly(*p*-phenylen-vinylen)e Polythiophene



**Grün**

Mögliche Farben:  
Grün, gelb und  
rotorange

hauptsächlich  
Alkoxy-, Alkyl-  
und Phenyl-Derivate  
CN-Substitution:  
blau bis rot



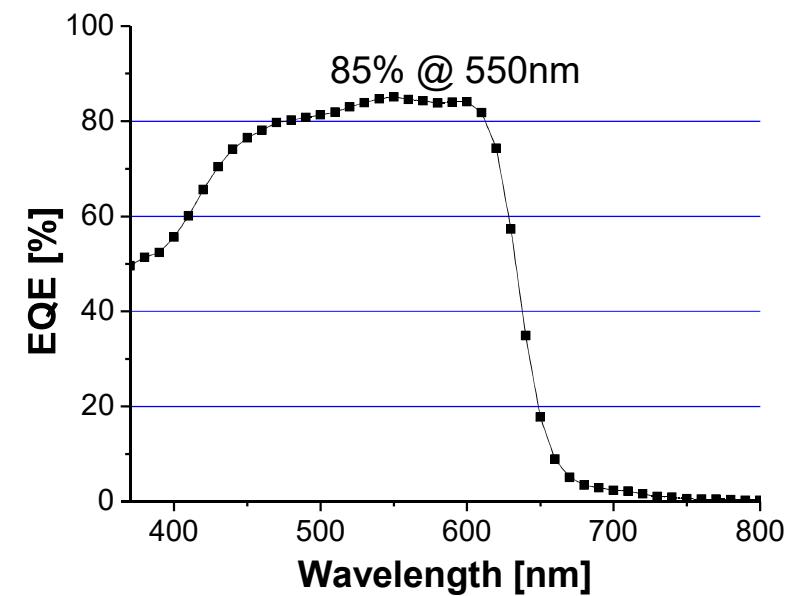
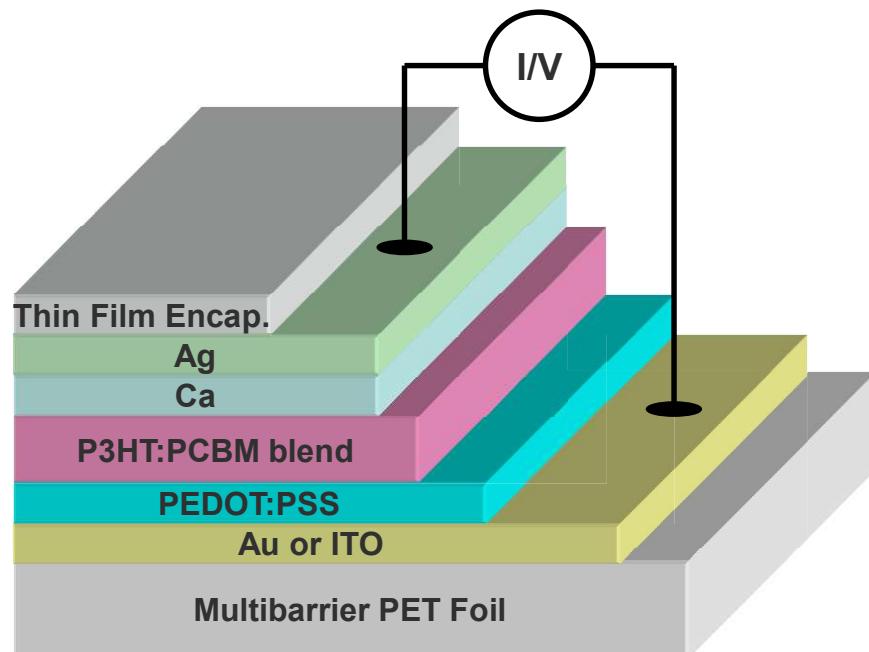
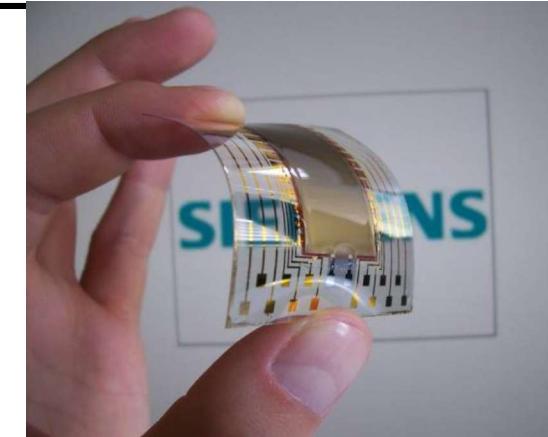
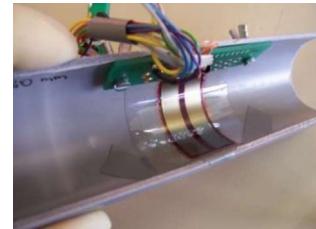
**Rot**

Verschiedene  
Rottöne



Alkyl-, Alkoxy- und  
Phenyl-Derivate

# Organic Photodetectors on plastic



## Völlig neuer Ansatz für Heterostrukturen

Materialengineering für Bauelemente heute:

- Dotierung
- Beimischungen
- Zusammensetzungen

Beeinflussung von elektr. Eigenschaften durch:

- Symmetrie
- Spannung
- Bandstruktur

Kristallstruktur-Engineering  
statt  
Material-Engineering?

**Probleme:**

- Streuung an Fremdatomen
- Interdiffusion (keine scharfen Grenzflächen)
- Spannungsinduzierte Defekte
- Entmischungen (Ausscheidungen)

## Polymorphismus

---

- Verschiedene Materialien können in verschiedenen Kristallstrukturen auftreten (**Polymorphismus**), die unterschiedliche Eigenschaften haben (auch verschiedene Bandstrukturen!)

Beispiel: Graphit/Diamant

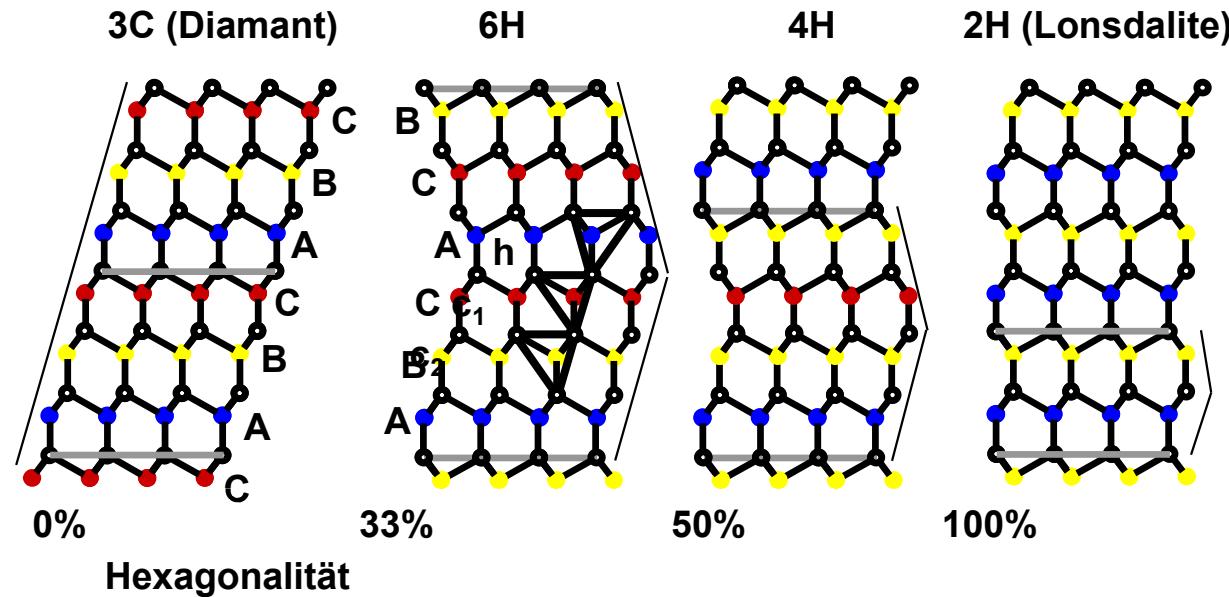
Beispiel für Halbleiter: CdS, ZnS, GaN, SiC  
(eindimensionaler Polymorphismus)

→ Neue Klasse von Heterostrukturen oder Übergittern:  
Nur EIN Material in verschiedenen Kristallstrukturen  
(*heteropolytypic structures*)

- Silizium: Bisher gibt es nur wenige theoretische Überlegungen zu anderen Si-Strukturen

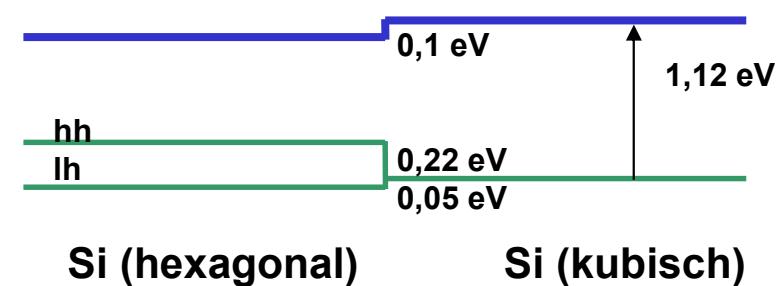
# verschiedene Strukturtypen des Siliziums

Stapelfolge in [111] bzw. [0001]-Richtung  
für die häufigsten dicht-gepackten Polytypen



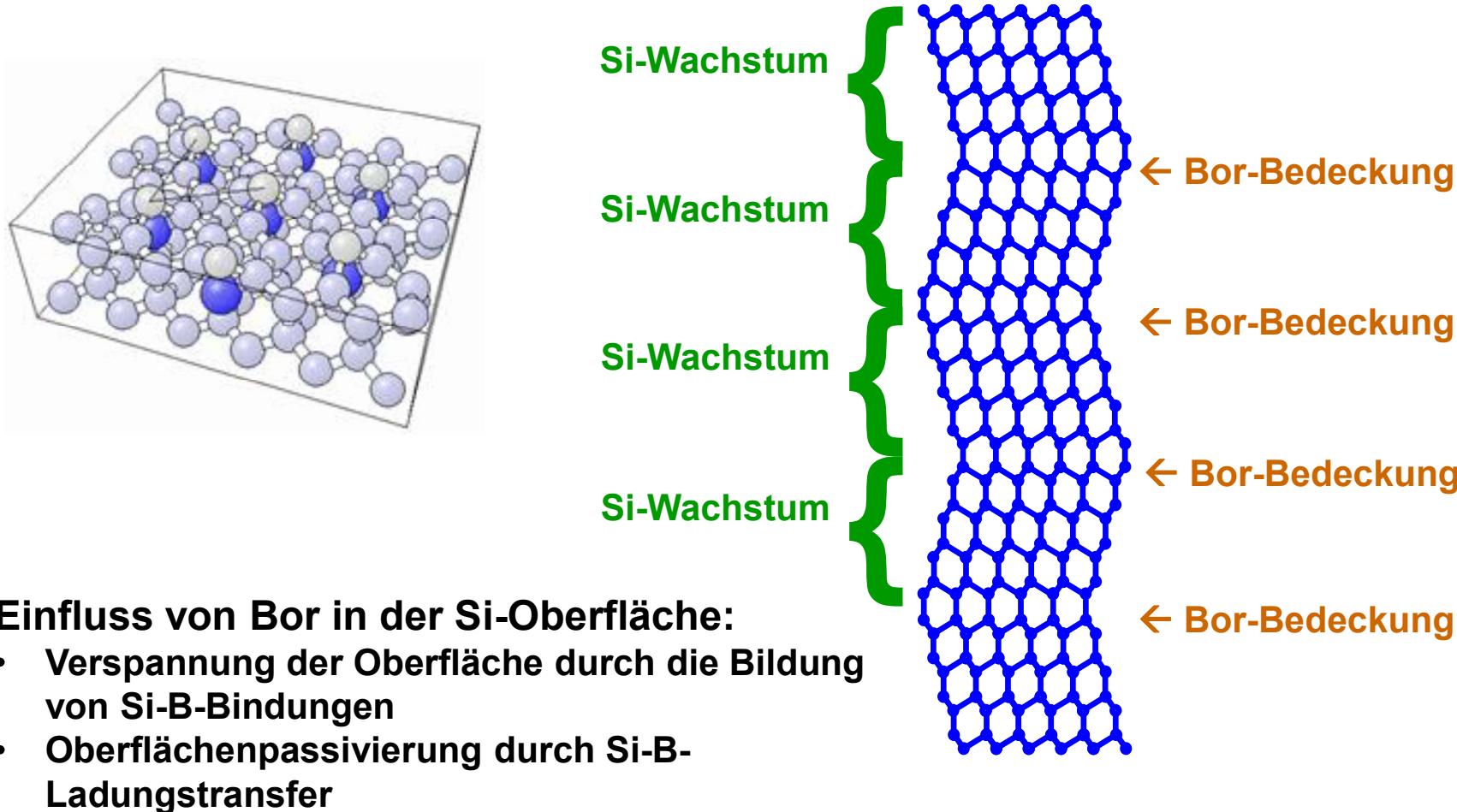
## Type II Heterostruktur

→ Lokalisierung von Elektronen im kubischen und der Löcher im hexagonalem Polytyp



## Technologischer Ansatz

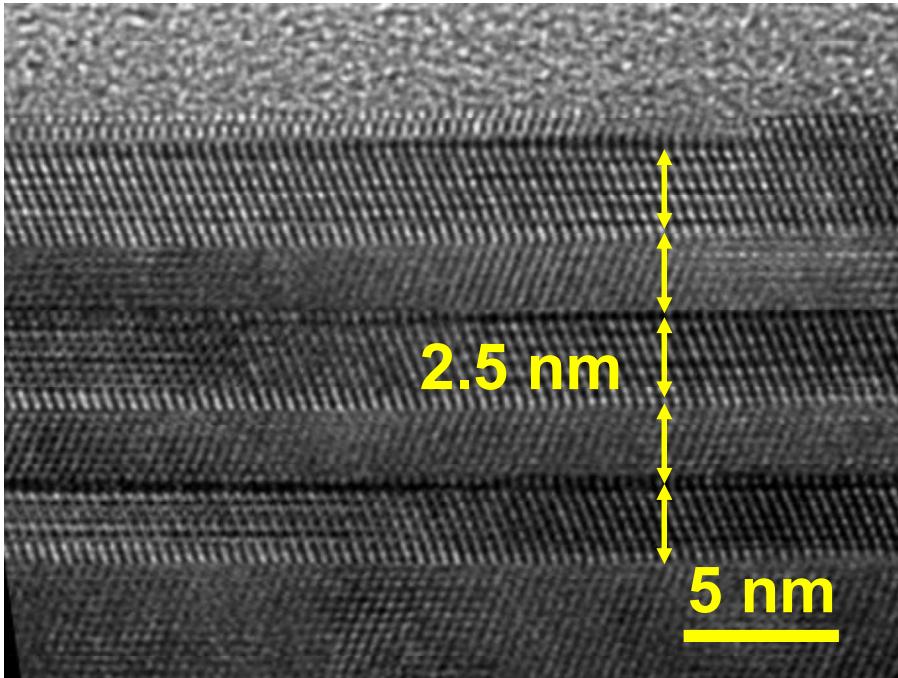
Rotation der atomaren Si-Ebenen durch den periodischen Einbau von 1/3 ML Bor in spezielle Gitterplätze in der Oberfläche



### Einfluss von Bor in der Si-Oberfläche:

- Verspannung der Oberfläche durch die Bildung von Si-B-Bindungen
- Oberflächenpassivierung durch Si-B-Ladungstransfer

## Si Polytypismus: Erste Experimente



Si-Wachstum auf  
Oberflächen, die mit  
1/3 Monolage B  
abgesättigt wurden.

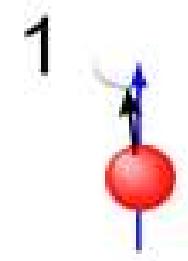
←B  
←B  
←B  
←B  
←B  
←B

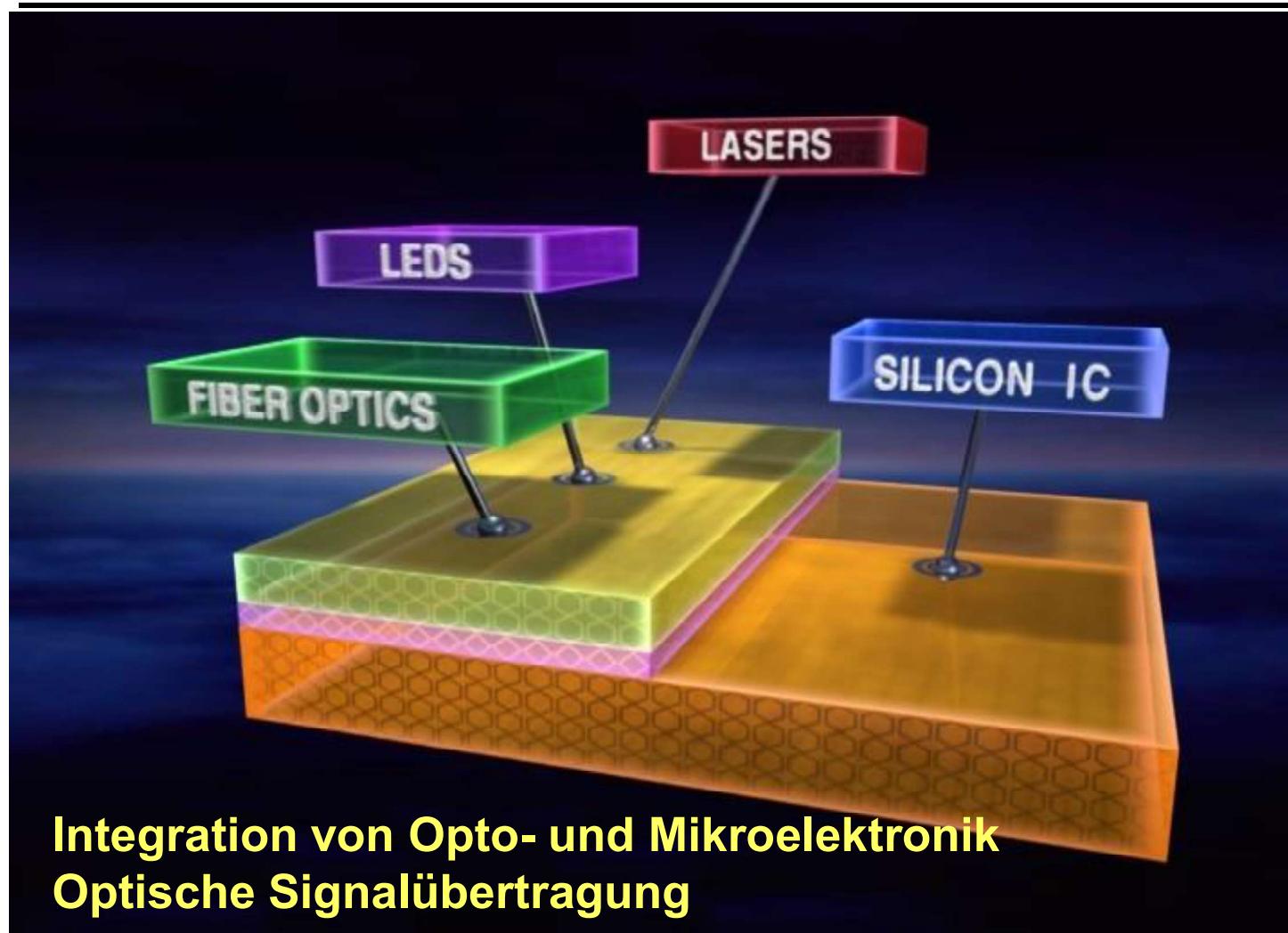
Wachstum einer verzwilligten Übergitterstruktur aus Si  
→ Erste Schritte zum Wachstum von hexagonalem Si

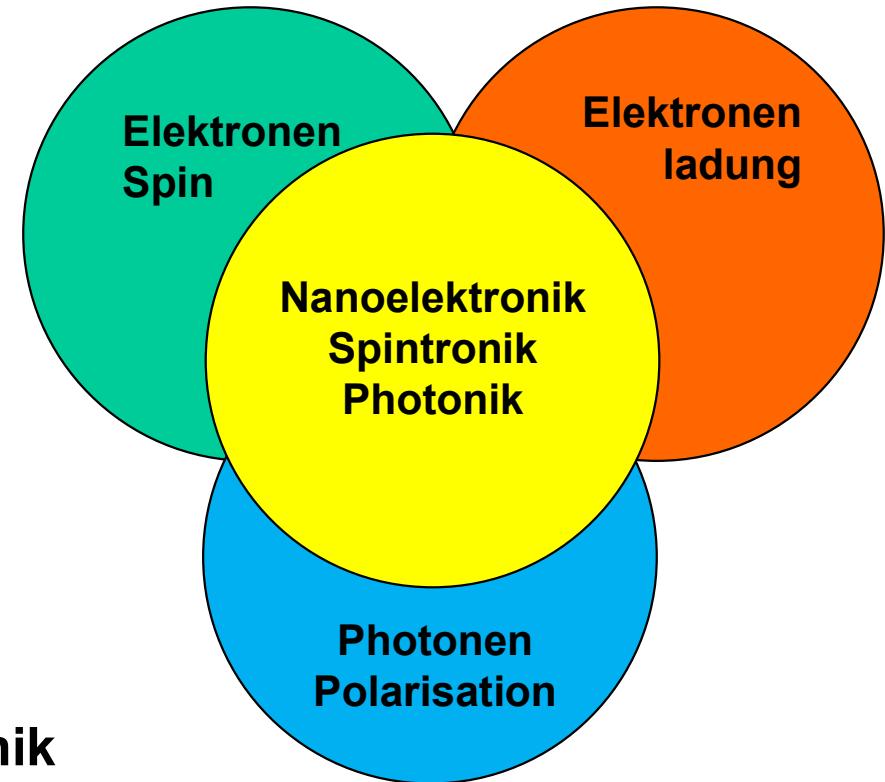
A. Fissel, E. Bugiel, C. R. Wang, H.J. Osten, **Formation of Si twinning-superlattice: First steps towards Si-polytype growth**, Materials Science and Engineering B 134 (2006) 138

# Spintronik

- Heutige Mikroelektronik:  
**Information = Ladungen (Elektronen, Löcher)**  
**Basiert auf Halbleitern**
- aber: Elektronen haben einen Spin  
**Zwei mögliche Orientierung ( $+1/2$  oder  $-1/2$ )**  
**Spin bildet ein robustes quantenmechanisches System**
- Zukünftige Elektronik  
**Halbleiterelektronik + Spin**  
**→ Neue Funktionalität**







- **Spintronik = Spin + Elektronik**
- **Photonik: Ausnutzung von Licht (Photonen) zur Informationsübertragung und Speicherung**

# Wie funktioniert die Nanoelektronik?

---

- **Physikalische Effekte**  
**Quanteninterferenz**  
**Leitfähigkeit**  
**Tunneltransport**  
**spinabhängiger Ladungstransport und Anregungen**
- **Verwendbarkeit für neuartige Bauelemente, die die Quanteneigenschaften kleinster Strukturen auszunützen gestatten**
- **Quantenmechanische Modellierung und Quantumfeedback**  
**Simulation und Modellierung der physikalische Effekte**  
**Verhalten elektronischer Signale in neuartigen nanoelektronischen Schaltkreisen**

## Es ist eine revolutionäre Zeit ...

---

- Innovationen auf allen Ebenen sind notwendig für die weitere Entwicklung
  - Materialien (Low-*K* und high-*K* Dielektrika, hetero-epitaktische Systeme, Ausnutzen von Spannungen usw.)
  - Gerätetechnik (Lithografie, Atomlagengenaue Abscheidung usw.)
  - Bauelementekonzepte
  - IC-Architekturen
- ➔ Die „klassische“ Mikroelektronik (CMOS) nähert sich ihrer physikalischen Grenze
- ➔ Nanoelektronik
  - Bauelemente mit abzählbaren Elektronenzahlen
  - Molekularelektronik
  - Carbon Nanotubes, Graphene
  - Selbstorganisation statt Strukturierung
  - Ausnutzung von Quanteneffekten (z.B. Spintronik)
  - Verlassen der digitalen Welt (z.B. Quantencomputer)

## Quantencomputing demnächst in Ihrem Laptop?

---

- Ich denke nein, aber:
- vielleicht in zwei bis drei Jahrzehnten:  
Einsatz in Forschung, Militär etc.
- physikalische Implementierung: noch unentschieden  
vermutlich Festkörper
- Problem: Algorithmen

„Das Telefon hat zu viele ernsthaft zu bedenkende  
Mängel für ein Kommunikationsmittel. Das Gerät ist von  
Natur aus von keinem Wert für uns.“

Western Union Financial Services (1876)