

浙江大学

本科实验报告

课程名称: 数字逻辑设计

姓 名: 颜晗

学 院: 计算机科学与技术学院

系:

专 业: 计算机科学与技术

学 号: 3200105515

指导教师: 蔡铭

2021 年 12 月 25 日

浙江大学实验报告

课程名称： 数字逻辑设计 实验类型： 综合

实验项目名称： 多路选择器设计及应用

学生姓名： 颜晗 专业： 计算机科学与技术 学号： 3200105515

同组学生姓名： _____ 指导老师： 蔡铭

实验地点： 东四 509 实验日期： 2021 年 11 月 8 日

一、实验目的和要求

- 1.掌握典型同步时序电路的工作原理和设计方法
- 2.掌握时序电路的激励函数、状态图、状态方程的运用
- 3.掌握用 Verilog 进行有限状态机的设计、调试、仿真
- 4.掌握用 FPGA 实现时序电路功能

二、实验内容和原理

实验内容：

任务 1：设计 4 位同步二进制计数器

任务 2：以 Verilog 行为描述方式设计 16 位可逆二进制同步计数器

实验原理：

1. 4 位二进制同步计数器

计数器实现要求：随着时钟脉冲的不断到来，每隔一定时间自增 1，达到最大值时下方 LED 灯亮，然后从头开始计数。

显然，计数器某一时刻的输出取决于它的状态（或者说上一时刻输出），借助 D 触发器，我们将输出引出一条线作为输入，经过时钟脉冲的作用，可以使计数器输出每经过一个周期改变一次，只要通过一定的逻辑计算决定各个位的下一状态，就可实现计数器。

计数器的真值表以及经过优化后的激励函数如下：

	Q_A	Q_B	Q_C	Q_D	D_A	D_B	D_C	D_D
0	0	0	0	0	1	0	0	0
1	1	0	0	0	0	1	0	0
2	0	1	0	0	1	1	0	0
3	1	1	0	0	0	0	1	0
4	0	0	1	0	1	0	1	0
5	1	0	1	0	0	1	1	0
6	0	1	1	0	1	1	1	0
7	1	1	1	0	0	0	0	1
8	0	0	0	1	1	0	0	1
9	1	0	0	1	0	1	0	1
10	0	1	0	1	1	1	0	1
11	1	1	0	1	0	0	1	1
12	0	0	1	1	1	0	1	1
13	1	0	1	1	0	1	1	1
14	0	1	1	1	1	1	1	1
15	1	1	1	1	0	0	0	0

激励函数

$$D_A = \overline{Q_A}$$

$$D_B = \overline{Q_A}Q_B + Q_A\overline{Q_B} = \overline{Q_A \oplus Q_B}$$

$$D_C = \overline{Q_A}Q_C + \overline{Q_B}Q_C + Q_AQ_BQ_C$$

$$= \overline{(\overline{Q_A} + \overline{Q_B}) \oplus Q_C}$$

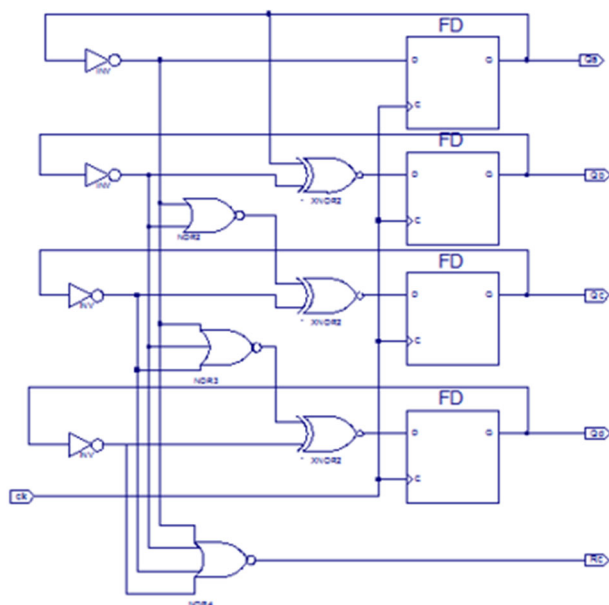
$$D_D = \overline{Q_A}Q_D + \overline{Q_B}Q_D + \overline{Q_C}Q_D + Q_AQ_BQ_CQ_D$$

$$= \overline{(\overline{Q_A} + \overline{Q_B} + \overline{Q_C}) \oplus Q_D}$$

进位RC的输出函数

$$R_C = \overline{Q_A} + \overline{Q_B} + \overline{Q_C} + \overline{Q_D}$$

参考原理图如下：



2. 4 位可逆二进制同步计数器

将计数器设计为可逆即既可以正向增加计数，也可以反向减少计数，只需要增加一条输入线路来作为控制端，与计数器的状态一起进行逻辑计算，即可完成可逆的设计。

反向计数时各逻辑表达式如下：

$$D_A = \overline{Q_A}$$

$$D_B = \overline{S}(\overline{Q_A} \oplus \overline{Q_B}) + S(\overline{Q_A} \oplus \overline{Q_B}) = \overline{S \oplus \overline{Q_A} \oplus \overline{Q_B}}$$

$$D_C = \overline{S}[(\overline{Q_A} \overline{Q_B}) \oplus \overline{Q_C}] + S[(\overline{Q_A} + \overline{Q_B}) \oplus \overline{Q_C}] = [\overline{S} \overline{Q_A} \overline{Q_B} + S(\overline{Q_A} + \overline{Q_B})] \oplus \overline{Q_C}$$

$$= [\overline{S}(\overline{Q_A} + \overline{Q_B}) + S(\overline{Q_A} + \overline{Q_B})] \oplus \overline{Q_C}$$

$$D_D = \overline{S}[(\overline{Q_A} \overline{Q_B} \overline{Q_C}) \oplus \overline{Q_D}] + S[(\overline{Q_A} + \overline{Q_B} + \overline{Q_C}) \oplus \overline{Q_D}] = [\overline{S} \overline{Q_A} \overline{Q_B} \overline{Q_C} + S(\overline{Q_A} + \overline{Q_B} + \overline{Q_C})] \oplus \overline{Q_D}$$

$$= [\overline{S}(\overline{Q_A} + \overline{Q_B} + \overline{Q_C}) + S(\overline{Q_A} + \overline{Q_B} + \overline{Q_C})] \oplus \overline{Q_D}$$

$$R = \overline{S} \overline{Q_A} \overline{Q_B} \overline{Q_C} \overline{Q_D} + S Q_A Q_B Q_C Q_D \quad (\text{进位、借位输出})$$

3. 分频器

实验台本身的时钟脉冲相当大,以兆赫兹为单位,直接使用显然使计数太快,既不方便观察,也没有实际使用价值。因此需要分频,简单讲即将几个时钟脉冲合并为一个,达到降低频率的效果,作为计数器的脉冲输入,从而使计数器使用的时钟周期为 1s 或几毫秒。下图为 1s 分频器代码:

```
module counter_1s(  
    input wire clk,  
    output reg clk_1s  
);  
    reg [31:0] cnt;  
    always @ (posedge clk) begin  
        if (cnt < 50_000_000) begin  
            cnt <= cnt + 1;  
        end else begin  
            cnt <= 0;  
            clk_1s <= ~clk_1s;  
        end  
    end  
end  
endmodule
```

三、实验过程和数据记录

任务 1: 原理图方式设计 4 位同步二进制计数器

1. 新建工程和源文件, 设计同步二进制计数器 (使用 Verilog 代码实现)

可以使用结构化的描述或行为描述。如下:

```
.....  
module counter_4bit(  
    input wire clk,  
    output wire Qa, Qb, Qc, Qd, Rc  
);  
    //input wire clk;  
    //output wire Qa, Qb, Qc, Qd, Rc;  
    wire Nor_nQa_nQb, Nor_nQa_nQb_nQc;  
  
    FD FD_A(.C(clk), .D(Da), .Q(Qa)),  
        FD_B(.C(clk), .D(Db), .Q(Qb)),  
        FD_C(.C(clk), .D(Dc), .Q(Qc)),  
        FD_D(.C(clk), .D(Dd), .Q(Qd));  
    defparam FD_A.INIT = 1'b0, FD_B.INIT = 1'b0;  
    defparam FD_C.INIT = 1'b0, FD_D.INIT = 1'b0;  
  
    INV nQa_L(.I(Qa), .O(nQa)), nQb_L(.I(Qb), .O(nQb)),  
        nQc_L(.I(Qc), .O(nQc)), nQd_L(.I(Qd), .O(nQd));  
    assign Da = nQa;  
  
    XNOR2 Db_L(.I0(Qa), .I1(nQb), .O(Db)),  
        Dc_L(.I0(Nor_nQa_nQb), .I1(nQc), .O(Dc)),  
        Dd_L(.I0(Nor_nQa_nQb_nQc), .I1(nQd), .O(Dd));  
    NOR4 Rc_L(.I0(nQa), .I1(nQb), .I2(nQc), .I3(nQd), .O(Rc));  
    NOR2 Nor_nQa_nQb_L(.I0(nQa), .I1(nQb), .O(Nor_nQa_nQb));  
    NOR3 Nor_nQa_nQb_nQc_L(.I0(nQa), .I1(nQb), .I2(nQc), .O(Nor_nQa_nQb_nQc));  
  
endmodule
```

```

module counter_2(
    input wire clk,
    output reg [3:0] Q,
    output wire Rc
);
    initial begin
        Q = 0;
    end

    assign Rc=Q;
    always @(posedge clk) begin
        Q=Q+4'b0001;
    end
endmodule

```

显而易见，行为描述的设计方法比结构化描述不仅在代码简洁度上完胜，而且更容易体现设计逻辑，易于理解。

2. 进行波形仿真，仿真图形如下：



显然，每次时钟脉冲上升沿，计数器输出都会自增 1.符合设计预期。

3. 进行顶层设计，使计数器在试验台上体现自增功能。代码如下，以计数器模块代替“createNumber”模块产生数字，用“Disp_num”模块显示出来。

```

module Top(
    input wire rst,
    input wire clk,
    output wire LED,
    output wire [7:0] SEGMENT,
    output wire [3:0] AN
);
    wire clk_ls;
    wire [3:0] num;
    counter_1s m0(.clk(clk), .clk_ls(clk_ls));
    counter_2 m1(.clk(clk_ls), .Q(num), .Rc(LED));
    Disp_num m2( clk,rst, {4'b0000, num[3:0], 4'b0000, 4'b1111}, SEGMENT, AN);
endmodule

```

任务 2：以 Verilog 行为描述方式设计 16 位可逆二进制同步计数器

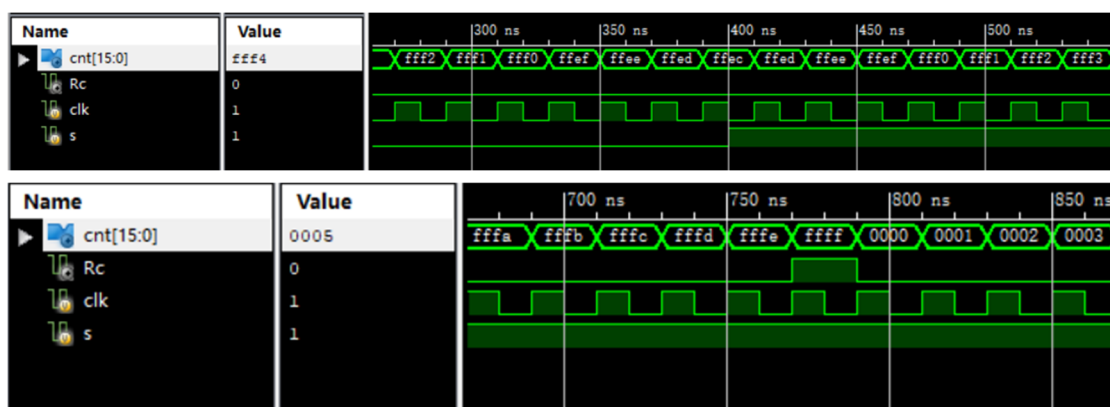
1. 新建工程和源文件，设计可逆二进制计数器。代码如下：

```

module revcounter(
    input wire clk,s,
    output reg [15:0] cnt,
    output wire Rc
);
    assign Rc = (~s & (~|cnt)) | (s & (&cnt));
    initial begin
        cnt = 0;
    end
    always@(posedge clk) begin
        if (s)
            cnt <= cnt + 1'b1;
        else
            cnt <= cnt - 1'b1;
        end
    end
endmodule

```

2. 进行波形仿真，仿真图如下：



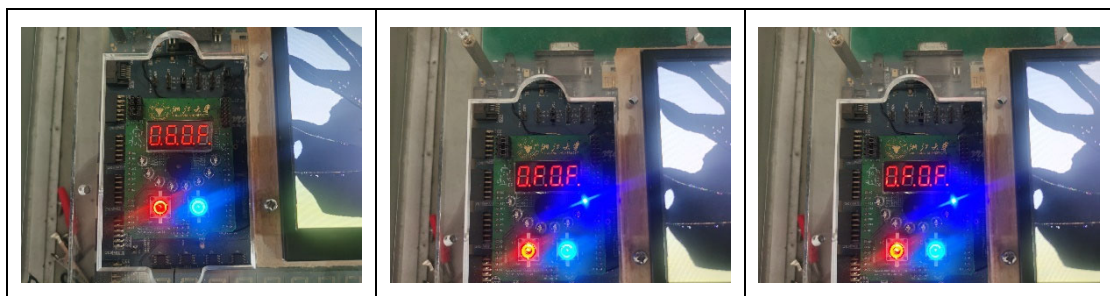
根据仿真图形，可逆计数器可以实现自增自减功能，且达到最大值时，Rc 可以指示。

3. 进行顶层设计，将计数器功能体现在实验台上。代码同任务一相似。

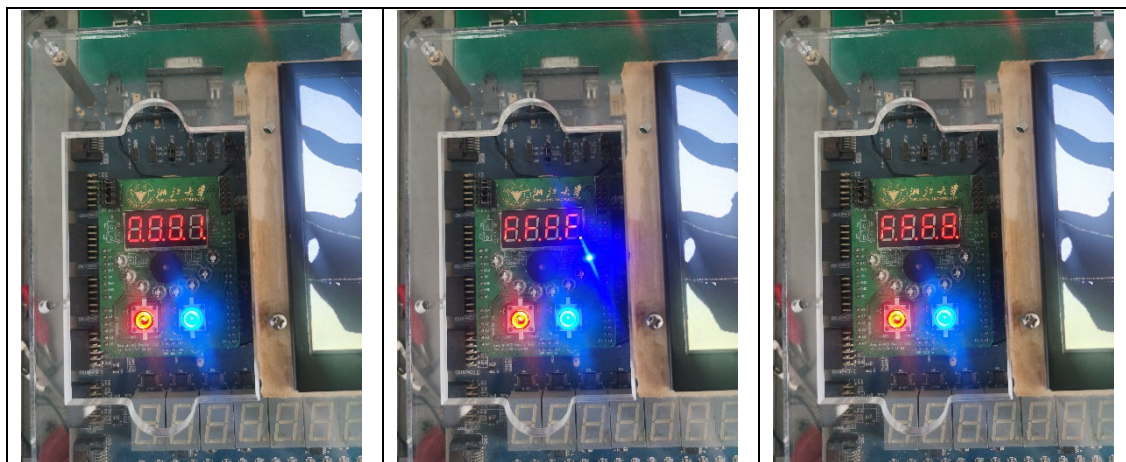
四、实验结果分析

1.单向同步二进制计数器。

左起第二位为自增位，其余位为常数。可以实现循环自增且在最大值时亮起 LED 灯。符合设计目标。



2.可逆同步二进制计数器



（使用连拍截取的最大值时图像）

经实验验证确实可以实现自增与自减功能，最大值时 LED 灯亮。符合设计目标。

五、实验总结与反思

本次实验我们设计了计数器，随时间的变化逐步增大。这是设计的第一个时序电路，让我对时序电路有了更加深入的了解，当然此次设计还是非常简单的，想要加深理解需要更多的实验；另外在设计过程中使用不同的设计思路也明显可以看出 Verilog 行为描述和结构化描述的区别和优劣。虽然行为描述易于理解，但是抽象程度太高，也不是什么太好的事，实践中各种设计的方法我们都应该掌握。