

**本科实验报告**

|  |  |
| --- | --- |
| 课程名称： | 数字逻辑电路设计 |
| 姓 名： | 颜晗 |
| 学 院： | 计算机科学与技术学院 |
| 专 业： | 计算机 |
| 邮 箱： | 30050057413@qq.com |
| QQ 号： | 3050057413 |
| 电 话： | 15112279275 |
| 指导教师： | 洪奇军 |
| 报告日期： | 2021年 10月 28 日 |

**浙江大学实验报告**

课程名称： 数字逻辑设计 实验类型： 综合

实验项目名称： 常用电子仪器的使用

学生姓名： 颜晗 学号： 3200105515 同组学生姓名： 吴俊贤

实验地点： 紫金港东四509室 实验日期： 2021 年 10 月 18 日

# 操作方法与实验步骤

1. 常用电子器件的认识

通过课件与实验室设备实操，认识各电子设备及其按钮的功能，可以熟练使用示波器与万用表以及sword实验箱进行实验。

1. 用示波器测量正弦波信号

频率（周期）测量：通过选择频率范围开关和频率调节旋钮使YB1638型函数信号发生器发出频率分别为100Hz、10KHz和100KHz的正弦波，可通过数显屏确定所调频率，将信号发生器的输出信号线与示波器的信号线连接，地线与地线相连，即可在示波器显示屏上看见输出信号。再比较输出与实测的数值是否有差异。

1. 测量YB1638型函数信号发生器输出电压

调整信号发生器的输出频率，并输出4-6V间的任意电压，分别用示波器以及万用表测量信号幅值，将示波器所测数值折算成有效值与万用表交流档读取值进行比较。



1. 测量实验箱中的直流电源

将红表笔插入VΩmA插孔，黑表笔插入COM插孔。将功能开关量程置于直流量程，将测试笔连接到待测电路上，红表笔所接端的极性将同时显示在显示器上。用示波器和万用表来测量实验台上的一组直流稳压电源的输出，并记录测量结果。

1. 测量二极管的单向导通特性

将万用表功能量程开关置于 “  ”位置，把红黑表笔分别接到二极管的两极，如果显示屏上显示0.6 - 0.7的数字，此时二极管正向导通，显示的数字是PN结的电压，红表笔接的极是二极管的正极，黑表笔接的是负极。如果显示屏上显示的数字是“1.”，此时二极管反向截止，红表笔接的是二极管负极，黑表笔接的是正极。

# 实验结果与分析

1. **用示波器测量正弦波信号**

表一 示波器测正弦信号的记录

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | **函数发生器输出** | **示波器读数** | **灵敏度** | **实测值/峰峰值** | |
| **峰峰值** | **3.0V** | 2.84Div | 1.00V/Div | 2.84V | |
| **周期/频率** | **100Hz** | 5.00Div | 2.000ms/Div | 10.00ms | 100Hz |
| **峰峰值** | **2.0V** | 3.64Div | 500mV/Div | 1.82V | |
| **周期/频率** | **10KHz** | 5.00Div | 20.00us/Div | 100.00us | 10KHz |
| **峰峰值** | **4.0V** | 3.88Div | 1.00V/Div | 3.88V | |
| **周期/频率** | **100KHz** | 5.00Div | 2.000us/Div | 10.000us | 100KHz |

|  |  |
| --- | --- |
|  | 图一 信号发生器输出3V，100Hz |
|  | 图二 信号发生器输出2V，10KHz |
|  | 图三 信号发生器输出4V，100KHz |

根据实验结果可知，利用示波器测量正弦函数的幅度，周期，频率的准确度较高，且在不同频率下都有较高准确度，而幅度的固定差异可能是仪器老化，导线老化导致信号衰减造成的。

1. **测量 YB1638 型函数信号发生器输出电压**

表二 测输出电压数据记录

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **函数发生器输出** | **示波器读数** | | **折算有效值** | **万用表读取值** | **说明** |
| **50Hz** | 4.28Div | 1.00V/Div | 1.51V | 1.52V | 万用表可测 |
| **1KHz** | 4.28Div | 1.00V/Div | 1.51V | 1.49V |  |
| **10KHz** | 4.28Div | 1.00V/Div | 1.51V | 1.46V |  |
| **100KHz** | 4.36Div | 1.00V/Div | 1.54V | 0.89V | 不可测 |

由上表，在函数发生器输出信号的频率较低时，示波器和万用表所测得的电压值大致相等，而在频率增大的过程中，万用表测得的数据不断减小，与示波器的数据差距拉大，这表明了万用表不能测量高频信号的幅度。

|  |  |
| --- | --- |
|  | 信号发生器输出50.01Hz. |
|  | 信号发生器输出1KHz. |
|  | 信号发生器输出10KHz |
|  | 信号发生器输出100KHz |

1. **万用表测量实验箱中的直流电源**

表三 实验箱中电源测量数据

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **直流稳压电源输出** | **示波器读数** | **灵敏度** | **示波器折算值** | **万用表读数** |
| **5V** | 4.96Div | 1.00V/Div | 4.96V | 4.9 |

由表中数据可见，示波器比万用表所测值要更加接近输出值一些，可能由于仪器的结构不同导致信号的衰减程度不一，也可能万用表所用的导线或内部电阻导致了信号衰减，测得的电压减小。

|  |  |
| --- | --- |
|  | 万用表测量5V电源输出 |
|  | 示波器测量5V电源输出 |

1. **用万用表测量二极管的单向导电(通断)特性**

由实验原理可知，当万用表的示数极小大约为0.5-0.6左右时，说明二极管导通，而显示“1.”说明二极管反向截止。

|  |  |
| --- | --- |
|  |  |

# 讨论、心得

本次实验我们接触到了两个常用测量仪器，测量了一些常见的量，还见识到了二极管的单向导通性质。由于对仪器接触不多，刚开始还是一头雾水，不知如何下手，慢慢的消化完老师的ppt内容后，才对仪器有了基本的了解。由于对仪器不熟悉，测量各个量的过程并不顺利，但我们把问题逐一解决并取得了较为满意的实验结果。这些仪器在以后的实验过程中也必不可少，还需要再多多熟悉。

**浙江大学实验报告**

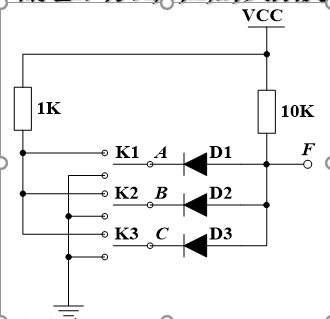
课程名称： 数字逻辑设计 实验类型： 综合

实验项目名称： 基本开关电路

学生姓名： 颜晗 学号： 3200105515 同组学生姓名： 吴俊贤、熊儒海

实验地点： 紫金港东四509室 实验日期： 2021 年 9 月 18 日

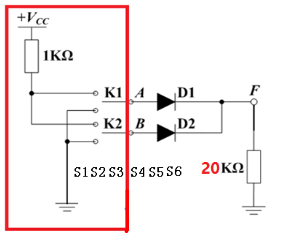
1. **操作方法与实验步骤**
2. 二极管构成与门电路



按图示电路在实验台上连接导线。根据右图在实验箱中通过导线连接电路，检查二极管、电源电压和极性、电阻值等是否连接正确

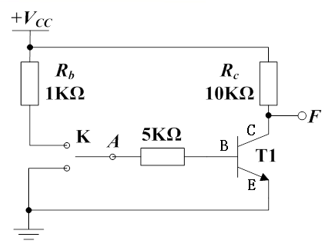
Vcc接实验箱中+5V直流电源。输入高低电平通过开关S1/S2产生。输入A,B的不同电平组合，用万用表或实验箱中的直流电压表测量A,B及对应输出F 的电压值。最后判断逻辑关系是否满足 F= A B。

1. 二极管构成或门电路



按图示电路在实验台上连接导线。根据右图在实验箱中通过导线连接电路，检查二极管、电源电压和极性、电阻值等是否连接正确 Vcc接实验箱中+5V直流电源。输入高低电平通过开关S1/S2产生。输入A,B的不同电平组合，用万用表或实验箱中的直流电压表测量A,B及对应输出F 的电压值。最后判断逻辑关系是否满足 F = A +B。

1. 三极管组成非门电路



按图示电路在实验台上连接导线。根据右图在实验箱中通过导线连接电路，检查二极管、电源电压和极性、电阻值等是否连接正确 Vcc接实验箱中+5V直流电源。输入高低电平通过开关S1/S2产生。输入A,B的不同电平组合，用万用表或实验箱中的直流电压表测量A,B及对应输出F 的电压值。最后判断逻辑关系是否满足 F = A’。

1. 二极管和三极管组成与非门电路

按图示电路在实验台上连接导线。根据右图在实验箱中通过导线连接电路，检查二极管、电源电压和极性、电阻值等是否连接正确 Vcc接实验箱中+5V直流电源。输入高低电平通过开关S1/S2产生。输入A,B的不同电平组合，用万用表或实验箱中的直流电压表测量A,B及对应输出F 的电压值。最后判断逻辑关系是否满足 F = (AB)’。



1. 三极管极性测量

将万用表红表笔插入 VΩmA 插孔，黑表笔插入 COM 插孔，先判断被测三极管是 PNP 还是 NPN 型，定下基极 b。将功能量程置于 hFE 位置，把三极管插入面板上三极管测试插座，基极 b 要插对，集电极 c 和发射极 e 随便插。从显示屏上读取 hFE 近似值，若该值较大，说明三级管 c,e 极与插座上的 c,e 极对应；若该值很小，说明这时的三极管 c,e 极插反，应把 c,e 极对调后再读取 hFE 值。

1. **实验结果与分析**
2. 二极管构成与门电路

|  |  |  |  |
| --- | --- | --- | --- |
| 与门数据 |  |  |  |
| VA/V | VB/V | VF/V | F逻辑值 |
| 4.50 | 4.50 | 4.51 | H |
| 4.50 | 0.177 | 0.719 | L |
| 0.139 | 4.50 | 0.681 | L |
| 0.121 | 0.135 | 0.637 | L |

由表中数据可知，仅当A与B都输入高电平时，输出F才为高电平，否则便输出低电平。符合与门的逻辑。

实验过程如图：

|  |  |
| --- | --- |
|  |  |
|  |  |

1. 二极管构成或门电路

|  |  |  |  |
| --- | --- | --- | --- |
| 或门数据 |  |  |  |
| VA/V | VB/V | VF/V | F逻辑值 |
| 4.49 | 4.49 | 2.99 | H |
| 0.097 | 4.25 | 2.99 | H |
| 4.25 | 0.178 | 2.99 | H |
| 0.148 | 0.098 | 0 | L |

|  |  |  |  |
| --- | --- | --- | --- |
| VA/V | VB/V | VF/V | F逻辑值 |
| 4.48 | 4.48 | 3.45 | H |
| 4.21 | 0.098 | 3.44 | H |
| 0.096 | 4.21 | 3.44 | H |
| 0.094 | 0.095 | 0 | L |

|  |  |  |  |
| --- | --- | --- | --- |
| VA/V | VB/V | VF/V | F逻辑值 |
| 4.47 | 4.47 | 4.09 | H |
| 4.16 | 0.094 | 4.06 | H |
| 0.095 | 4.16 | 4.05 | H |
| 0.095 | 0.094 | 0 | L |

观察三组数据都可以得知，A或B中任意一个输入高电平，F都会输出高电平；仅当二者都输出低电平时，才输出低电平。符合或门逻辑。

实验过程如图：

|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

1. 三极管组成非门电路

|  |  |  |
| --- | --- | --- |
| 非门数据 |  |  |
| VA/V | VF/V | F逻辑值 |
| 0.095 | 4.11 | H |
| 4.15 | 0.013 | L |

|  |  |  |
| --- | --- | --- |
| VA/V | VF/V | F逻辑值 |
| 0.095 | 4.11 | H |
| 3.29 | 0 | L |

|  |  |  |
| --- | --- | --- |
| VA/V | VF/V | F逻辑值 |
| 0.095 | 4.11 | H |
| 2.69 | 0 | L |

如上表，输入高电平时，输出低电平；输入低电平时，输出高电平。

部分实验过程如图：

|  |  |
| --- | --- |
|  |  |
|  |  |

1. 二极管和三极管组成与非门电路

|  |  |  |  |
| --- | --- | --- | --- |
| 与非门数据 |  |  |  |
| VA/V | VB/V | VF/V | F逻辑值 |
| 4.50 | 4.50 | 0.036 | L |
| 4.50 | 0.121 | 4.16 | H |
| 0.102 | 4.50 | 4.34 | H |
| 0.097 | 0.102 | 4.43 | H |

|  |  |  |  |
| --- | --- | --- | --- |
| VA/V | VB/V | VF/V | F逻辑值 |
| 4.50 | 4.50 | 0.021 | L |
| 4.50 | 0.106 | 3.98 | H |
| 0.108 | 4.50 | 3.98 | H |
| 0.099 | 0.104 | 4.33 | H |

|  |  |  |  |
| --- | --- | --- | --- |
| VA/V | VB/V | VF/V | F逻辑值 |
| 4.50 | 4.50 | 0.010 | L |
| 4.50 | 0.106 | 3.24 | H |
| 0.106 | 4.50 | 3.27 | H |
| 0.098 | 0.101 | 3.86 | H |

如上表数据显示，输入与输出基本符合与非门的逻辑。但是尽管输出高电平的数值的数值相比低电平已经很大了，大部分与预期仍就有差距，且不同组实验间高电平也有相当差距。初步判定一方面试验台测量可能有偏差，另一方面所用导线质量参差不齐，可能导致信号的变化。

部分实验过程如下图：

|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |

1. 三极管极性测量

通过万用表可以测得三极管为NPN型，再测量hFE

两次测量分别为 276，010.

|  |  |
| --- | --- |
|  |  |
|  |  |

1. **讨论、心得**

本次实验我们利用二极管与三极管构建了门电路，并且利用试验台检验了其输入输出的逻辑关系，逻辑关系基本没有问题，但是可能由于器材所限，高电平的“高”并未完全显示出来，而且数值也并不稳定，往后实验还需仔细检查器材，连导线也许尽可能选择状态良好的。三极管实验非常顺利，得到了想要的实验结果。

**浙江大学实验报告**

课程名称： 数字逻辑设计 实验类型： 综合

实验项目名称： 集成逻辑门电路的功能及参数测试

学生姓名： 颜晗 学号： 3200105515 同组学生姓名： 吴俊贤、熊儒海

实验地点： 紫金港东四509室 实验日期： 2021 年 9 月 29 日

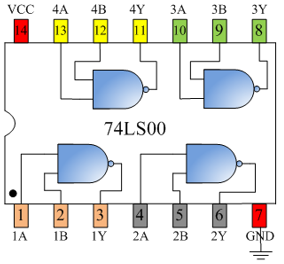
1. 操作方法与实验步骤
2. 验证集成电路74LS00“与非”门的逻辑功能

1.1将芯片插入实验箱的IC插座中，注意芯片的方向

1.2按右图连接电路，VCC 接电压5V，地端接地线

1.3高低电平通过S14/S15/S16/S17拨位开关产生，

1.4以真值表顺序遍历输入A,B所有组合，测量A,B及输出F 电压并记入表格



1. 验证集成电路CD4001“或非”门的逻辑功能

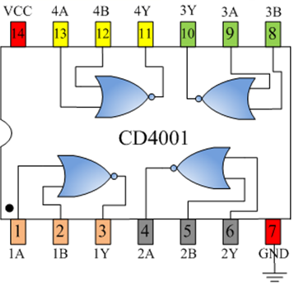
2.1将芯片插入实验箱的IC插座中

2.2按右图连接电路，VCC 接直流5V电压，地端接地线

2.3高低电平通过S14/S15/S16/S17拨位开关产生，

2.4以真值表顺序遍历输入A,B所有组合，测量输入端A,B及输出端F电压值，记录右表

2.5重复步骤3~4，测量其他3个门的逻辑关系并判断门的好坏



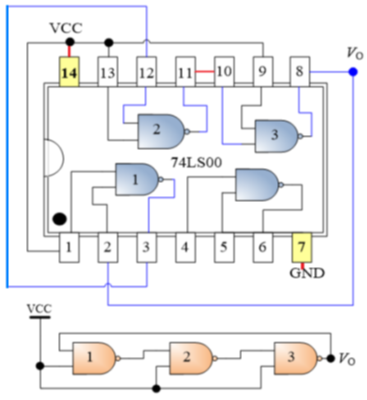
1. 测量集成电路74LS00逻辑门的传输延迟时间tpd

3.1将芯片插入实验箱的IC插座，注意芯片方向

3.2按图连接电路，VCC接5V电源，地端接地线

3.3将示波器接到振荡器的任何一个输入或输出端

3.4调节频率旋钮，测量Vo的波形，读出周期T 并计算传输延迟时间 (30-60ns）



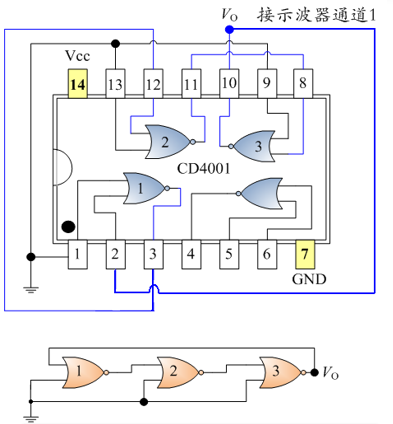
1. 测量集成电路CD4001逻辑门的传输延迟时间tpd

4.1将芯片插入实验箱的IC插座，注意芯片方向

4.2按图连接电路，VCC接5V电源，地端接地线

4.3将示波器接入到振荡器的输入或输出端

4.4调节频率旋钮，测量Vo的波形，读出周期T 并计算传输延迟时间 (500-1000ns)



1. 测量集成电路74LS00传输特性与开关门电平VON和VOFF

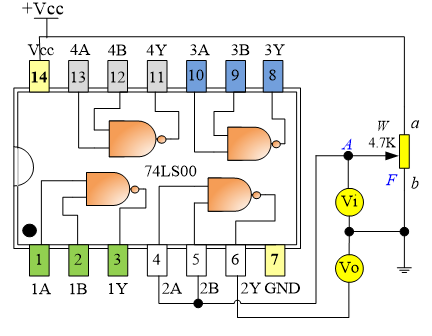
5.1将芯片插入实验箱的IC插座

5.2按图连接电路

5.3将直流电表分别接入 A 端和与非门的输出2Y端

5.4从b端往a端缓慢调节电位器W，观察Vi ,Vo 两电压表的读数，并记录数据填入表格

5.5根据表格数据画出曲线图，并求VON和VOFF



1. 实验结果与分析
2. 验证集成电路74LS00“与非”门的逻辑功能

|  |  |  |  |
| --- | --- | --- | --- |
| 与非门 | | | |
| VA(V) | VB(V) | VF(V) | F逻辑值 |
| 0.108 | 0.675 | 4.71 | H |
| 0.106 | 4.72 | 4.92 | H |
| 4.54 | 0.676 | 4.83 | H |
| 4.55 | 4.55 | 0.430 | L |

当A,B输入高电平时，F输出低电平，其余皆输出高电平，符合“与非”的逻辑关系。且高电平数值并未像前一次实验有偏低嫌疑。

部分实验过程如图：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 00 | 01 | 10 | 11 |
| 1 |  |  |  |  |
| 2 |  |  |  |  |
| 3 |  |  |  |  |
| 4 |  |  |  |  |

1. 验证集成电路CD4001“或非”门的逻辑功能

|  |  |  |  |
| --- | --- | --- | --- |
| 或非门 | | | |
| VA(V) | VB(V) | VF(V) | F逻辑值 |
| 0.101 | 0.096 | 4.95 | H |
| 0.103 | 4.55 | 0 | L |
| 4.55 | 0.096 | 0 | L |
| 4.55 | 4.54 | 0 | L |

如图，仅当A，B同时输入低电平时，F才输出高电平，其余皆输出低电平。符合“或非”的逻辑关系。且高低电平数值很正常。

实验过程如图：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 00 | 01 | 10 | 11 |
| 1 |  |  |  |  |

1. 测量集成电路74LS00逻辑门的传输延迟时间tpd

|  |  |
| --- | --- |
| 74LS00 逻辑门的传输延迟时间接线图 | 74LS00 逻辑门的传输延迟时间示波器示数 |
|  |  |

从示波器中可以读出周期T=117.0ns

进而计算出传输延时tpd=117.0/6 = 19.5ns

1. 测量集成电路CD4001逻辑门的传输延迟时间tpd

|  |  |
| --- | --- |
| CD4001逻辑门的传输延迟时间接线图 | CD4001逻辑门的传输延迟时间示波器示数 |
|  |  |

从示波器中可以读出周期T=500.0ns

进而计算出传输延时tpd=500.0/6 = 83.3ns

1. 测量集成电路74LS00传输特性与开关门电平VON和VOFF

|  |  |  |  |
| --- | --- | --- | --- |
| Vi | V0 | Vi | V0 |
| 0.13 | 4.86 | 2.45 | 3.17 |
| 0.30 | 4.86 | 2.7 | 3.04 |
| 0.50 | 4.85 | 2.9 | 2.93 |
| 0.70 | 4.85 | 3.1 | 2.85 |
| 0.90 | 4.85 | 3.34 | 2.74 |
| 1.1 | 4.85 | 3.49 | 2.62 |
| 1.3 | 4.85 | 3.6 | 2.53 |
| 1.51 | 4.85 | 3.78 | 0.02 |
| 1.8 | 4.85 | 3.97 | 0.02 |
| 2.0 | 4.85 | 4.24 | 0.02 |
| 2.2 | 4.85 | 4.42 | 0.02 |
| 2.28 | 3.26 | 4.59 | 0.02 |
| 2.35 | 3.21 | 4.78 | 0.02 |

如图可判断，开门电平Von = 3.6V，关门电平Voff = 2.2V.

1. 讨论、心得

本次实验总体还算简单，只需要检验现成的器件功能即可，但是在测量开关门电平时遇到了麻烦，由于只提供了一个万用表，需要改变电路用试验台自带电表测量，不知又是器材的原因还是接线确实有错误，我们总是无法完整读取到两个值，只能利用同学完成后多余的万用表用原电路实验，说明我们在做实验方面还是只能照本宣科，一点一点按讲义做，没有自己的思考，遇见问题无法解决，往后还需仔细理解实验的原理，学会解决突发问题。

**浙江大学实验报告**

课程名称： 数字逻辑设计 实验类型： 综合

实验项目名称： EDA实验平台与实验环境运用

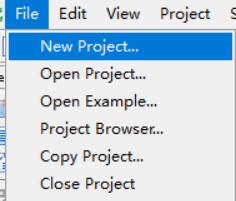
学生姓名： 颜晗 学号： 3200105515 同组学生姓名： 吴俊贤、熊儒海

实验地点： 紫金港东四509室 实验日期： 2020 年 10 月 11 日

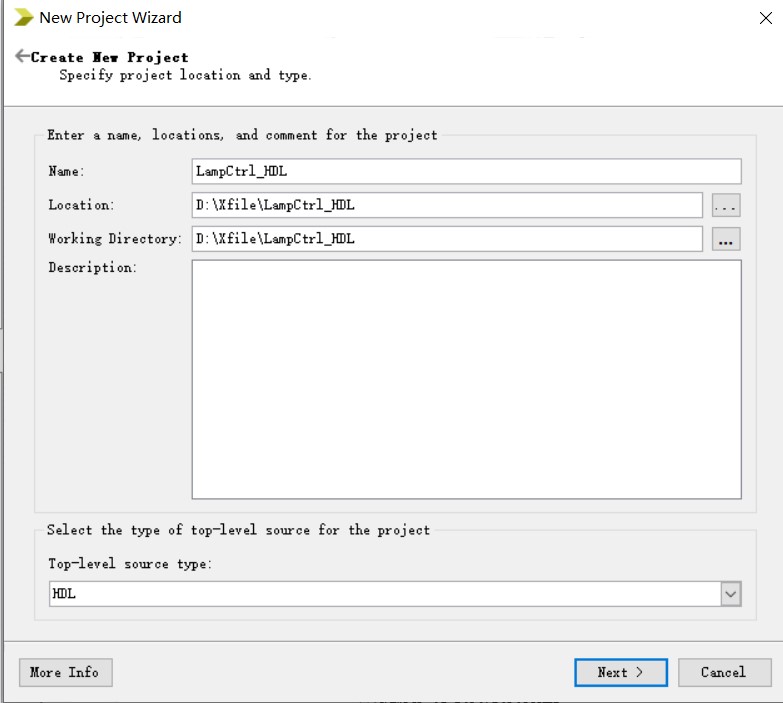
1. **操作方法与实验步骤**
2. 用Verilog语言描述电路逻辑功能

1.1建立控制楼道灯的工程

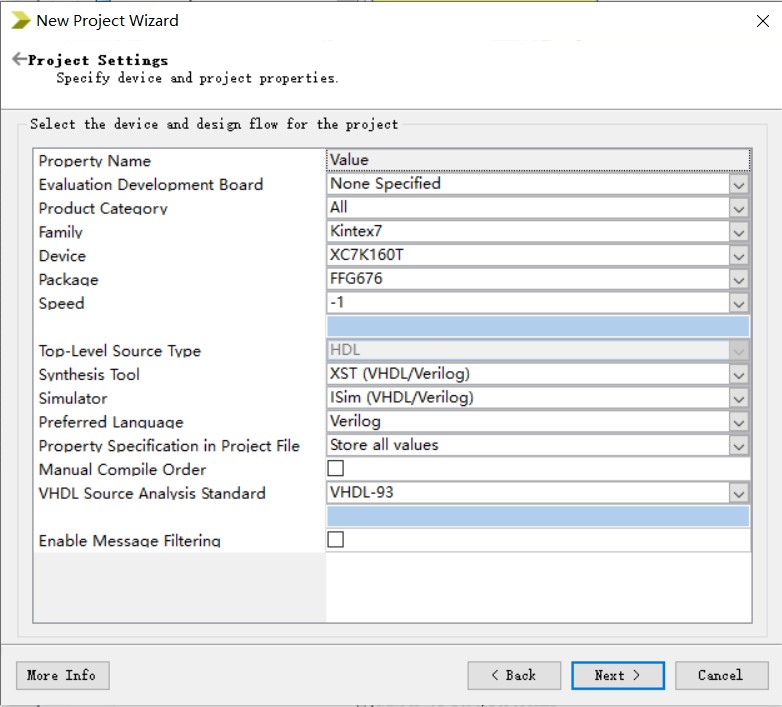
1.1.1依次点击菜单“ File New Project



1.1.2输入项目名称，确认Top-level source type。



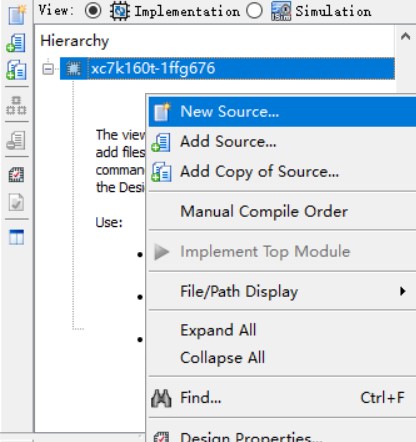
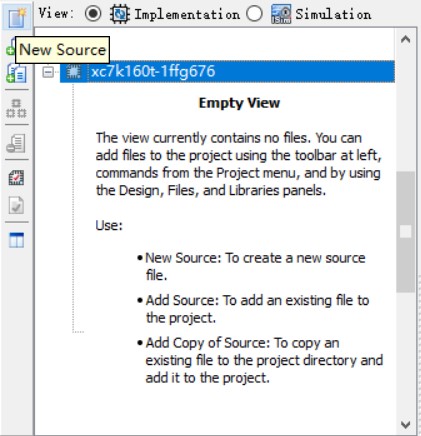
1.1.3设置各项属性，务必一模一样



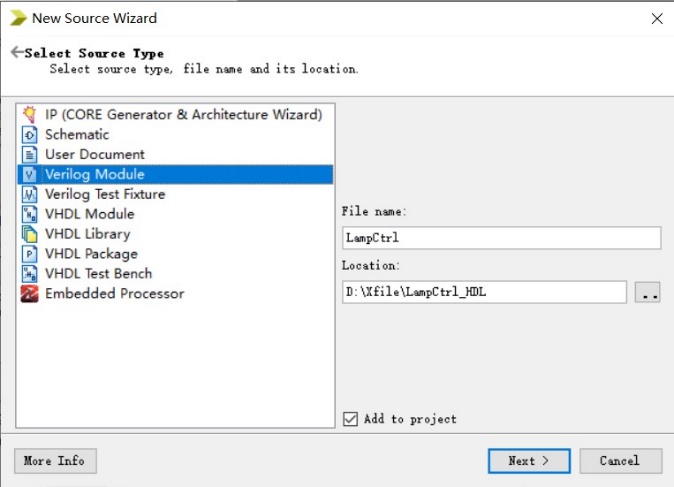
1.1.4一直Next直到Finish，完成建立

1.2创建Verilog 输入源文件 LampCtrl.v

1.2.1在Sources 窗口空白处的右键菜单中选择New Source，或者直接左侧窗口选择对应图标

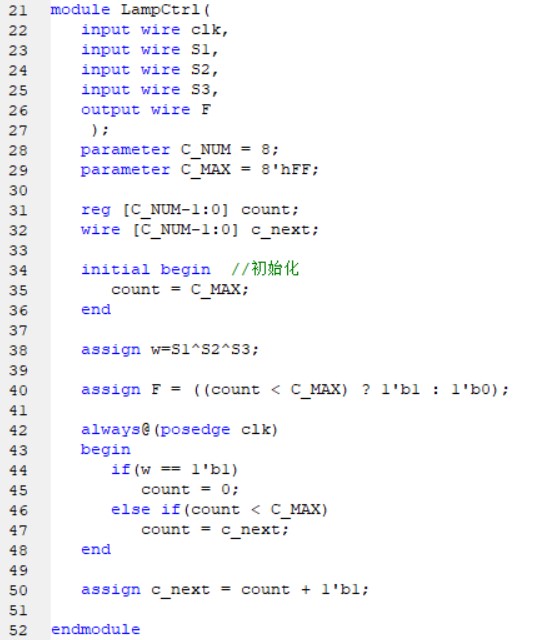
1.2.2在新建源文件向导中选择源类型为Verilog Module，输入文件名LampCtrl，勾选Add to Project



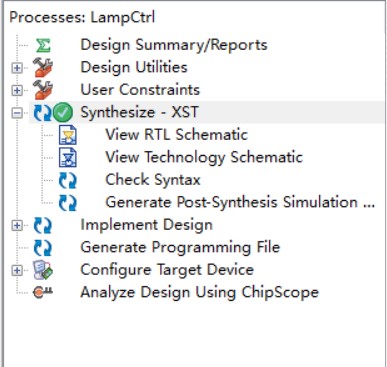
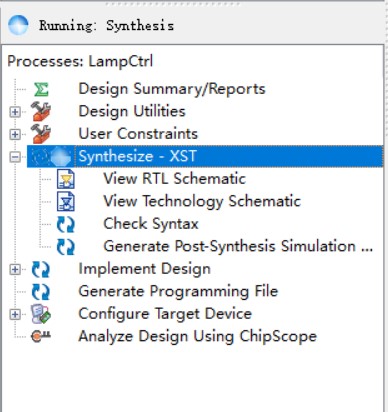
1.2.3Next直至Finish

1.3输入楼道灯控逻辑电路 Verilog HDL 代码

1.3.1在源代码编辑器，输入代码

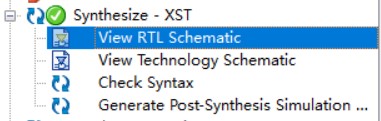


1.3.2 检查输入代码的语法规则，并排除输入错误（楼道控制电路代码的综合：在Sources窗口选中文件LampCtrl.v；在Processes窗口运行Synthesis XST，直至出现绿色小勾，说明无误）

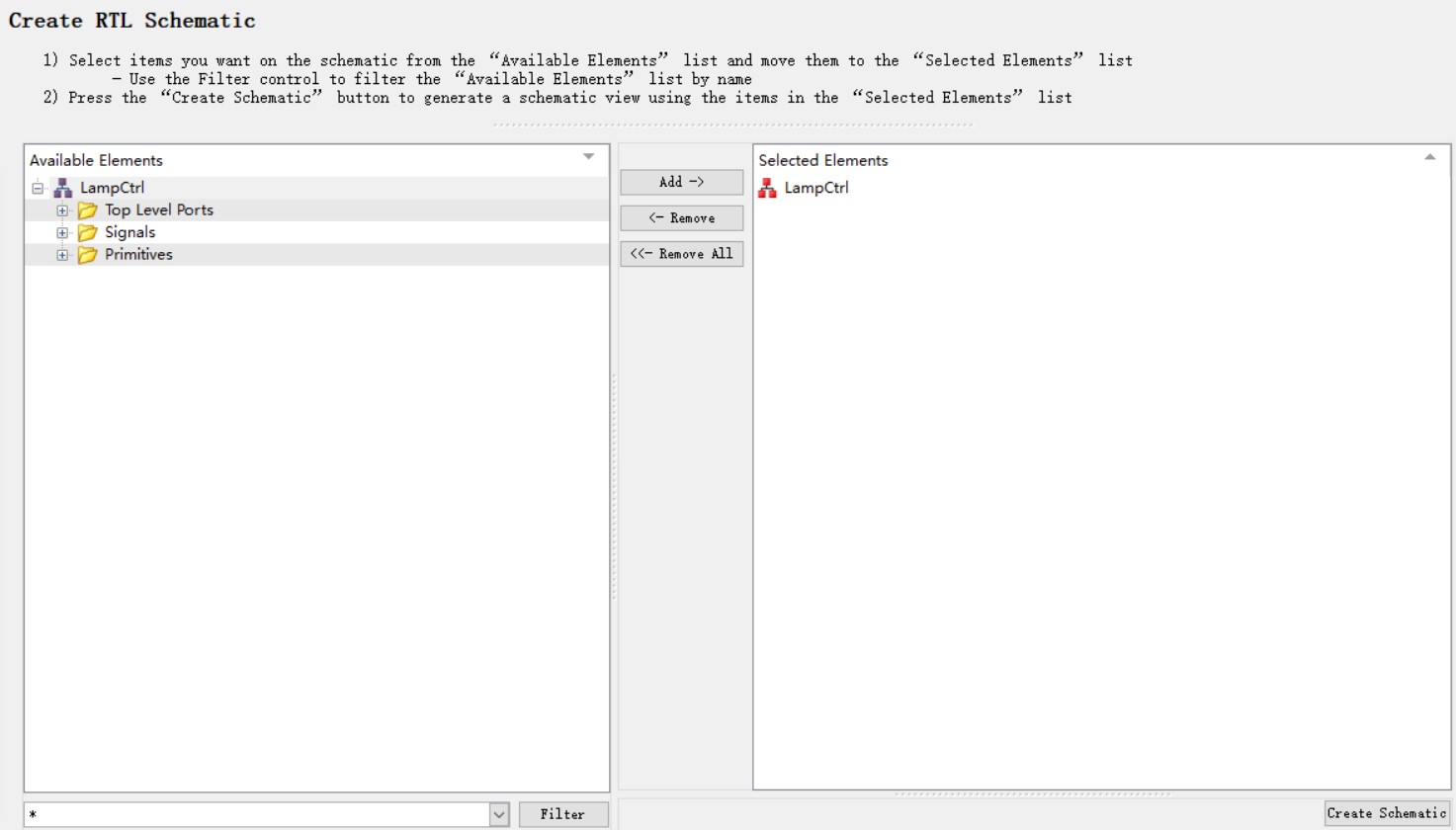


1.4楼道控制电路代码的综合

1.4.1在“ Processes”窗口双击运行“ Synthesis XST - View RTL Schematic” 弹出的对话框选择“OK”。



1.4.2在左侧选中Lampctrl即最大的项目文件夹，点击Add，即可将其添加至右侧。再点击右下方的“Create Schematic”，即可创建电路结构示意图。

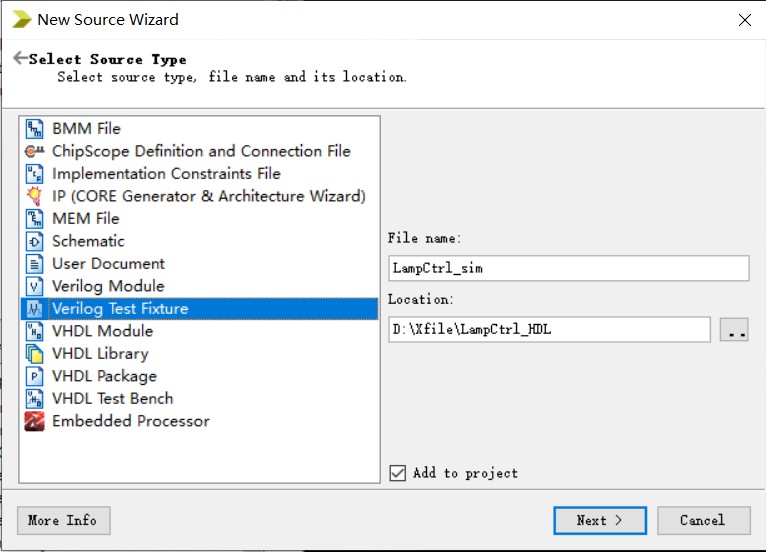


1.4.3检查综合的电路结构是否与设计目标一致



1.5建立基准测试波形文件： LampCtrl\_1\_sim.tbw

1.5.1继续“New Source”，在新建源文件向导中选择源类型为：Verilog Test Fixture2，输入文件名LampCtrl\_sim，并勾选Add to Project。

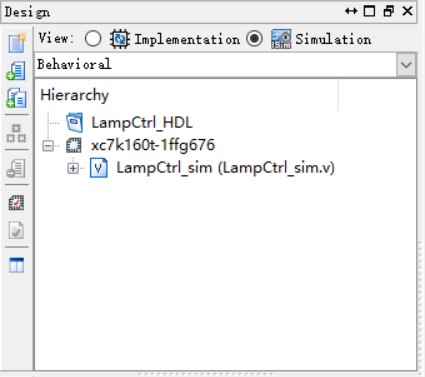


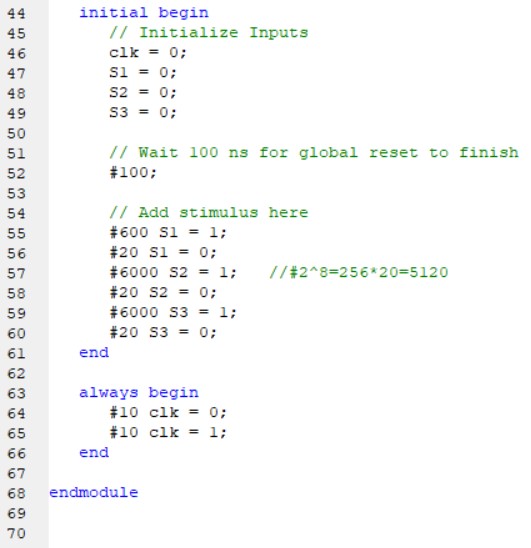
1.5.2 Next 直到 Finish。

1.6仿真激励输入波形

1.6.1在“ Design”窗口中选择 “Simulation”，并选中 LampCtrl\_1\_sim.v

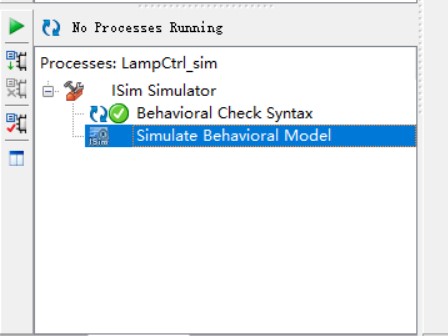
文件，输入仿真激励代码





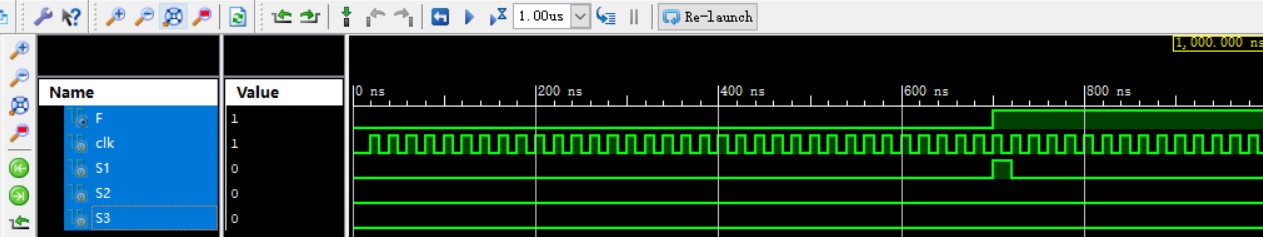
1.6.2在“ Design”窗口选中 LampCtrl\_1\_sim.v”文件，“在 Processes”窗

口双击 “Behavioral Check Syntax”，弹出的对话框选择 Yes”，待前方出现绿色小勾后再双击“Simulate Behavioral Model”，此时会打开模拟程序软件 ISim



1.6.3 ISE14.7模拟运行结果只显示最后 1NS的波形 ,所以看不到真实波形。点

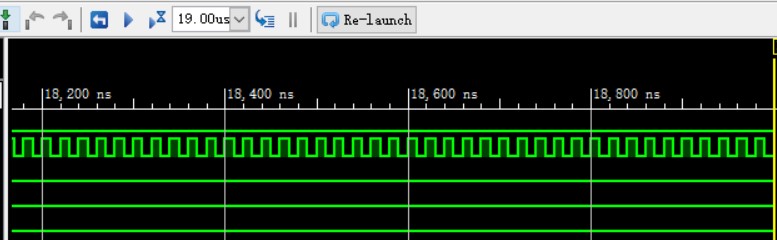
击“ Zoom to Full View” ）全屏显示可以看到 1μs的全部波形



1.6.4 查看运行到 19μs的波形，( 说明：运行到指定时间:从当开位置开始到”19us”）Restart:从0us开始,先单击Restart{  }再分别单击  



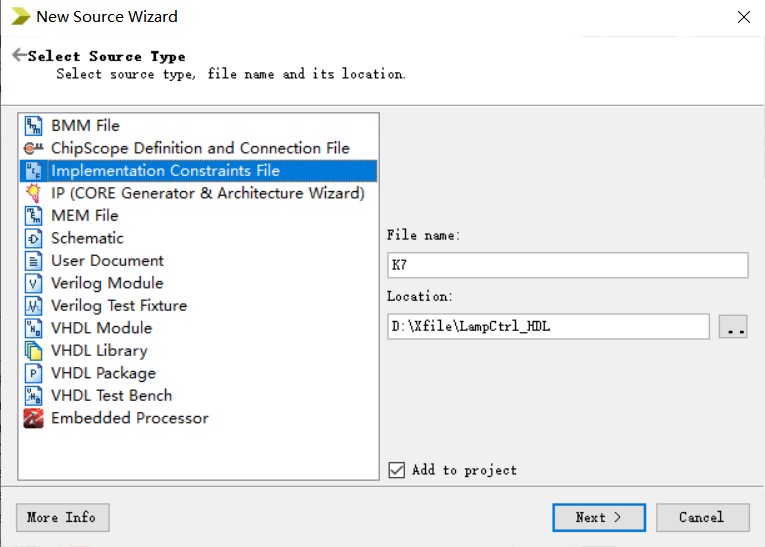




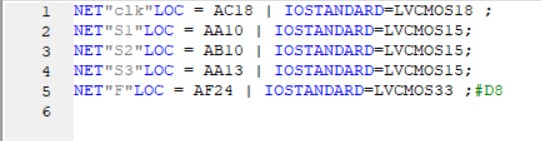


1.7建立用户时序约束并为模块的端口指定引脚分配

1.7.1在Sources 窗口空白处的右键菜单中选择New Source，在新建源文件向导中选择源类型为：Implementation Constraints File，输入文件名K7，并勾选Add to Project，点击Finish进入K7.ucf编辑窗口



1.7.2 在“K7.ucf”中输入代码

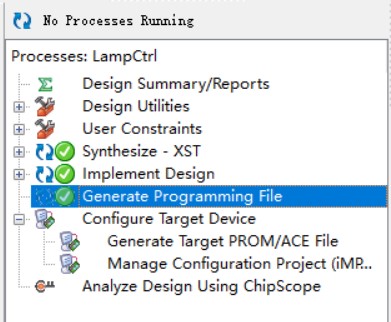


1.7.4 如果计数器之前为8位，修改计数器为 28位



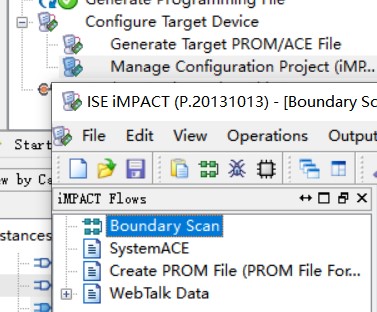
1.8下载到 SWORD板

1.8.1在“processes”窗口中依次双击“Synthesize - XST”“Implement Design”“Generrate Programming File”全部过程无误显示绿色小勾。



1.8.2如果确定自己所有过程无误，可以双击在“Configure Target Device”下的“Manage Configuration Project(iMPACT)”，准备加载至实验台内。或者直接双击这一项，会自动完成上一步的三项。

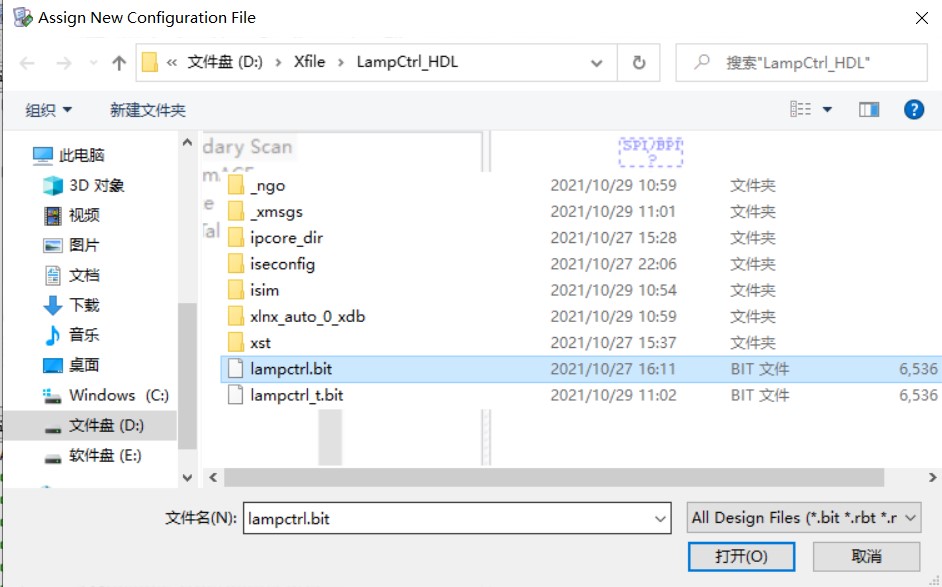
再双击弹出窗口左侧的“Boundary Scan”，弹出下载编辑窗口（边界扫描）。



1.8.3在右侧窗口的空白处左击一下，弹出窗口中选择“Initialize Chain”, ”，系统自动查找已连接在电脑上的开发平台 JTAG下载链。出现“ XCK160t”容器，右击，选择 Assign New Configuration File”窗口，找到工程目录，选择“ “.bit”文件，在弹出 的 Attach SPI or BPI PROM”窗口单击 No Device Programming Properties”窗口单击 Yes”。右击容器，单击 Program下载到 SWORD板上。窗口下方出现“ SUCCESS”后，即可以拨动开关，进行实验。

注意：1.并不是弹出窗口均选“Yes”或“OK”，有一个窗口选“NO”

2.如果有多个“.bit”文件，一定注意要选择哪一个。



实验相关代码：

|  |
| --- |
| //LampCtrl.v  module LampCtrl(  input wire clk,  input wire S1,  input wire S2,  input wire S3,  output wire F  );  parameter C\_NUM = 28;  parameter C\_MAX = 28'hFFFF\_FFF;  reg [C\_NUM-1:0] count;  wire [C\_NUM-1:0] c\_next;    initial begin //初始化  count = C\_MAX;  end    assign w=S1^S2^S3;    assign F = ((count < C\_MAX) ? 1'b1 : 1'b0);  always@(posedge clk)  begin  if(w == 1'b1)  count = 0;  else if(count < C\_MAX)  count = c\_next;  end    assign c\_next = count + 1'b1;  endmodule |

|  |
| --- |
| //LampCtrl\_sim.v  module LampCtrl\_sim;  // Inputs  reg clk;  reg S1;  reg S2;  reg S3;  // Outputs  wire F;  // Instantiate the Unit Under Test (UUT)  LampCtrl uut (  .clk(clk),  .S1(S1),  .S2(S2),  .S3(S3),  .F(F)  );  initial begin  // Initialize Inputs  clk = 0;  S1 = 0;  S2 = 0;  S3 = 0;  // Wait 100 ns for global reset to finish  #100;    // Add stimulus here  #600 S1 = 1;  #20 S1 = 0;  #6000 S2 = 1; //#2^8=256\*20=5120  #20 S2 = 0;  #6000 S3 = 1;  #20 S3 = 0;  end    always begin  #10 clk = 0;  #10 clk = 1;  end    endmodule |

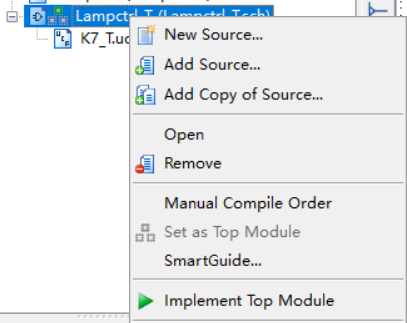
|  |
| --- |
| //K7.ucf  NET"clk"LOC = AC18 | IOSTANDARD=LVCMOS18 ;  NET"S1"LOC = AA10 | IOSTANDARD=LVCMOS15;  NET"S2"LOC = AB10 | IOSTANDARD=LVCMOS15;  NET"S3"LOC = AA13 | IOSTANDARD=LVCMOS15;  NET"F"LOC = AF24 | IOSTANDARD=LVCMOS33 ;#D8 |

1. 以图形方式输入逻辑功能描述

2.1新建工程（可以省，在原工程中进行其他操作）

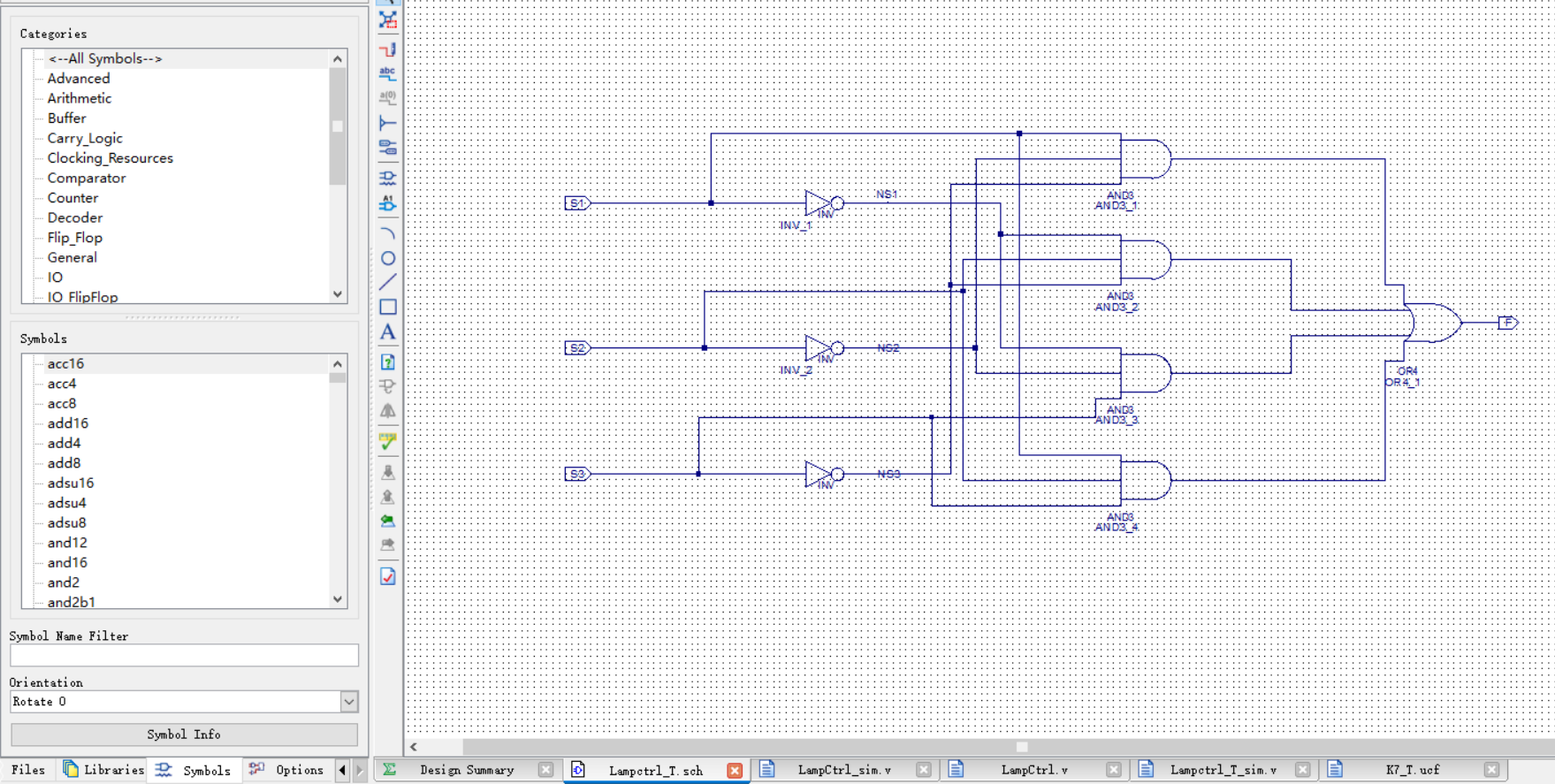
2.2创建图形输入源文件“New Sources”，这次新建“Schematic”文件，输入文件名， 直至“Finish”。如果未新建工程，可以右击新建的Source，在弹出窗口选择“Implement Top Module”,即可使不同实现方式在同一工程中存在并生效。

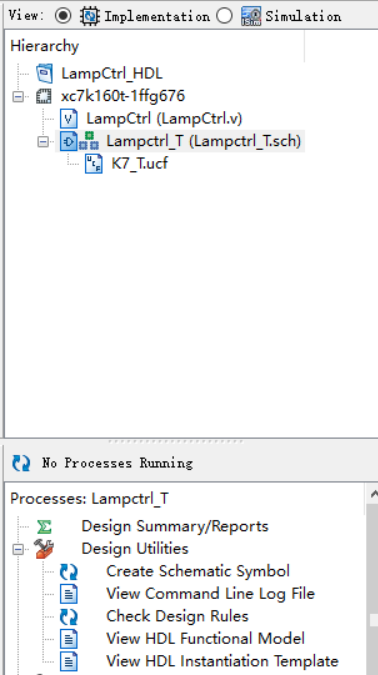




2.3输入楼道灯控逻辑电路

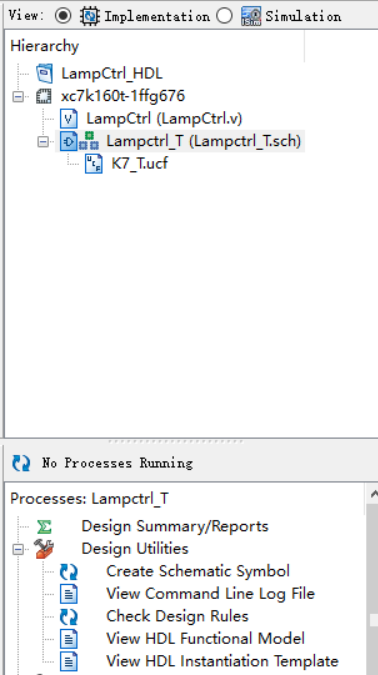
2.3.1在“Symbols”窗口中可以选择可用的电子元器件，使用它们和导线构造电路。再检查设计是否出错。







2.3.2查看自动生成的硬件描述代码：在检查设计错误的同一个选项卡下找到并双击 View HDL Functional Model。

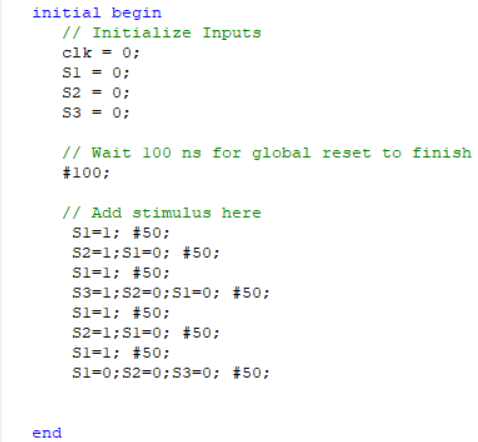




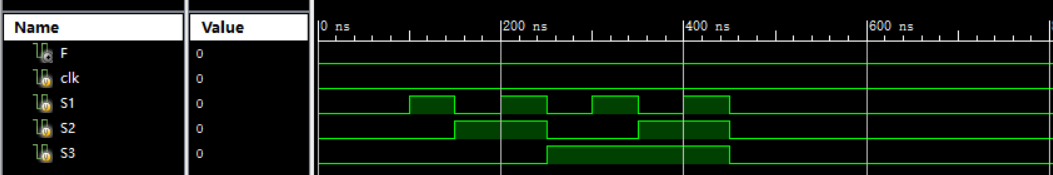
2.4仿真激励输入

2.4.1建立基准测试波形文件(同上1.6)

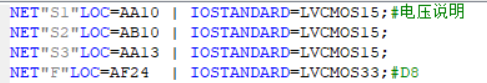
2.4.2 输入代码



2.3.3查看并检查波形



2.4建立用户时序约束并为模块的端口指定引脚分配（除代码外同上1.7）



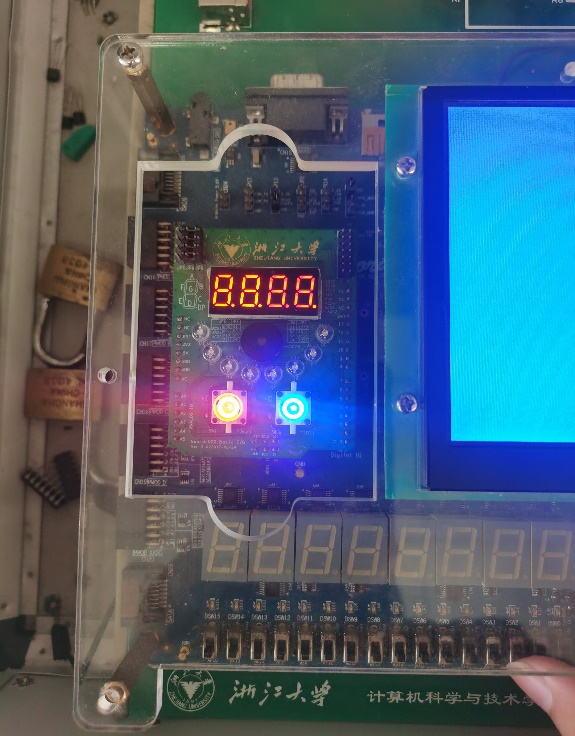
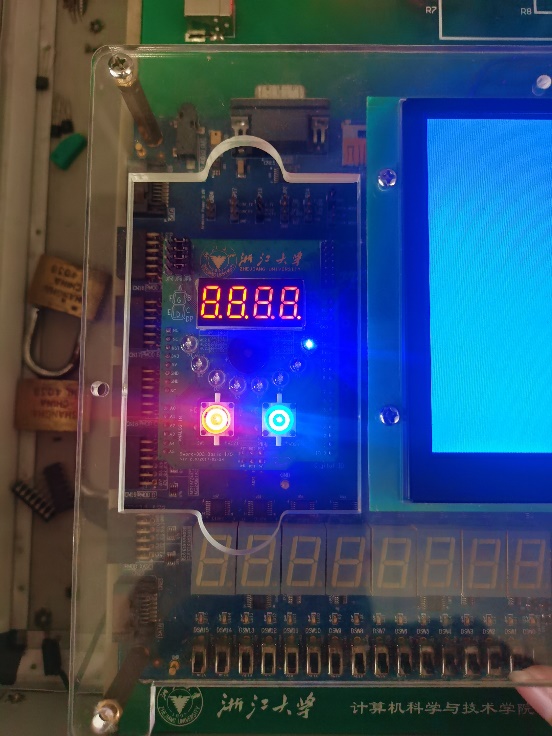
2.5同上1.8

相关代码如下：

|  |
| --- |
| //LampCtrl\_T.vf  `timescale 1ns / 1ps  module Lampctrl\_T(S1,  S2,  S3,  F);  input S1;  input S2;  input S3;  output F;    wire NS1;  wire NS2;  wire NS3;  wire XLXN\_1;  wire XLXN\_2;  wire XLXN\_3;  wire XLXN\_4;    AND3 AND3\_1 (.I0(NS3),  .I1(NS2),  .I2(S1),  .O(XLXN\_1));  AND3 AND3\_2 (.I0(NS3),  .I1(S2),  .I2(NS1),  .O(XLXN\_2));  AND3 AND3\_3 (.I0(S3),  .I1(NS2),  .I2(NS1),  .O(XLXN\_3));  AND3 AND3\_4 (.I0(S3),  .I1(S2),  .I2(S1),  .O(XLXN\_4));  INV INV\_1 (.I(S1),  .O(NS1));  INV INV\_2 (.I(S2),  .O(NS2));  INV INV\_3 (.I(S3),  .O(NS3));  OR4 OR4\_1 (.I0(XLXN\_4),  .I1(XLXN\_3),  .I2(XLXN\_2),  .I3(XLXN\_1),  .O(F));  endmodule |
| //LampCtrl\_T\_sim.v  module Lampctrl\_T\_sim;  // Inputs  reg clk;  reg S1;  reg S2;  reg S3;  // Outputs  wire F;  // Instantiate the Unit Under Test (UUT)  LampCtrl uut (  .clk(clk),  .S1(S1),  .S2(S2),  .S3(S3),  .F(F)  );  initial begin  // Initialize Inputs  clk = 0;  S1 = 0;  S2 = 0;  S3 = 0;  // Wait 100 ns for global reset to finish  #100;    // Add stimulus here  S1=1; #50;  S2=1;S1=0; #50;  S1=1; #50;  S3=1;S2=0;S1=0; #50;  S1=1; #50;  S2=1;S1=0; #50;  S1=1; #50;  S1=0;S2=0;S3=0; #50;    end    endmodule |
| //K7.ucf  NET"S1"LOC=AA10 | IOSTANDARD=LVCMOS15;#电压说明  NET"S2"LOC=AB10 | IOSTANDARD=LVCMOS15;  NET"S3"LOC=AA13 | IOSTANDARD=LVCMOS15;  NET"F"LOC=AF24 | IOSTANDARD=LVCMOS33;#D8  #NET"Buzzer"LOC=AF25 | IOSTANDARD=LVCMOS33 ;  #NET"LED[0]"LOC=W23 | IOSTANDARD=LVCMOS33 ;#D1  #NET"LED[1]"LOC=AB26 | IOSTANDARD=LVCMOS33 ;#D2  #NET"LED[2]"LOC=Y25 | IOSTANDARD=LVCMOS33 ;#D3  #NET"LED[3]"LOC=AA23 | IOSTANDARD=LVCMOS33 ;#D4  #NET"LED[4]"LOC=Y23 | IOSTANDARD=LVCMOS33 ;#D5  #NET"LED[5]"LOC=Y22 | IOSTANDARD=LVCMOS33 ;#D6  #NET"LED[6]"LOC=AE21 | IOSTANDARD=LVCMOS33 ;#D7 |

1. **结果**

最后在实验台上成功观察到了灯的亮与灭，延时也无问题。

****

1. **讨论、心得**

本次实验主要是熟悉ISE软件的相关使用，了解如何利用这个软件设计硬件电路，最后在实验台上操作并观察结果。虽然最终完成了所有步骤，但是其实还需要继续熟悉这个软件，而且要对每一步骤在干什么有更加深入的了解，而不是只会照着ppt做。以后还需勤来实验室。