

浙江大学

本科实验报告

课程名称: 数字逻辑设计

姓 名: 颜晗

学 院: 计算机科学与技术学院

系:

专 业: 计算机科学与技术

学 号: 3200105515

指导教师: 蔡铭

2021 年 12 月 20 日

浙江大学实验报告

课程名称： 数字逻辑设计 实验类型： 综合

实验项目名称： 多路选择器设计及应用

学生姓名： 颜晗 专业： 计算机科学与技术 学号： 3200105515

同组学生姓名： _____ 指导老师： 蔡铭

实验地点： 东四 509 实验日期： 2021 年 12 月 12 日

一、实验目的和要求

- 1.掌握锁存器与触发器构成的条件和工作原理
- 2.掌握锁存器与触发器的区别
- 3.掌握基本 SR 锁存器、门控 SR 锁存器、D 锁存器、SR 锁存器、D 触发器的基本功能
- 4.掌握基本 SR 锁存器、门控 SR 锁存器、D 锁存器、SR 锁存器存在的时序问题

二、实验内容和原理

实验内容：

任务一：实现基本 SR 锁存器，验证功能和存在的时序问题

任务二：实现门控 SR 锁存器，并验证功能和存在的时序问题

任务三：实现 D 锁存器，并验证功能和存在的时序问题

任务四：实现 SR 主从触发器，并验证功能和存在的时序问题

任务五：实现 D 触发器，并验证功能

实验原理：

1. 锁存器

构成锁存器的充分条件：能长期保持给定的某个稳定状态；有两个稳定的状态：0、1；在一定条件下能随时改变逻辑状态，置 0 或置 1。

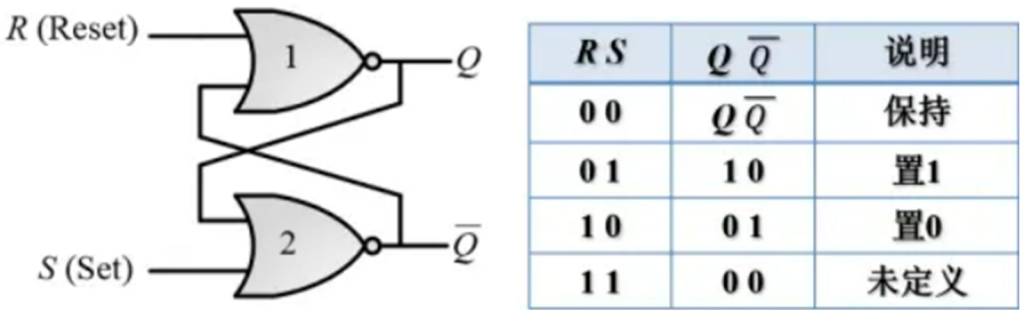
锁存器有两个稳定状态，又称双稳态电路；

最基本的锁存器：SR 锁存器、D 锁存器

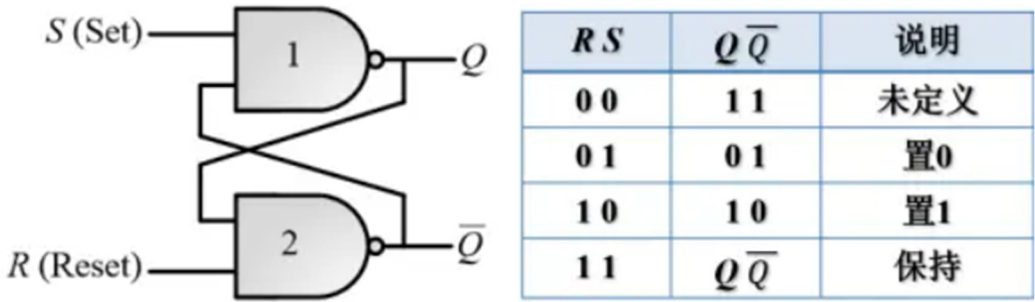
1.1 基本 SR 锁存器

将两个具有 2 输入端的反向逻辑器件的输出与输入端交叉连起来，另一个输入端作为外部信息输出端，就构成最简单的 SR 锁存器。

使用或非门实现的 SR 锁存器，原理图与真值表如下：



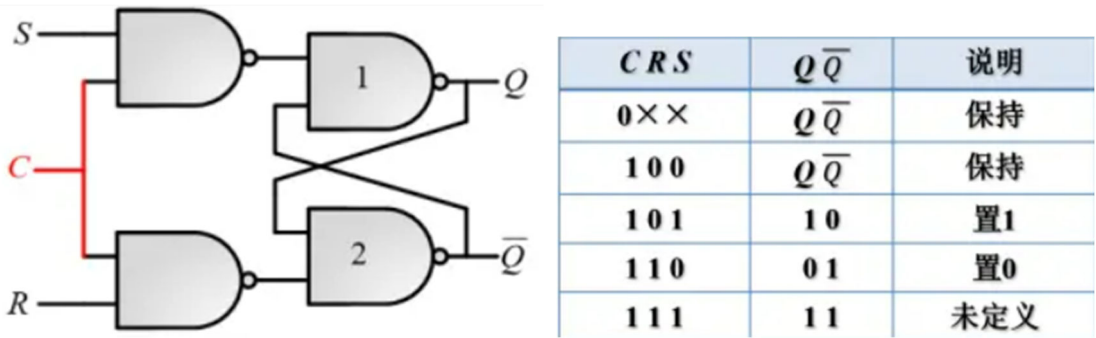
使用与非门实现的 SR 锁存器，原理图与真值表如下：



需要注意的是：两种设计的逻辑是完全相反的。

1.2 门控 SR 锁存器

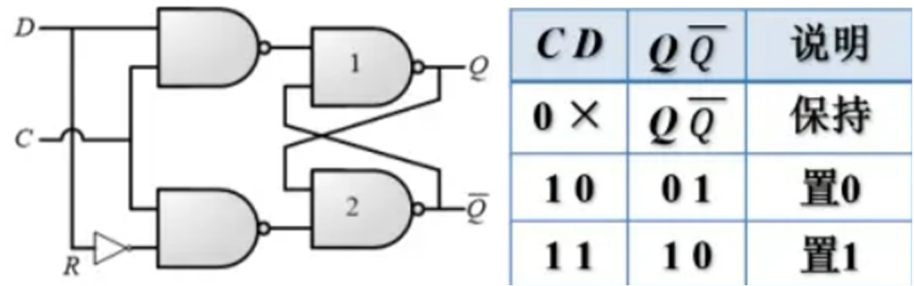
相比基本 SR 锁存器，增加了时钟控制，仅当 C 输入为 1 时，输入信号 S、R 才能改变输出。原理图和真值表如下：



注意到，无论是门控还是基本锁存器，都存在一个未定义逻辑，实质是输出 11 的状态是不稳定的，无法保持，且之后的状态由于电路的时延不同可能会有不同状态，即无法判断，这就造成了一定的危险性。因此输入时应尽量避免 11 的输入。

1.3 D 锁存器

不同于 SR 锁存器，D 锁存器消除了不确定状态；利用一个输入和反相器消除了非法的输入，也就消除了不确定状态。Q 的输出与输入 D 相同，原理图和真值表如下：



2. 触发器

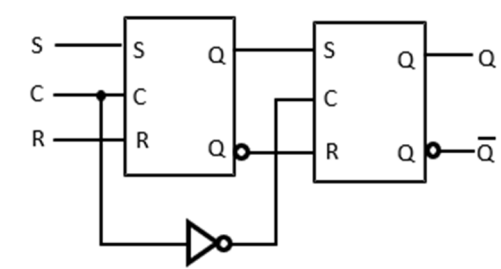
直接在电路中使用 D 锁存器会存在空翻现象（当使能控制，即 C 有效时间较长时，元件内部的状态可能有多次改变而不是保持原始状态），而理想情况下，我们希望每次触发（一个时钟周期）都仅使锁存器的内部状态改变一次。

触发器：在锁存器的基础上使每次触发仅使状态改变一次的锁存电路（双稳态）

触发器分为主从触发器（用两个锁存器，主锁存器在脉冲控制下接收输入数据，从锁存器在脉冲结束后改变并保持状态）和边沿触发器（利用时钟上升沿或下降沿变换状态，其他时间保持状态）

2.1 SR 主从触发器

SR 主从触发器由两个门控 S-R 锁存器串联构成，第二个锁存器的时钟通过反相器取反；当 C=1 时，输入信号进入第一个锁存器（主锁存器）；当 C=0 时，第二个锁存器（从锁存器）改变输出。

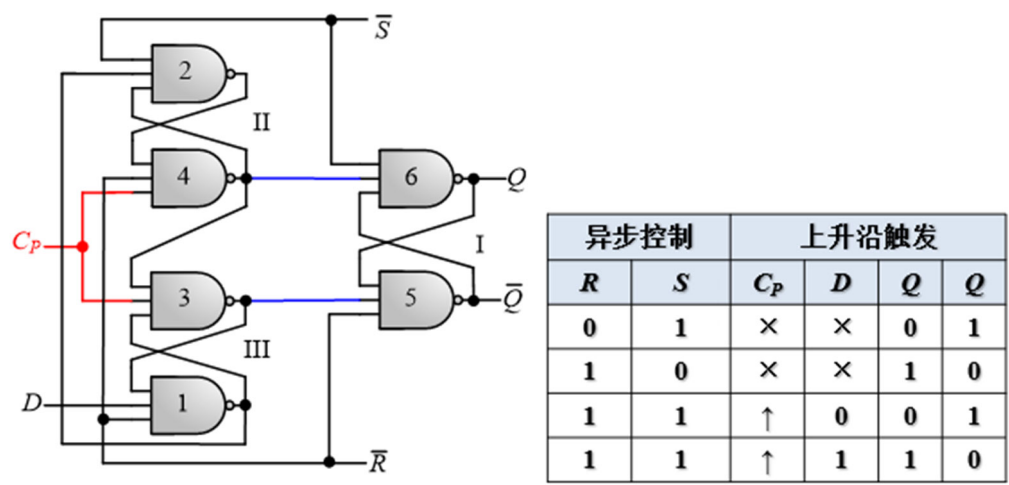


使用的门控 SR 左下的圆并不表示反相器，而表示两个输出逻辑相反。

2.2 正边沿维持阻塞型 D 触发器

共四项输入，随时钟上升沿触发。RS 输入 11 时，Q 随 D 触发改变，其余情

况 Q 为确定值，原理图和真值表如下：

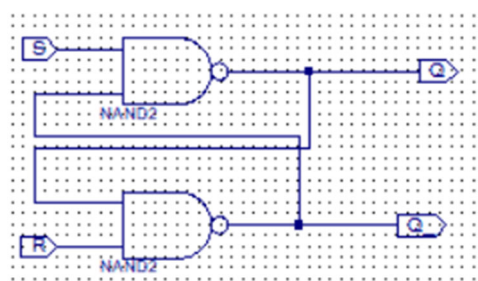


三、实验过程和数据记录

1.基本 SR 锁存器

1.1 新建工程和源文件，由于此次设计所用到的元件并不多，可以使用原理图方式进行设计。

1.2 对照实验原理部分进行设计

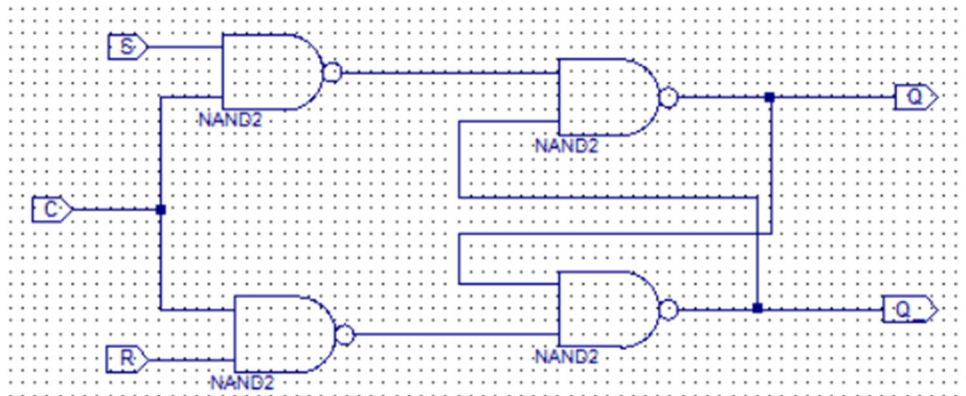


1.3 进行波形仿真，代码如下：

```
initial begin
  S = 0;
  R = 0;
  R=1;S=1; #50;
  R=1;S=0; #50;
  R=1;S=1; #50;
  R=0;S=1; #50;
  R=1;S=1; #50;
  R=0;S=0; #50;
  R=1;S=1; #50;
  R=0;S=0; #50;////
  R=1;S=1; #50;
  R=1;S=0; #50;
  R=1;S=1; #50;
  R=0;S=1; #50;
  R=1;S=1; #50;
end
```

2. 门控 SR 锁存器

2.1 新建源文件，采用原理图设计



2.2 生成逻辑符号和.vf 文件：点击 Process 窗口下 Design Utilities -> Create schematic symbol，在工程文件夹里可以找到相应的.sym 文件。

2.3 进行波形仿真，激励代码如下：

```
initial begin
    C = 0;
    R = 0;
    S = 0;

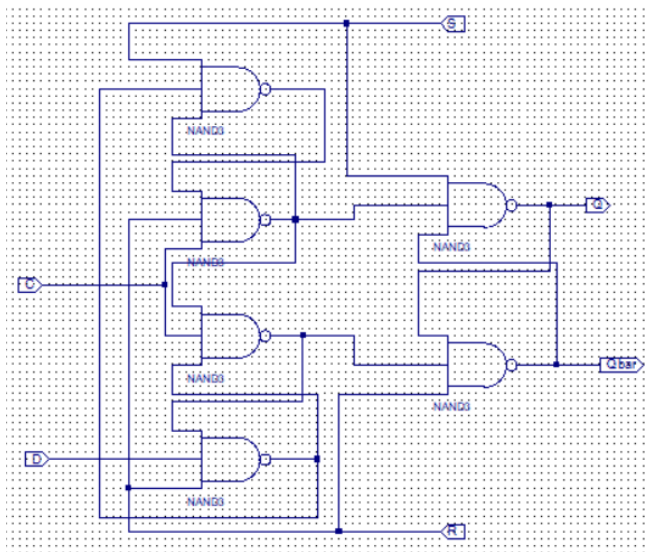
    C=1;R=1;S=1; #50;
    R=1;S=0; #50;
    R=0;S=0; #50;
    R=0;S=1; #50;
    R=1;S=1; #50;
    R=0;S=0; #50;
    R=1;S=1; #50;
    C=0;R=1;S=1; #50;
    R=1;S=0; #50;
    R=1;S=1; #50;
    R=0;S=1; #50;
    R=1;S=1; #50;
    R=0;S=0; #50;
    R=1;S=1; #50;
end
```

3. D 锁存器

3.1 新建源文件并用原理图进行设计

5. 正边沿维持阻塞型 D 触发器

5.1 新建源文件并用原理图设计

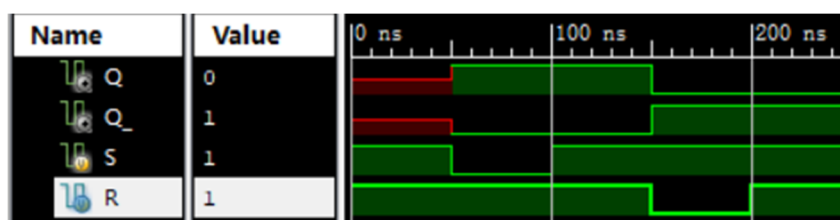


5.2 进行波形仿真，激励代码如下：

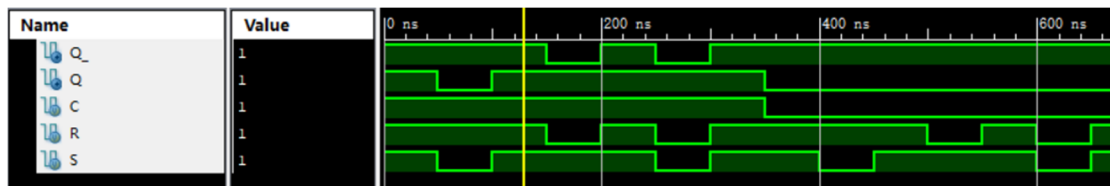
```
initial begin
    S = 1;
    R = 1;
    D = 0; #30;
    D = 1; #30;
    S = 1;
    R = 0;
    D = 0; #30;
    D = 1; #30;
    S = 0;
    R = 1;
    D = 0; #30;
    D = 1; #30;
    S = 0;
    R = 0;
    D = 0; #30;
    D = 1; #30;
end
always begin
    C=0; #10;
    C=1; #10;
end
```

四、实验结果分析

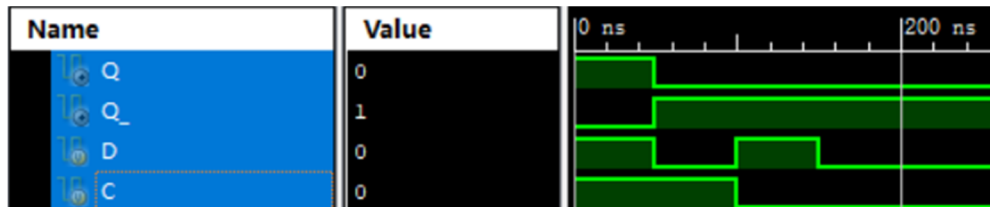
1. 基本 SR 锁存器



2. 门控 SR 锁存器



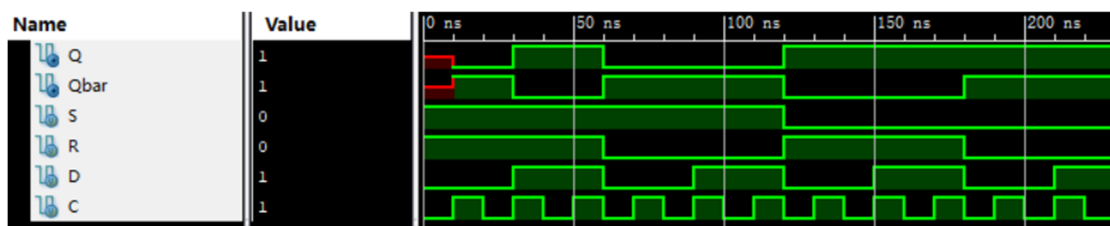
3. D 锁存器



4. SR 主从触发器



5. 正边沿维持阻塞型 D 触发器



通过仿真代码对多种输入进行仿真，对照真值表可以发现结果均符合预期。

五、实验总结与反思

本次实验较为简单，通过原理图可以轻松将锁存器和触发器设计出来，要注意设计 SR 主从触发器使用门控 SR 锁存器时各条线的对应位置，可能和实验原理中的有所错位；本次实验主要是理解锁存器和触发器这两种电子元件的原理，通过真值表理解并记住它们的输入输出逻辑，什么输入对应什么输出，什么时候可以变，什么时候不可以变要弄明白。