



Università degli Studi di Bergamo

SCUOLA DI INGEGNERIA

Corso di Laurea Magistrale in Ingegneria Informatica

Laboratorio di Elettronica

Relazione esperienza di laboratorio 5

Prof.
Luigi Gaioni

Candidati
Giulia Allievi
Matricola 1058231

Martina Fanton
Matricola 1059640

Relazione attività di laboratorio 5

Introduzione

In quest'attività di laboratorio abbiamo visto un ultimo circuito monostabile con LM555, successivamente sono state analizzate le altre due configurazioni realizzabili con questo circuito integrato (prima la configurazione bistabile e dopo quella astabile).

La seconda modalità, quella astabile, permette di generare in uscita al pin 3 un'onda quadra le cui caratteristiche dipendono dalla rete collegata all'esterno del circuito integrato. Le connessioni sono illustrate nel datasheet del componente, si riporta di seguito lo schema (figura 5.1).

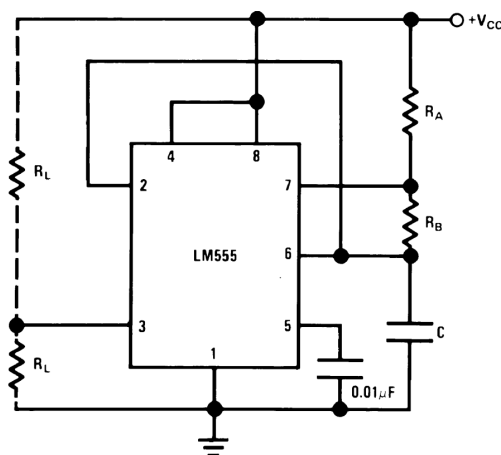


Figura 5.1: Schema delle connessioni da utilizzare per ottenere un circuito astabile (fonte: [datasheet](#)).

La configurazione bistabile invece non è presentata nel datasheet. Questa modalità è utile quando si vuole utilizzare il LM555 come flip-flop set reset. Per ottenerla, è sufficiente utilizzare due resistenze e due pulsanti. Una resistenza è collegata tra i pin 8 e 2, l'altra invece è collegata tra i pin 4 e 8; per quanto riguarda i due pulsanti, uno è collegato tra i pin 2 e 1 e pilota il set, mentre l'altro è connesso ai pin 4 e 1 e comanda il reset. Il pin 8 è collegato all'alimentazione, il pin 1 a massa, il segnale è prelevato al pin 3 e tutti gli altri pin sono lasciati floating. Lo schema si trova nella sezione dedicata all'analisi di questo circuito (sezione 5.2, figura 5.7).

5.1 Circuito 1: LM555 in configurazione monostabile con switch debouncing

5.1.1 Schema del circuito e Funzione di Trasferimento

Questo circuito è basato sull'ultimo circuito analizzato nello scorso laboratorio (ovvero il circuito monostabile con LM555). La differenza più evidente tra i due circuiti è rappresentata dal fatto che il circuito in esame riceve in ingresso un segnale di trigger generato da un pulsante, mentre il precedente circuito riceveva in ingresso un segnale di trigger fornito da un generatore di forme d'onda.

Questo circuito, mostrato in figura 5.2, presenta: due resistenze (R è collegata tra il pin 7 e l'alimentazione positiva, mentre R_1 tra il pin 2 e l'alimentazione positiva), due capacità (C_1 è collegata tra il pin 6 e la massa, mentre C_2 tra il pin 5 e la massa) e un pulsante collegato tra il pin 2 e la massa.

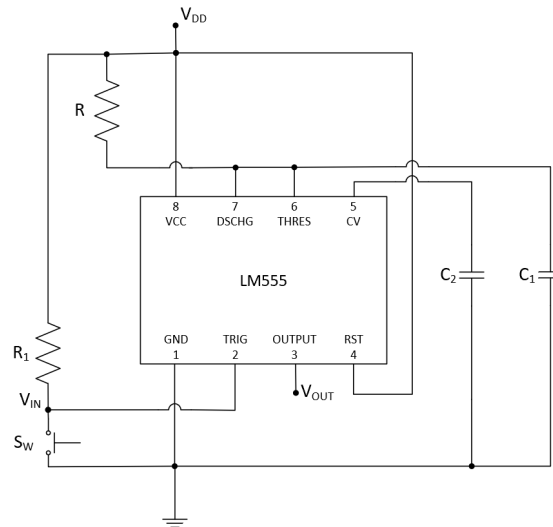


Figura 5.2: Schema del circuito monostabile con switch debouncing.

La caratteristica principale di questo circuito consiste nel correggere l'effetto del rimbalzo dell'interruttore (*switch debouncing*, visibile nella figura 5.6). Questo effetto, che consiste nella generazione di un treno di impulsi spuri su entrambi i fronti dell'impulso in ingresso, viene prodotto soltanto dalla rete antecedente il timer e in particolare è dovuto al fatto che la chiusura e l'apertura del pulsante non avvengono in modo istantaneo. Quindi l'aggiunta del LM555 alla rete in ingresso determina un segnale in uscita filtrato da questo effetto indesiderato poiché il timer genera un solo impulso in uscita non appena riceve il primo fronte di discesa del segnale in ingresso.

La funzione di trasferimento di questo circuito è:

$$\begin{cases} V_{out} = V_{DD} & \text{a partire dalla chiusura di } S_W \text{ e per una durata } T \\ V_{out} = 0 & \text{altrimenti} \end{cases} \quad (5.1)$$

5.1.2 Analisi e dati sperimentali

Per quanto riguarda la scelta e il dimensionamento dei componenti di questo circuito (in figura 5.3), come timer è stato scelto un LM555, mentre le due resistenze hanno un valore di $12\text{ k}\Omega$, la capacità C_1 di 150 nF e la capacità C_2 di 1 nF .

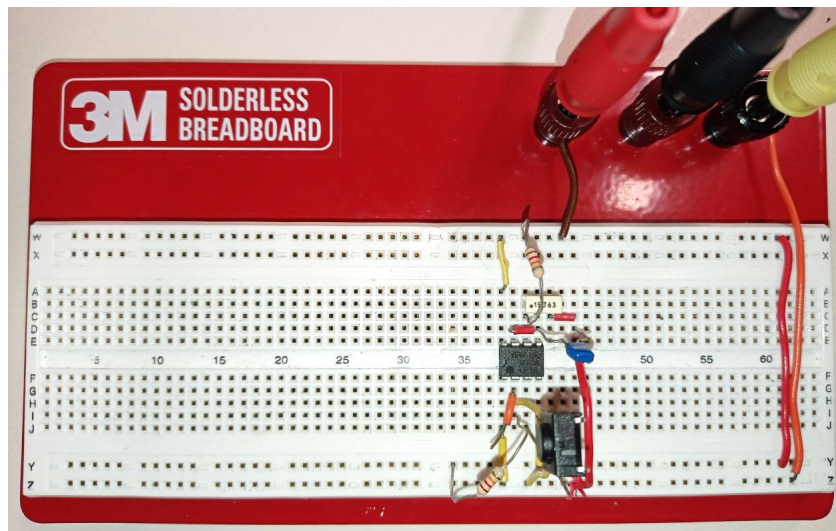


Figura 5.3: Fotografia del circuito monostabile con switch debouncing realizzato in laboratorio.

Avendo dimensionato in questo modo i componenti, ci si aspetta che la durata dell'impulso in uscita al circuito risulti pari a: $T = 1.1 \cdot R \cdot C_1 = 1.1 \cdot 12\text{ k}\Omega \cdot 150\text{ nF} = 1.98\text{ ms}$

Dalla figura 5.4 è stato verificato che questa durata assumesse un valore maggiore rispetto alla durata dell'impulso in ingresso (che dalla misura effettuata con i cursori dell'oscilloscopio risulta pari a 120 ms).

SBAGLIATO.
formula sbagliata? perchè deve risultare $\approx 120\text{ ms}$

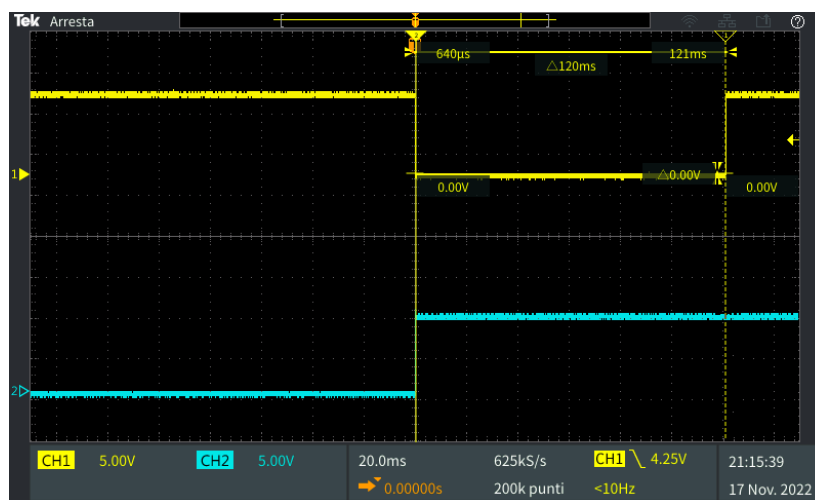


Figura 5.4: Risposta del circuito con cursori.

Il segnale ottenuto in uscita è stato riportato nelle figure 5.5.



Figura 5.5: Risposta del circuito (ingresso CH1 e uscita CH2).

Inoltre dalla figura 5.6 si vede che il segnale in uscita al LM555 presenta un solo impulso positivo e di conseguenza il timer ha effettivamente corretto il rimbalzo dell'interruttore, di cui è caratterizzato il segnale in ingresso, come preannunciato nella sezione precedente.

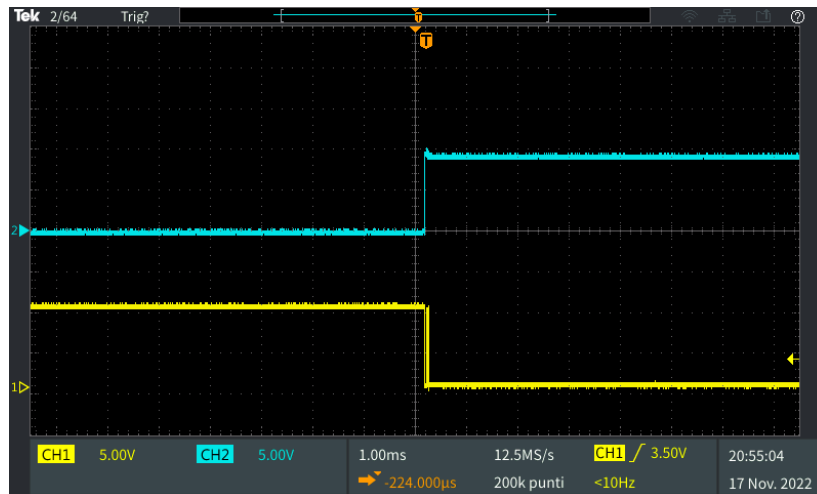


Figura 5.6: Ingrandimento della risposta del circuito (ingresso CH1 e uscita CH2).

5.2 Circuito 2: LM555 in configurazione bistabile

5.2.1 Schema del circuito e Funzione di Trasferimento

Questo circuito (in figura 5.7) è costituito da un timer 555, da due resistenze (dette resistenze di pull-up) e da due pulsanti (set e reset).

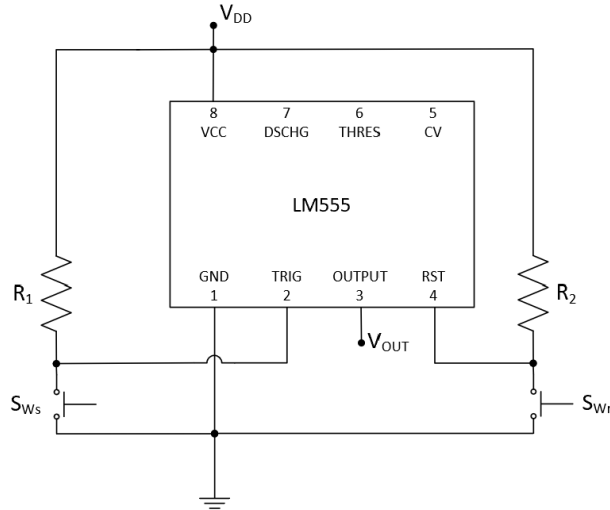


Figura 5.7: Schema del circuito bistabile.

Si tratta di un circuito bistabile perché presenta due stati stabili, set e reset, che vengono attivati in modo mutuamente esclusivo tramite la pressione di due pulsanti situati tra i rispettivi nodi e la massa. Dunque in ingresso si riceve un segnale che può essere di due tipologie differenti in base all'interruttore attivato: uno per il set oppure uno per il reset che determinano in uscita una transizione al livello logico alto o a quello basso rispettivamente. Perciò la durata dell'impulso positivo presente sul segnale in uscita dipende dal momento in cui il 555 riceve un comando di set e da quello in cui ne riceve uno di reset.

La funzione di trasferimento di questo circuito è:

$$\begin{cases} V_{out} = V_{DD} & \text{a partire dalla pressione di } S_{Ws} \text{ fino alla pressione di } S_{Wr} \\ V_{out} = 0 & \text{altrimenti} \end{cases} \quad (5.2)$$

5.2.2 Analisi e dati sperimentali

Per realizzare la breadboard (visibile in figura 5.8) sono state utilizzate delle resistenze con un valore di $10\text{ k}\Omega$ ciascuna.

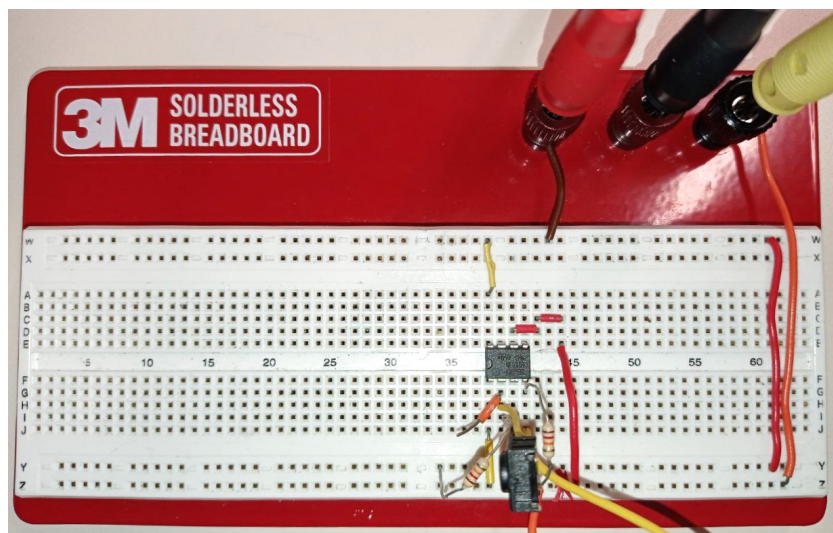


Figura 5.8: Fotografia del circuito bistabile realizzato in laboratorio.

Inizialmente è stato premuto il pulsante di set (mantenendo il pulsante di reset aperto) e questo ha consentito di avere in uscita un segnale al livello logico alto. Successivamente l'attivazione dei due interruttori è stata invertita (disattivando il pulsante di set e attivando quello di reset) ottenendo di conseguenza un segnale in uscita al livello logico basso. Queste variazioni sull'uscita sono state riportate nelle figure 5.9.



Figura 5.9: Risposta del circuito: a sinistra S ON - R OFF, a destra S OFF - R ON.

5.3 Circuito 3: LM555 in configurazione astabile

5.3.1 Schema del circuito e Funzione di Trasferimento

Andiamo ora a studiare l'ultima configurazione del NE555, che è la modalità astabile. Per realizzare il circuito, si utilizzano due capacità e due resistenze: la prima resistenza, R_A , è collegata fra l'alimentazione e il pin 7 del NE555, mentre la seconda, R_B , si trova fra i pin 7 e 2; per quanto riguarda le capacità, C_1 si trova tra il pin 6 e la massa, invece C_2 è connessa tra il pin 5 e la massa. Lo schema si trova in figura 5.10.

In quest'ultima configurazione, il NE555 viene utilizzato per generare un'onda quadra con duty cycle variabile, le cui caratteristiche dipendono dalla rete collegata esternamente al componente. Non abbiamo nessuno stato stabile, l'uscita oscillerà continuamente tra due stati instabili.

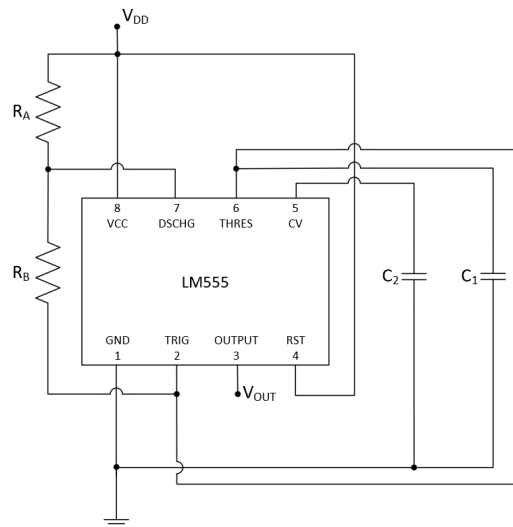


Figura 5.10: Schema dell'evoluzione del circuito bistabile.

Il percorso di carica della capacità C_1 avviene attraverso la serie delle resistenze R_A e R_B , ha inizio quando la tensione ai capi della capacità è di $1/3 \cdot V_{DD}$ e termina quando questo valore raggiunge $2/3 \cdot V_{DD}$. Durante quest'intervallo, l'uscita va a V_{DD} , quindi rimane alta. Terminata la fase di carica, ha inizio la fase di scarica della capacità C_1 attraverso la resistenza R_B . La scarica continua fin quando la tensione ai capi di C_1 raggiunge il valore di $1/3 \cdot V_{DD}$, quindi il ciclo di carica/scarica si ripete.

5.3.2 Analisi e dati sperimentali

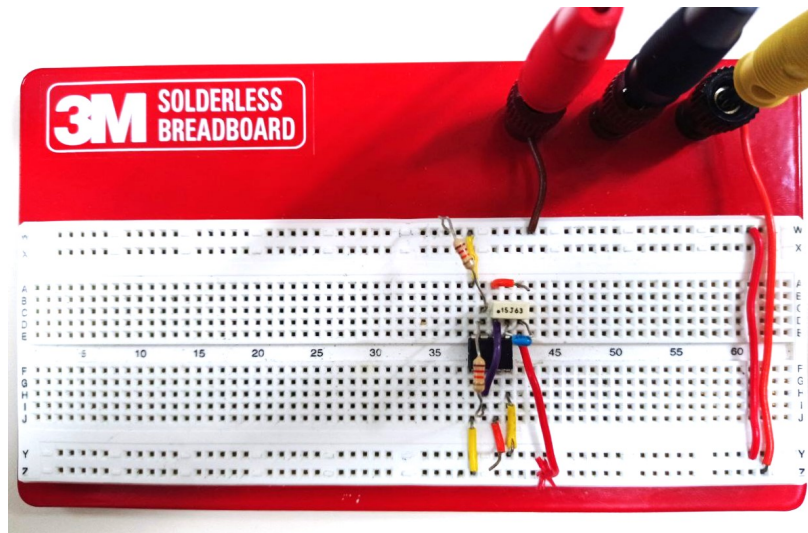


Figura 5.11: Fotografia dell'evoluzione del circuito bistabile realizzata in laboratorio.

5.4 Circuito 4: Evoluzione del LM555 in configurazione astabile

5.4.1 Schema del circuito e Funzione di Trasferimento

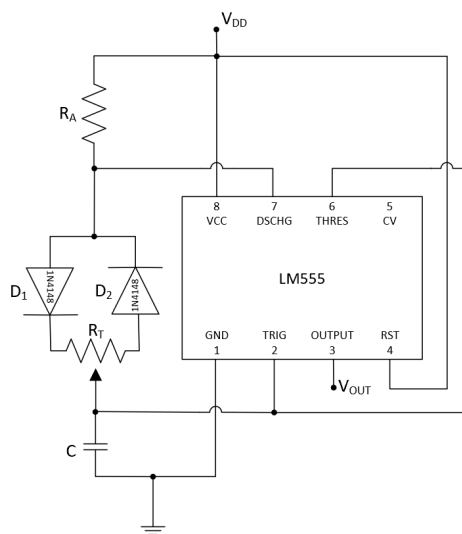


Figura 5.12: Schema del circuito astabile.

5.4.2 Analisi e dati sperimentali

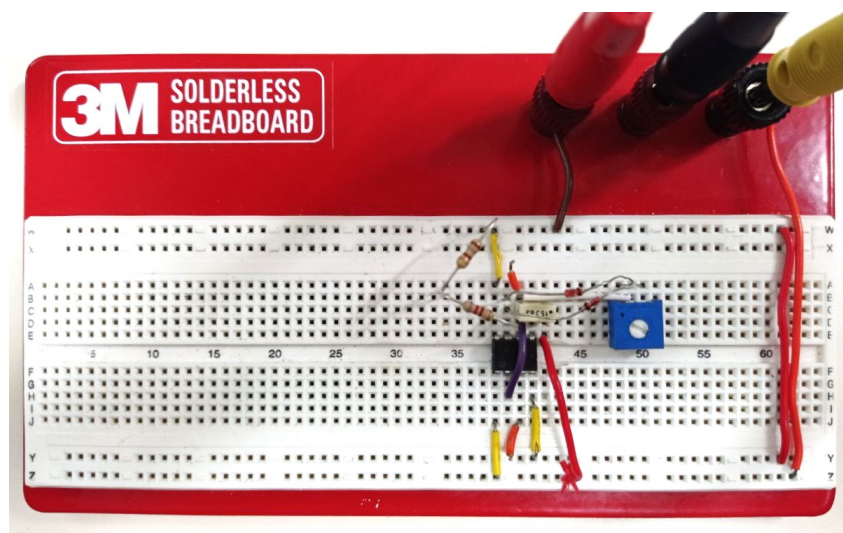


Figura 5.13: Fotografia del circuito astabile realizzato in laboratorio.