

# Circuitos Secuenciales

## Modelo para el diseño de Cir. Secuenciales

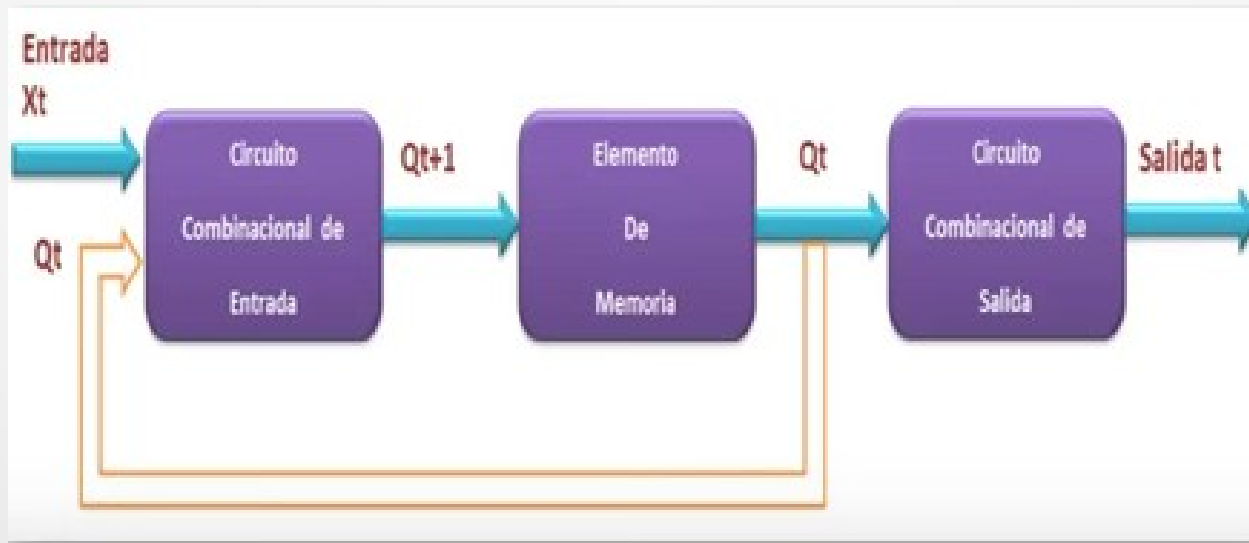
En los sistemas secuenciales sincrónicos el valor de sus salidas depende de los valores lógicos de sus entradas y de la secuencia en que los valores pasados fueron aplicados

Existen dos enfoque de estudio según la característica del sistema secuencial:

- Modelo de Moore
- Modelo de Mealy

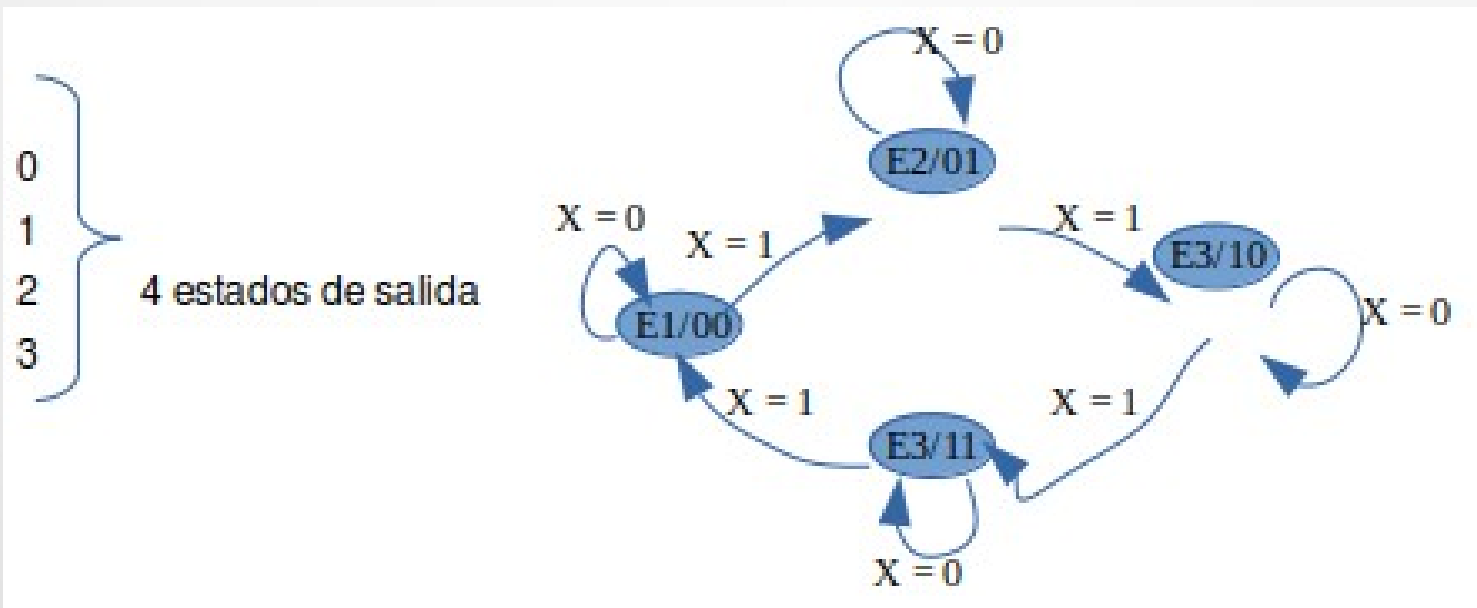
## Modelo de Moore

*Los valores lógicos presentes en las salidas dependen de los cambios en los estados internos del sistema*



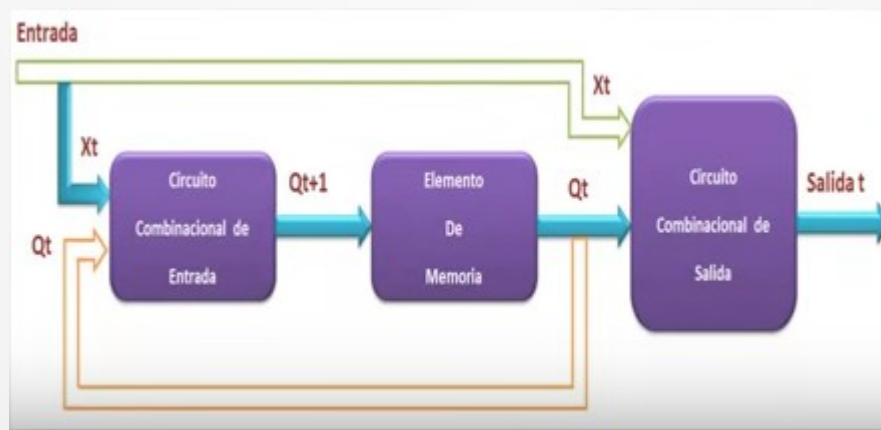
## Modelo de Moore

Por ejemplo, un sistema SSS (sistema secuencial sincrónico) que cuente de 0 a 3 de forma ascendente con posibilidad de parar la cuenta podría describirse con el siguiente diagrama de E/T:



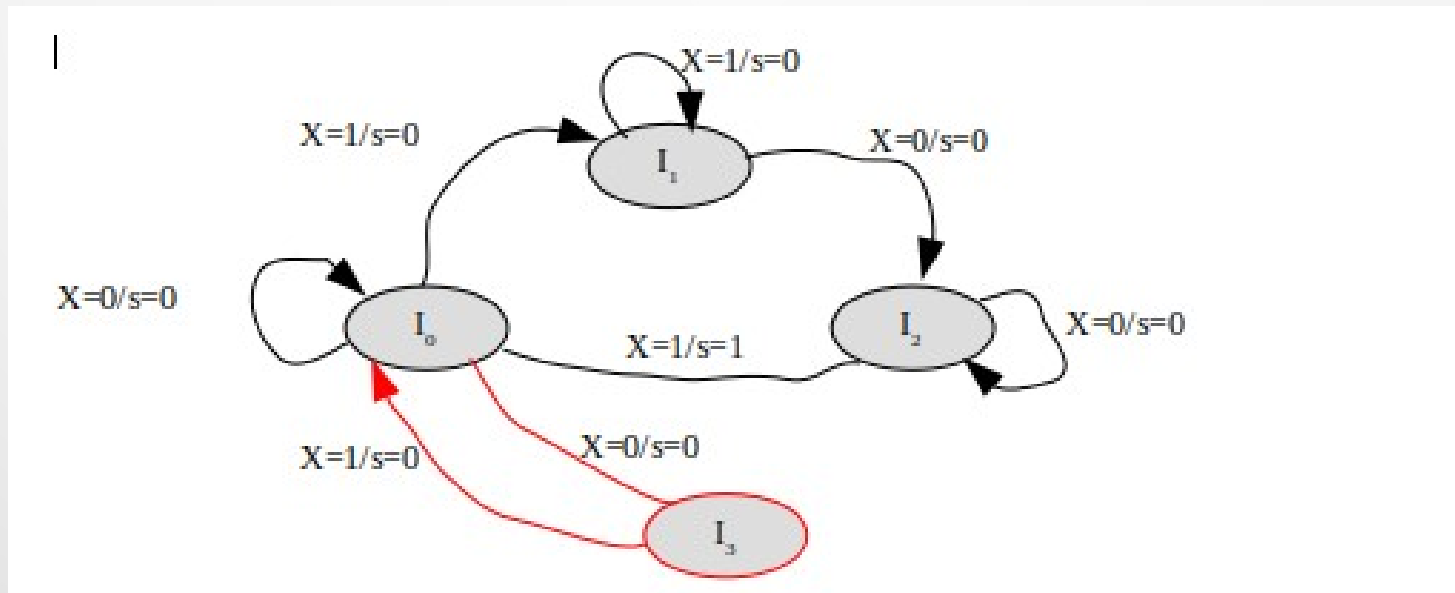
## Modelo de Mealy

*En éste modelo los valores presentes en las salidas dependen de dos factores, a) de los estados internos del sistema, b) de los cambios en las variables externas de entrada*



## Modelo de Mealy

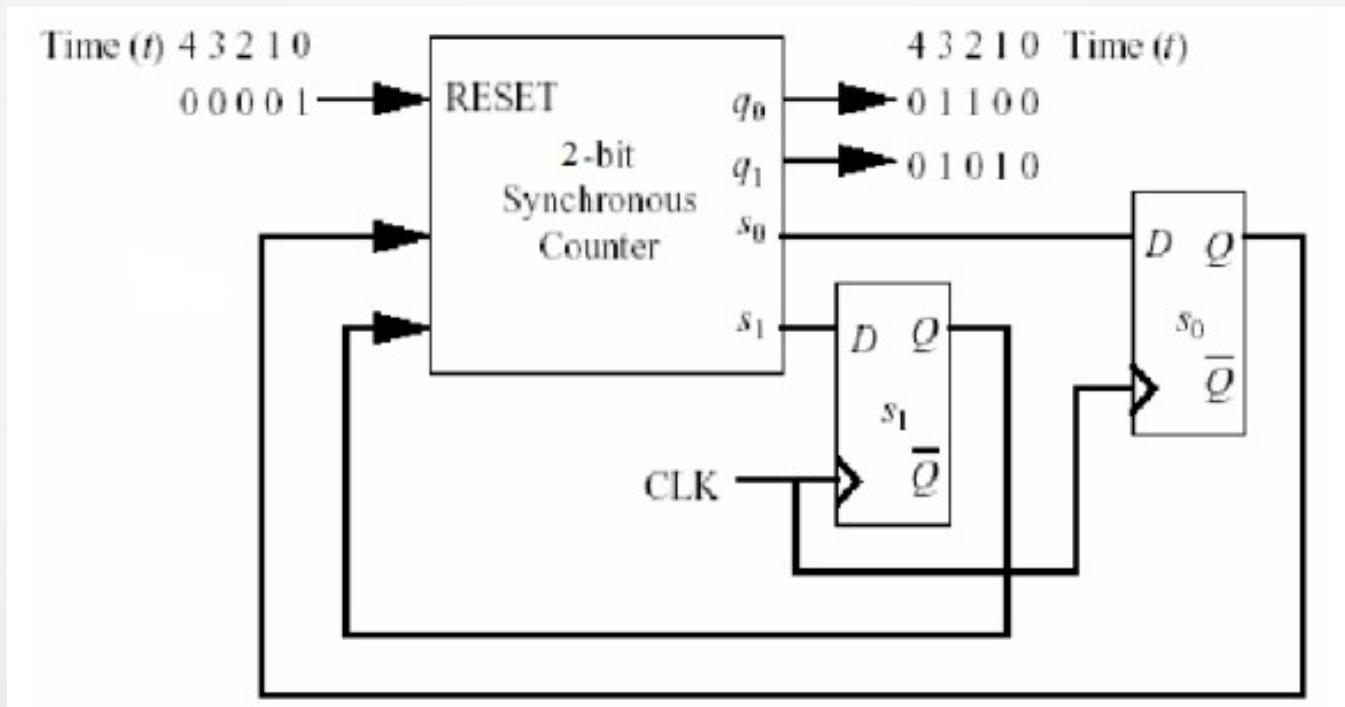
Este modelo de análisis será usado cuando el valor en la variable externa sea relevante para el SSS. Por ejemplo, un SSS que detecte una secuencia de entrada y como respuesta active su salida a “1”



## Etapas de Diseño de SSS

- 1) Diagrama E/T según especificaciones
- 2) Construir la tabla de estados
- 3) Codificar cada estado
- 4) Seleccionar los elementos de memoria (F-F JK, D..)
- 5) Obtener las tablas de excitación
- 6) Simplificación de las funciones de excitación (a partir de mapas de Karnaugh)
- 7) Implementación del circuito

## Análisis de un contador síncrono M4





## Contadores

- Consistes en un circuito secuencial muy importante para el diseño de computadoras
- Funciona como un registro en módulo uno (1)
- Cuando alcanza el valor máximo codificable vuelve a comenzar de 0
- Pueden ser a) Sincrónicos o b) Asincrónicos
- Ejemplo: Contador de Programas

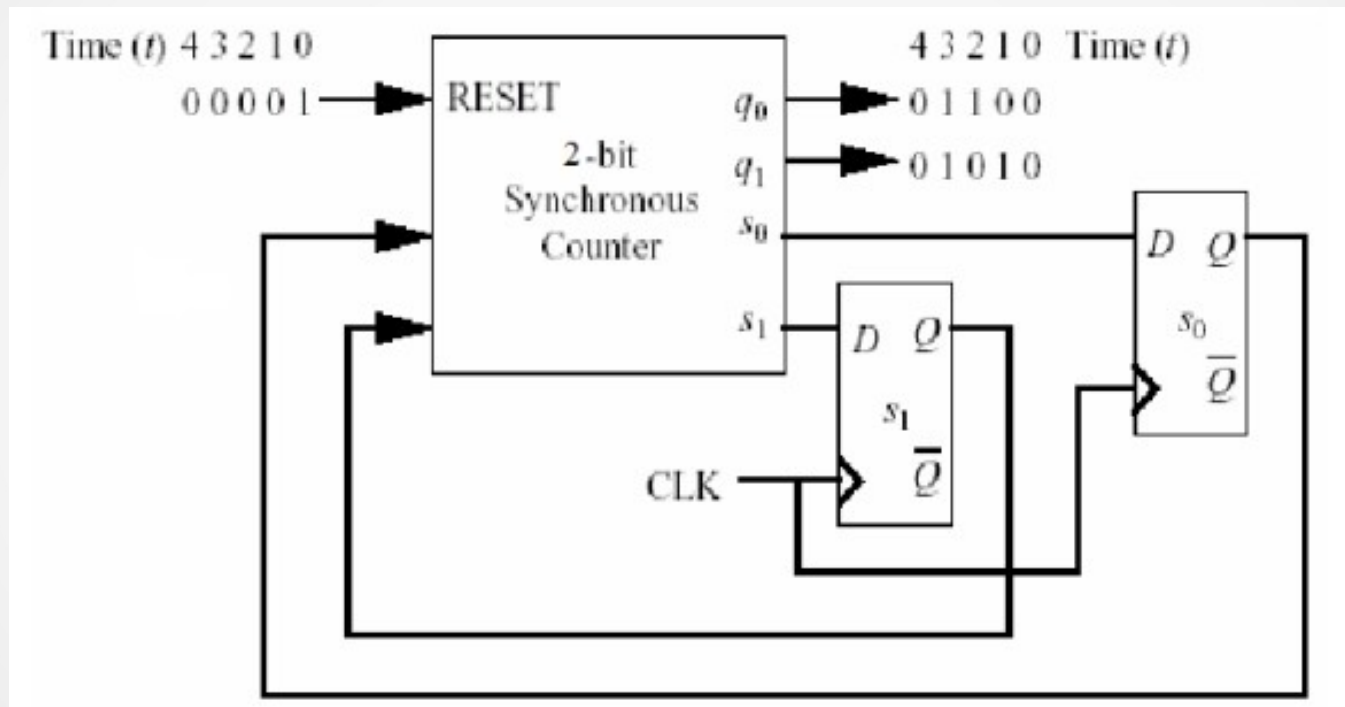
*Capacidad:*

$$m = 2^n - 1$$

*Módulo:*

$$M = 2^n$$

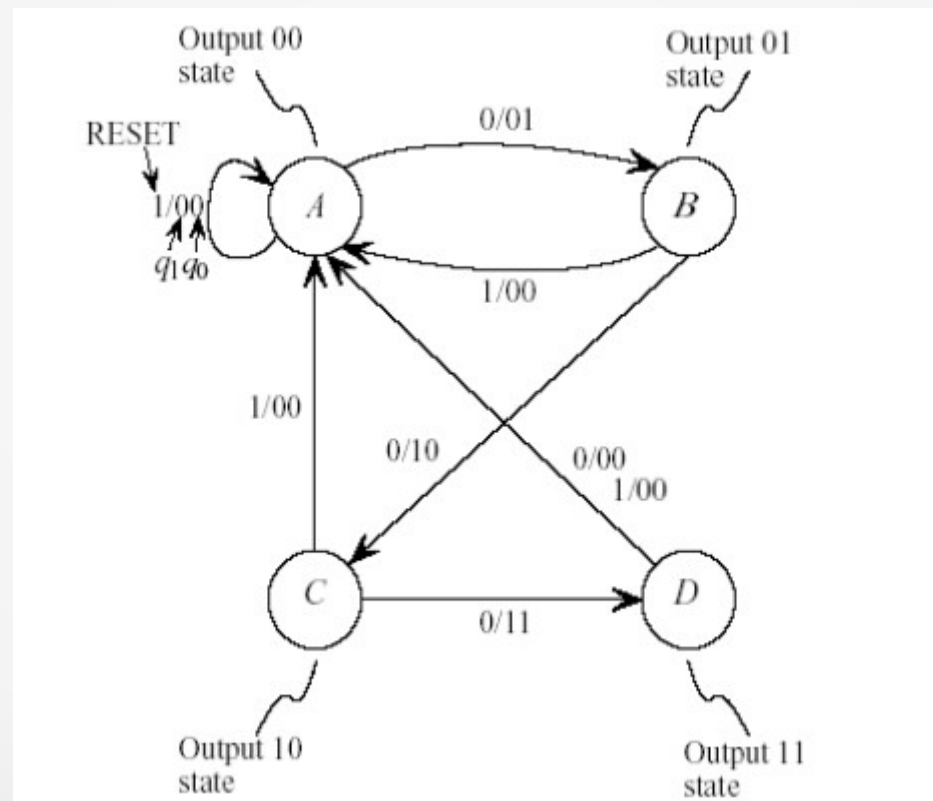
# Caso de estudio



El ejemplo cuenta con una entrada de reloj y dos salidas que van tomando los valores 00, 01, 10 ,11, 00, .... con cada pulso de reloj.

Además se agrega una entrada variable externa que al recibir un “1” pone a cero “0” las salidas del contador

## Etapas de diseño – Paso 1) Diagrama de E/T



## Etapa de Diseño – Paso 2) Construcción de la tabla de E/T

Est. Inic.	Vble ext (RESET)	Est. Fin.	Vble Salida
A	0	B	01
A	1	A	00
B	0	C	10
B	1	A	00
C	0	D	11
C	1	A	00
D	0	A	00
D	1	A	00

## Codificación binaria de estados y Tabla de excitación del F-F elegido

Tabla de estados

Estado	Codificación
A	00
B	01
C	10
D	11

Tabla de diseño F-F D

Estado inicial	Estado Final	Entrada
$Q_t$	$Q_{t+1}$	D
0	0	0
0	1	1
1	0	0
1	1	1

## Etapa de Diseño – Paso 3) y 4) Codificación binaria de estados y Tabla de excitación del F-F elegido

Tabla de estados

Estado	Codificación
A	00
B	01
C	10
D	11

Tabla de diseño F-F D

Estado inicial	Estado Final	Entrada
$Q_t$	$Q_{t+1}$	D
0	0	0
0	1	1
1	0	0
1	1	1

## Etapa de Diseño – Paso 5) Reemplazo en tabla E/T

Est. Inic.	Vble ext (RESET)	Est. Fin.			Vble Salida
$Q1_t \ Q0_t$	X	$Q1_{t+1} \ Q0_{t+1}$	D1	D0	S1 S0
0 0	0	0 1	0	1	0 1
0 0	1	0 0	0	0	0 0
0 1	0	1 0	1	0	1 0
0 1	1	0 0	0	0	0 0
1 0	0	1 1	1	1	1 1
1 0	1	0 0	0	0	0 0
1 1	0	0 0	0	0	0 0
1 1	1	0 0	0	0	0 0

## Etapa de Diseño – Paso 6) Mapas de Karnaugh para D1, D0, S1 y S0

Mapa K  $\rightarrow D_1$

$Q_1 / Q_0$ X	00	01	11	10
0	0	0	0	1
1	1	0	0	0

Mapa K  $\rightarrow S_1$

$Q_1 / Q_0$ X	00	01	11	10
0	0	0	0	1
1	1	0	0	0

Mapa K  $\rightarrow D_0$

$Q_1 / Q_0$ X	00	01	11	10
0	1	0	0	0
1	1	0	0	0

Mapa K  $\rightarrow S_0$

$Q_1 / Q_0$ X	00	01	11	10
0	1	0	0	0
1	1	0	0	0



## **Etapas de Diseño – Paso 6)** **Mapas de Karnaugh para D1, D0, S1 y S0**

Ecuaciones de simplificación obtenidas de los mapas:

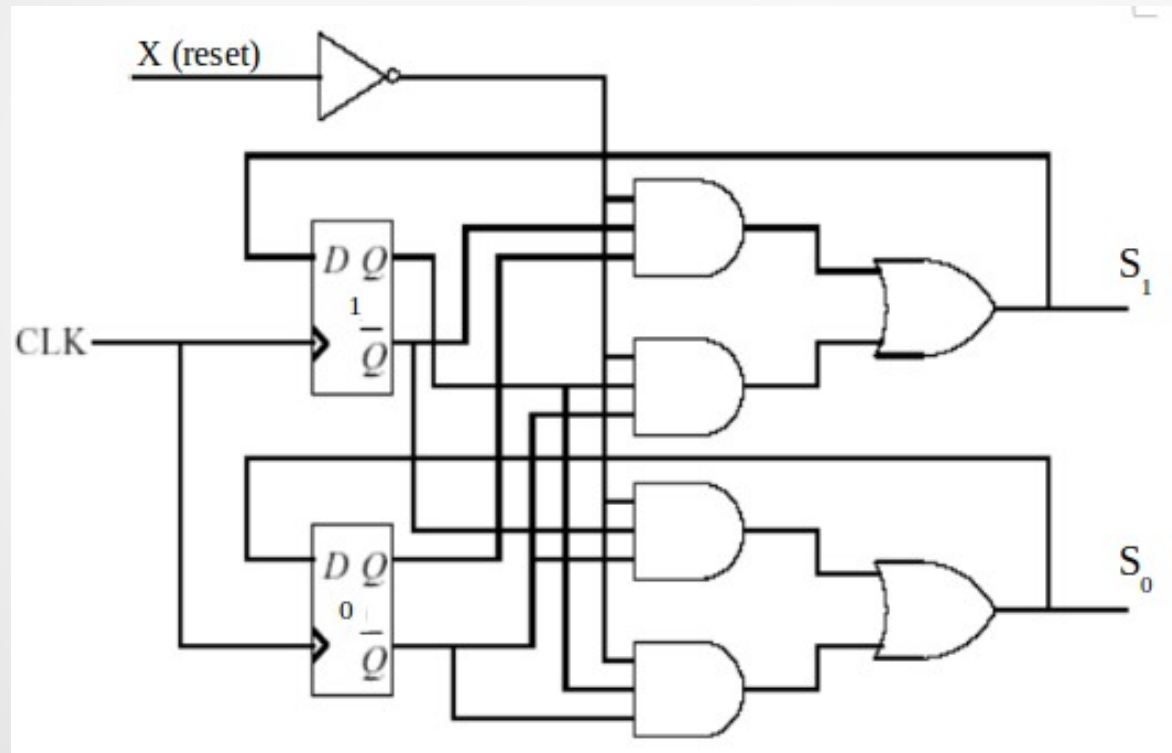
$$D_1 = \overline{Q_1} Q_0 \overline{X} + Q_1 \overline{Q_0} \overline{X}$$

$$D_0 = \overline{Q_1} \overline{Q_0} \overline{X} + Q_1 \overline{Q_0} \overline{X}$$

$$S_1 = \overline{Q_1} Q_0 \overline{X} + Q_1 \overline{Q_0} \overline{X}$$

$$S_0 = \overline{Q_1} \overline{Q_0} \overline{X} + Q_1 \overline{Q_0} \overline{X}$$

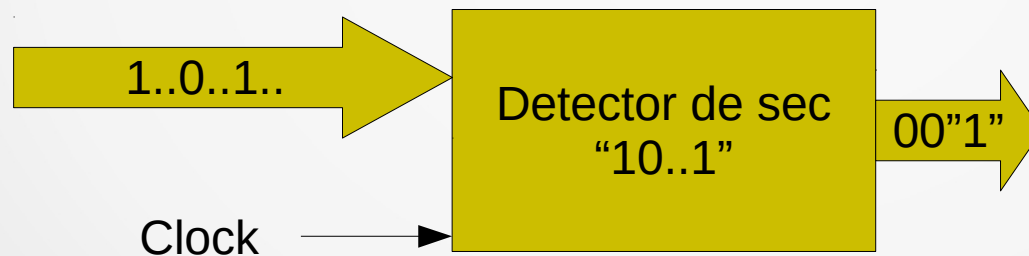
## Etapa de Diseño – Paso 7) Implementación del circuito digital



*Tal como se observa en las funciones simplificadas  $D_1 = S_1$  y  $D_0 = S_0$   
Por lo tanto se realimenta el circuito a la entrada del F-F en ambos casos*

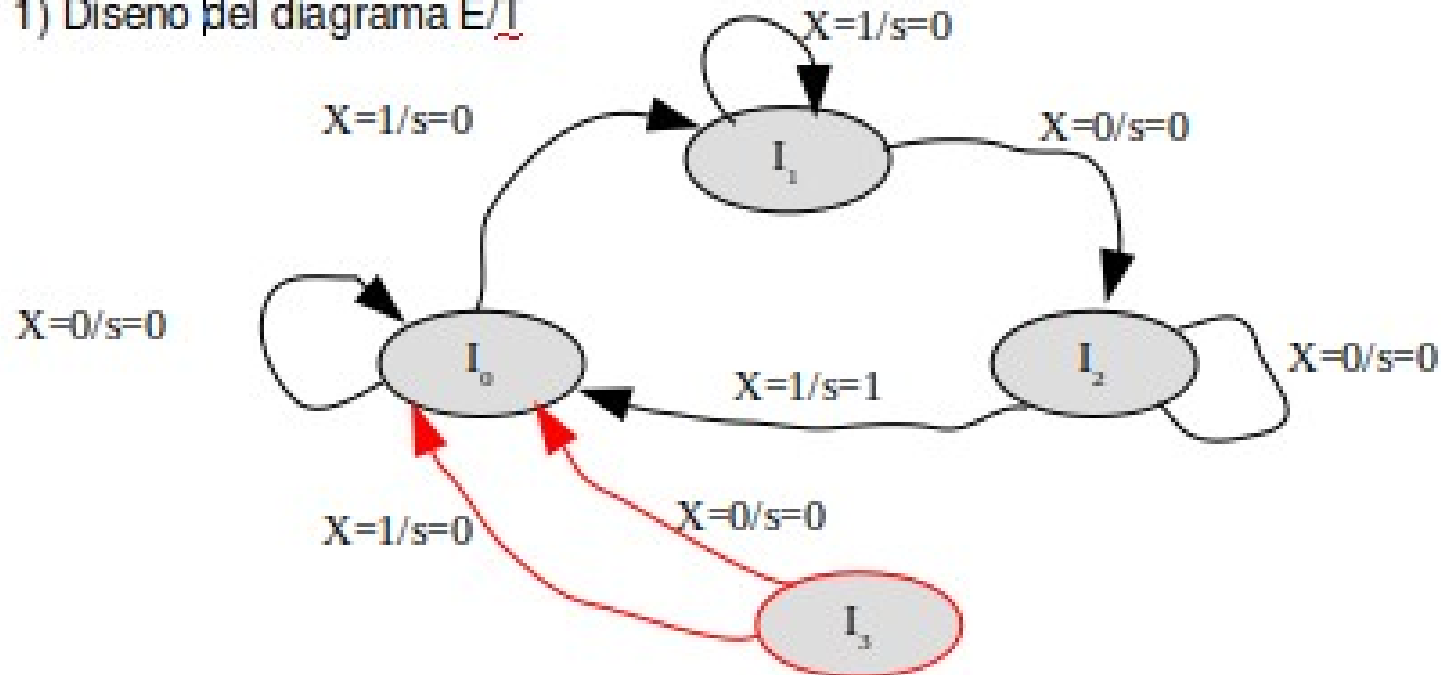
## Análisis de un detector de secuencias

El SSS deberá censar su entrada almacenando los últimos ingresos para determinar si la secuencia ingresada coincide con el patrón "101", la misma puede llegar en forma consecutiva o de manera alternada entre otros bits. Cuando sea detectada la secuencia el sistema responderá con un "1" a su salida. En otro caso tendrá "0"



## Etapas de diseño – Paso 1) Diagrama de E/T

1) Diseño del diagrama E/T



## Etapas de diseño – Paso 2) Tabla de E/T

Estado inicial	Vble externa X	Estado final	Vble de salida S
$l_0$	0	$l_0$	0
$l_0$	1	$l_1$	0
$l_1$	0	$l_2$	0
$l_1$	1	$l_1$	0
$l_2$	0	$l_2$	0
$l_2$	1	$l_0$	1
$l_3$	0	$l_0$	0
$l_3$	1	$l_0$	0

## Etapa de Diseño – Paso 3) y 4) Codificación binaria de estados y Tabla de excitación del F-F elegido

$2^n = 4_{\text{estados}} \rightarrow n = 2$  – De la cantidad de estados inferimos los elementos de memoria que han de ser necesarios

En este caso se usará como elemento de memoria un F-F JK

Estado	Código binario
$l_0$	00
$l_1$	01
$l_2$	10
$l_3$	11

Tabla de estados

Estado inicial	Estado final	Entradas
----------------	--------------	----------

$Q_t$	$Q_{t+1}$	J	K
0	0	0	$\bar{X}$
0	1	1	$\bar{X}$
1	0	$\bar{X}$	1
1	1	$\bar{X}$	0

Tabla de diseño F-F JK

## Etapa de Diseño – Paso 5) Reemplazo en tabla E/T

Estado inicial			Estado final		F-F 1		F-F 0		
$Q_{1T}$	$Q_{0T}$	X	$Q_{1T+1}$	$Q_{0T+1}$	$J_1$	$K_1$	$J_0$	$K_0$	S
0	0	0	0	0	0	X	0	X	0
0	0	1	0	1	0	X	1	X	0
0	1	0	1	0	1	X	X	1	0
0	1	1	0	1	0	X	X	0	0
1	0	0	1	0	X	0	0	X	0
1	0	1	0	0	X	1	0	X	1
1	1	0	0	0	X	1	X	1	0
1	1	1	0	0	X	1	X	1	0

*En la tabla de E/T que generamos inicialmente reemplazamos por la codificación de c/estado además de incorporar las entradas de la tabla de excitación del elemento de memoria usado*

## Etapa de Diseño – Paso 6) Mapas de Karnaugh para $J_1$ , $K_1$ , $J_0$ , $K_0$ , $S$

 $J_1$ 

$Q_1 / Q_0 \underline{X}$	00	01	11	10
0				1
1	<u>X</u>	<u>X</u>	<u>X</u>	<u>X</u>

 $K_1$ 

$Q_1 / Q_0 \underline{X}$	00	01	11	10
0	<u>X</u>	<u>X</u>	<u>X</u>	<u>X</u>
1		1	1	1

 $J_0$ 

$Q_1 / Q_0 \underline{X}$	00	01	11	10
0		1	<u>X</u>	<u>X</u>
1			<u>X</u>	<u>X</u>

 $K_0$ 

$Q_1 / Q_0 \underline{X}$	00	01	11	10
0	<u>X</u>	<u>X</u>		1
1	<u>X</u>	<u>X</u>	1	1

Las vbles más  
significativas van  
en las filas y las  
menos en las  
columnas

 $S$ 

$Q_1 / Q_0 \underline{X}$	00	01	11	10
0				
1		1		



## Etapa de Diseño – Paso 7) Implementación del circuito digital

Ecuaciones de simplificación obtenidas de los mapas:

$$J_1 = Q_0 \underline{X}$$

$$K_1 = \underline{X} + Q_0$$

$$J_0 = \overline{Q}_1 \underline{X}$$

$$K_0 = Q_1 + \underline{X}$$

$$S = Q_1 \overline{Q}_0 \underline{X}$$

## Etapa de Diseño – Paso 7) Implementación del circuito digital

