

Modelos de diseño

Modelos de diseño de ingeniería para circuitos secuenciales síncronos

En el presente documento se desarrollará la resolución según las metodologías de Moore y Mealy para resolver ejemplos presentes en la clase teórica de *Circuitos Secuenciales*

El detector de secuencias

Diseñe una máquina que produzca un 1 en la salida cada vez que exactamente dos de las últimas tres entradas han sido 1

Por ejemplo, la secuencia de entrada 011011100 debe producir en la salida la 001111010

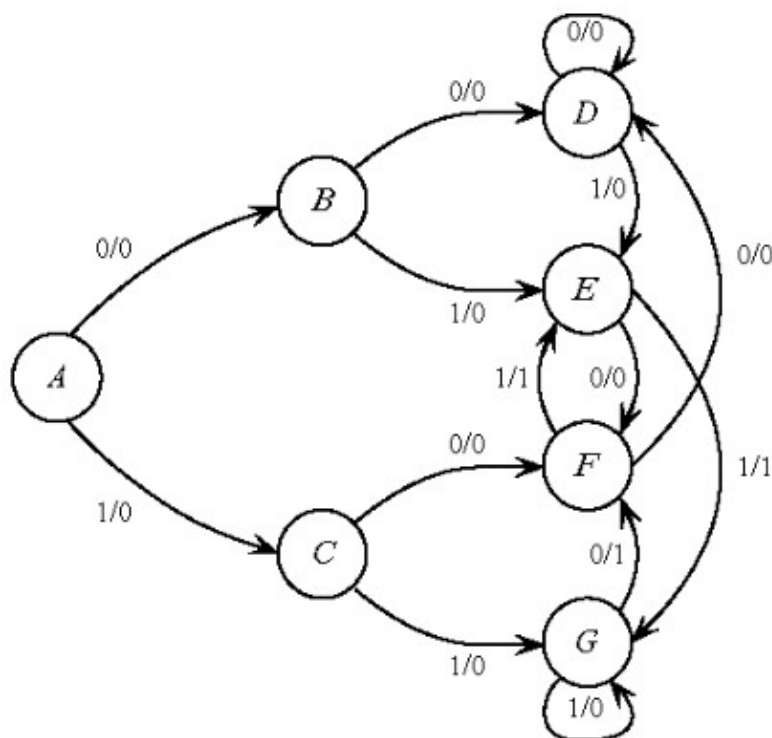
Asuma que la entrada es una línea serial de 1 bit

Utilice flip-flops D

| | T1 | T2 | T3 | T4 | T5 | T6 | T7 | T8 | T9 |
|----------------|----|----|----|----|----|----|----|----|----|
| Entrada Serial | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 |
| 1º acum. | 0 | 1 | 2 | 2 | 2 | 2 | 3 | 2 | 1 |
| Salida Serial | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 |

Este SSS responde al modelo de Mealy dado que la vble externa afecta directamente la salida.

1) Diagrama de E/T



Arquitectura de Computadoras

Año: 2020

2) Tabla de estados

| Estado inicial | Vble externa X | Estado final | Vble de salida S |
|----------------|----------------|--------------|------------------|
| A | 0 | B | 0 |
| A | 1 | C | 0 |
| B | 0 | D | 0 |
| B | 1 | E | 0 |
| C | 0 | F | 0 |
| C | 1 | G | 0 |
| D | 0 | D | 0 |
| D | 1 | E | 0 |
| E | 0 | F | 0 |
| E | 1 | G | 1 |
| F | 0 | E | 1 |
| F | 1 | D | 0 |
| G | 0 | F | 1 |
| G | 1 | G | 0 |
| H | 0 | A | 0 |
| H | 1 | A | 0 |

3) Codificación de los estados

| Estado | Código binario |
|--------|----------------|
| A | 000 |
| B | 001 |
| C | 010 |
| D | 011 |
| E | 100 |
| F | 101 |
| G | 110 |
| H | 111 |

Arquitectura de Computadoras

Año: 2020

4) Seleccionar los elementos de memorias

Para este caso se utilizará como elemento de memoria un FF D.

Desarrollamos la **tabla de excitación** del FF:

| Estado inicial | Estado final | Entradas |
|----------------|--------------|----------|
| Q_t | Q_{t+1} | |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

5) Tabla de excitación y tabla de códigos de estado aplicadas al sistema secuencial sincrónico

Como se usan 3 elementos de memoria o FF la tabla quedará así:

| Estado inicial | | | Vble. | Estado final | | | FF ₂ | FF ₁ | FF ₀ | Salida |
|----------------|----------|----------|-------|--------------|------------|------------|-----------------|-----------------|-----------------|----------------|
| Q_{2T} | Q_{1T} | Q_{0T} | X | Q_{2T+1} | Q_{1T+1} | Q_{0T+1} | D ₂ | D ₁ | D ₀ | S ₁ |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

Arquitectura de Computadoras

Año: 2020

6) Simplificación de funciones de excitación.

Aquí se van a representar las entradas de los FF y las salidas con las vbles. de los mapas K (Karnaugh) siendo las coordenadas los estados iniciales y las vbles. externas determinando de este modo las dimensiones del mapa

Coordenadas del mapa: $Q_2 Q_1 Q_0$ y X

Contenido del mapa: $D_2 D_1 D_0 S_1$ dando lugar a 4 mapas

Las vbles. más significativas van en las filas y las menos en las columnas

D_2

| $Q_2 Q_1 / Q_0 X$ | 00 | 01 | 11 | 10 |
|-------------------|----|----|----|----|
| 00 | 0 | 0 | 1 | 0 |
| 01 | 1 | 1 | 1 | 0 |
| 11 | 1 | 1 | 0 | 0 |
| 10 | 1 | 1 | 0 | 1 |

D_1

| $Q_2 Q_1 / Q_0 X$ | 00 | 01 | 11 | 10 |
|-------------------|----|----|----|----|
| 00 | 0 | 1 | 0 | 1 |
| 01 | 0 | 1 | 0 | 1 |
| 11 | 0 | 1 | 0 | 0 |
| 10 | 0 | 1 | 1 | 0 |

D_0

| $Q_2 Q_1 / Q_0 X$ | 00 | 01 | 11 | 10 |
|-------------------|----|----|----|----|
| 00 | 1 | 0 | 1 | 1 |
| 01 | 1 | 0 | 0 | 1 |
| 11 | 1 | 0 | 0 | 0 |
| 10 | 1 | 0 | 1 | 0 |

S_1

| $Q_2 Q_1 / Q_0 X$ | 00 | 01 | 11 | 10 |
|-------------------|----|----|----|----|
| 00 | 0 | 0 | 0 | 0 |
| 01 | 0 | 0 | 0 | 0 |
| 11 | 1 | 0 | 0 | 0 |
| 10 | 0 | 1 | 0 | 1 |

Arquitectura de Computadoras

Año: 2020

Ecuaciones de simplificación obtenidas de los mapas:

$$D_2 = Q_1 \overline{Q_0} + Q_2 \overline{Q_0} + \overline{Q_2} Q_0 X + Q_2 \overline{Q_1} \overline{X}$$

$$D_1 = \overline{Q_0} X + Q_2 \overline{Q_1} X + \overline{Q_2} Q_0 \overline{X}$$

$$D_0 = \overline{Q_0} \overline{X} + \overline{Q_1} Q_0 + \overline{Q_2} Q_0 \overline{X}$$

$$S_1 = Q_2 Q_1 \overline{Q_0} \overline{X} + Q_2 \overline{Q_1} \overline{Q_0} X + Q_2 \overline{Q_1} Q_0 X$$

7) Implementación del circuito digital