

Comparação de Arquiteturas Utilizando Superescalar Simulator

Guilherme de Andrade Moura

Ricardo Xavier Sena

Objetivo

- Projetar uma arquitetura e utilizar de um benchmark para fazer testes e provar que houve melhorias (speed up) em comparação com outra.

Simulador

- Utilizamos o SESC ([SuperESCalar Simulator](#)) por ser mais descritivo em relação aos componentes que modificaremos na arquitetura.
- Maior ponto negativo: Pouca documentação.

Benchmark

- Utilizamos o Crafty.
- Exige menos esforço comparado o Ocean.
- Consiste em resolver 5 layouts de xadrez diferentes aonde pesquisa os movimentos possíveis em uma árvore.

Arquitetura Proposta

Quantidade de Núcleos:	32
Organização de Memória:	Uma memória principal e uma cache
Abordagem de Interconexão:	Bus Entre L1 e L2
Memória L1:	1024 (WT)
Memória L2:	1024 (WB)
Mecanismo de Predição:	Híbrido

Quantidade de Núcleos:	128
Organização de Memória:	Uma memória principal e uma cache
Abordagem de Interconexão:	Bus Entre L1 e L2
Memória L1:	2048 (WT)
Memória L2:	1024 (WT)
Mecanismo de Predição:	Híbrido

^a Detalhes da arquitetura proposta pela dupla

Testes

- Primeiro Teste: aumentamos quantidade de processos por nó.
- 32 processos para 128
- O tempo aumentou porém os ciclos permaneceram o mesmo.

Testes

- Segundo Teste: aumentamos o tamanho da linha de cache.
- 32 linhas para 128 assim como no primeiro teste.
- O tempo de execução diminui para 22.89ms (antes 24.99ms) e ciclos foram reduzidos para 29881955

Testes

- Terceiro e quarto Teste: alteramos frequência do processador e clock.
- Sem alterações consideráveis.

Testes

- Quinto Teste: resolvemos trabalhar com a associatividade das memórias L1 e L2.
- Alteramos política de escrita da L2 de write-back para write-through.
- Ganho de 0.2ms

Testes

- Aumentamos associatividade da L2; 8-way para 16-way.
- O tempo de execução aumentou em 1 segundo e tivemos redução de ciclos. Com isso voltamos atrás.

Testes

- Aumentamos associatividade da L1; 8-way para 16-way.
- O tempo de execução não apresentou variações porém tivemos redução de ciclos

29881955 -> 29871626

Testes

- Últimos Testes: Trabalhamos com alterações nos tamanhos das páginas.
- Alteramos o tamanho das páginas de 4096 para 8192;
Sem melhorias.

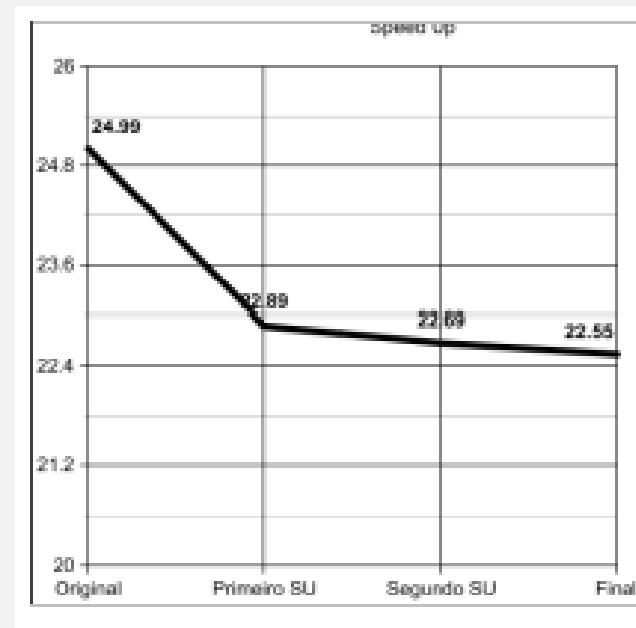
Testes

- Alteramos o tamanho da memória L1 de 1024 para 2048;
- Obtivemos Speed-Up de 0.3ms; O número de ciclos caiu para 29865772
- Aumentamos novamente e tivemos atrasos.

Resultados

- Conseguimos uma melhoria da velocidade de 9.89% e reduzir os ciclos em 12888200.

Tempo e Número de Ciclos		
Arquitetura	Tempo (mSecs)	Ciclos
Arquitetura Original	24.99	42753972
Primeiro Teste	22.89	29881955
Segundo Teste	22.66	29871626
Último Teste	22.52	29865772



Trabalhos futuros

- Projetar arquiteturas diferentes
- Realizar novos testes com outros benchmarks e trabalhar com outros aspectos da arquitetura(politica de cache, threads)

Dúvidas