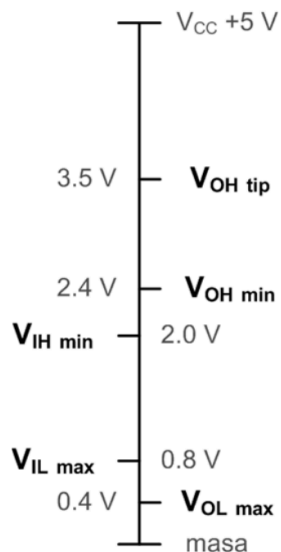


03 - Izlaz

03 - Izlaz

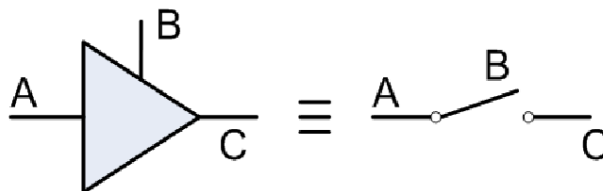
TTL



- $V_{OH\ min}$ = minimalni izlazni napon visoke logičke razine
 - sklop mora dati visoku razinu od najmanje 2.4 V uz struju od 0.4 mA
- $V_{OL\ max}$ = maksimalni izlazni napon niske logičke razine
 - sklop ne smije dati više od 0.4 V na izlazu uz opterećenje do 16 mA
- $V_{IH\ min}$ = minimalni ulazni napon visoke logičke razine
 - sklop mora prepoznati 2.0 ili više volti kao visoku logičku razinu, i ne vući struju višu od 0.04 mA
- $V_{IL\ max}$ = maksimalni ulazni napon niske logičke razine
 - sklop mora prepoznati 0.8 V kao nisku logičku razinu i ne vući struju višu od 1.6 mA

Fig. 1: TTL razine napona

- CMOS:
 - novi tip tranzistora, MOSFET baziran na CMOS logiki
 - brz odziv, brzina, mala potrošnja i manje se zagrijava
- 3 stanja: 1, 0 i Z



ulaz		izlaz
A	B	C
0	0	Z
0	1	0
1	0	Z
1	1	1

Fig. 2: tranzistor s 3 stanja

- primjer GPIO pina:

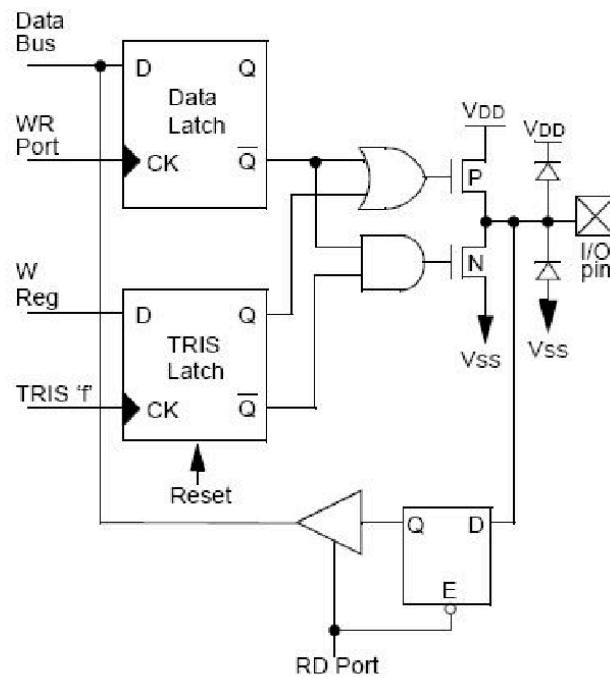
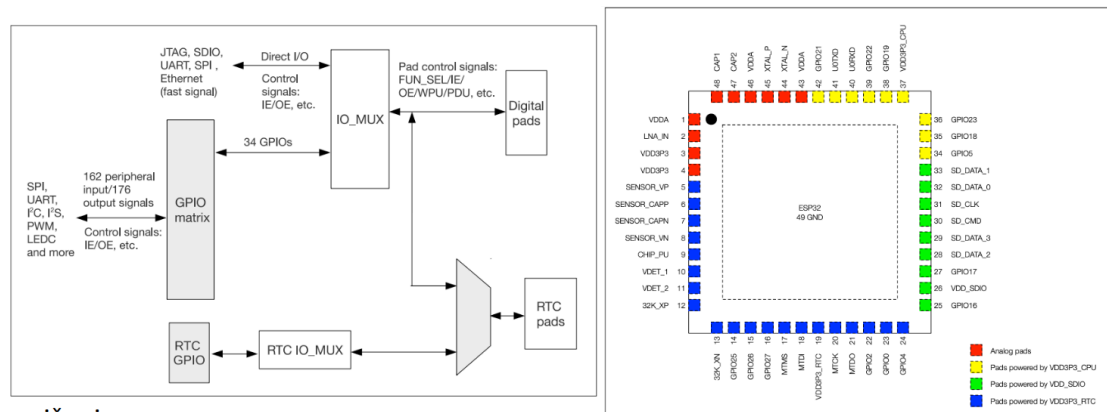


Fig. 3: shema GPIO pina



- Ograničenja:
 - 40mA izlazna po pinu (*source*)
 - 28mA ulazna po pinu (*sink*)
 - 1200mA za čitavi ESP32
 - Uobičajeni napon: 3.3V

Fig. 4: ESP32 pinovi

PWM

- PWM - širina impulsa sadrži informaciju o amplitudi izlaznog signala

iti

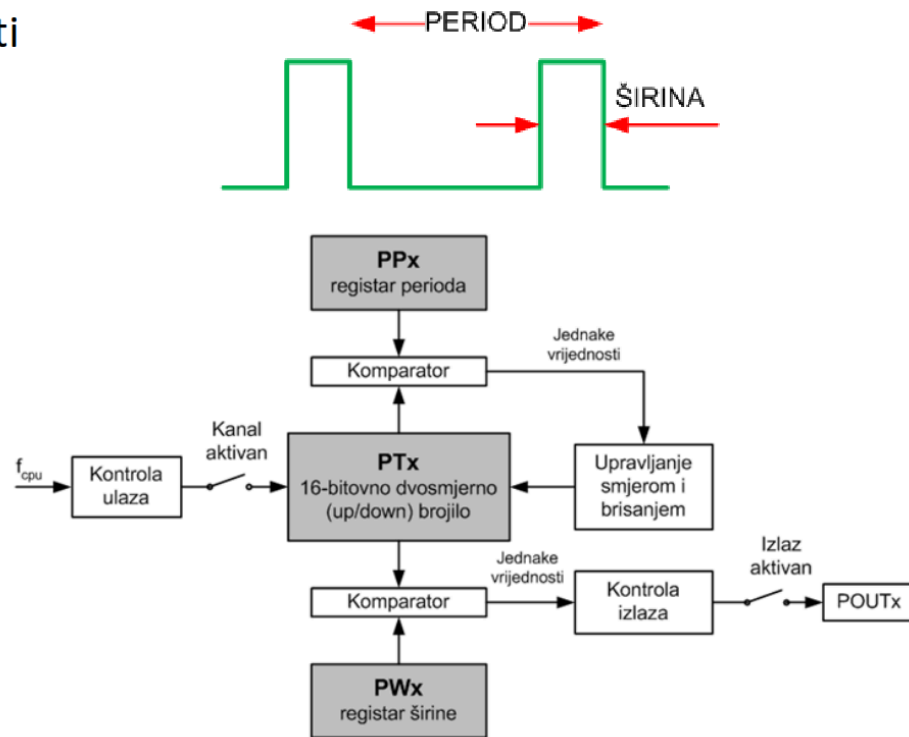


Fig. 5: PWM impulsi

- brojilo broji impulse prema gore/dolje i komparator određuje da li se output treba biti high ili low

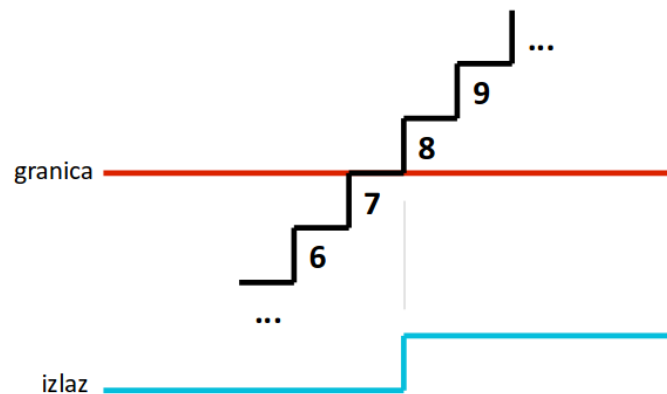


Fig. 6: brojilo

- tipovi signala:
 - asimetrični PWM signal (kraj je high)

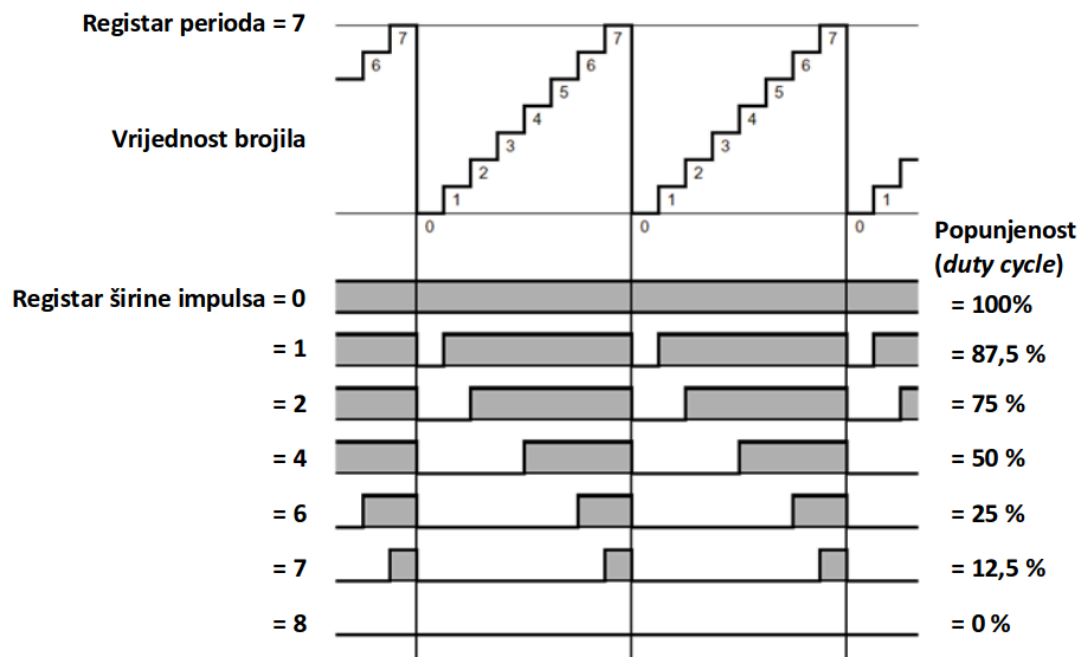


Fig. 7: asimetrični PWM signal

- simetrični PWM signal (broji prema gore do granice, i onda kad izbroji ide prema 0 dolje)

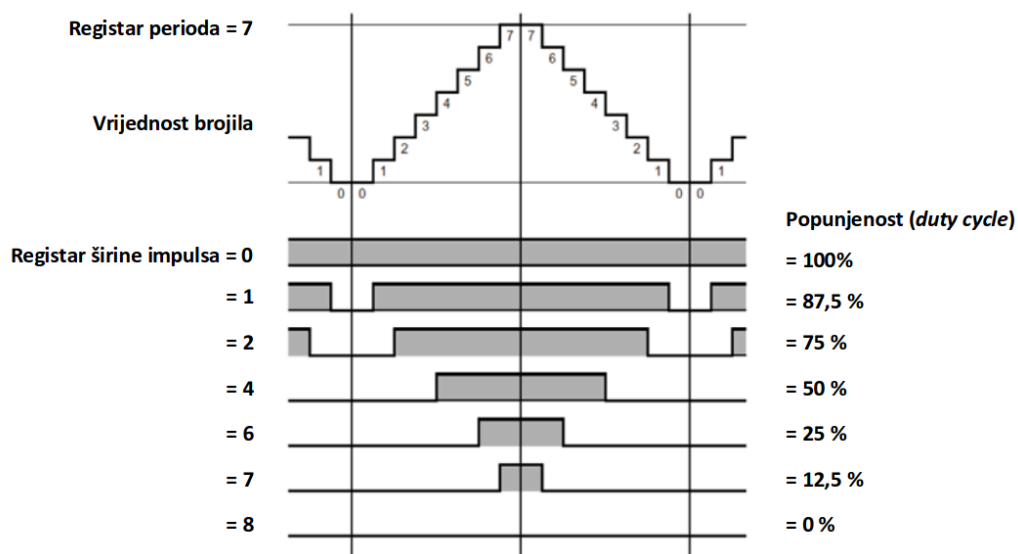


Fig. 8: simetrični PWM signal

- kombinirani (uglavnom AND operacija)

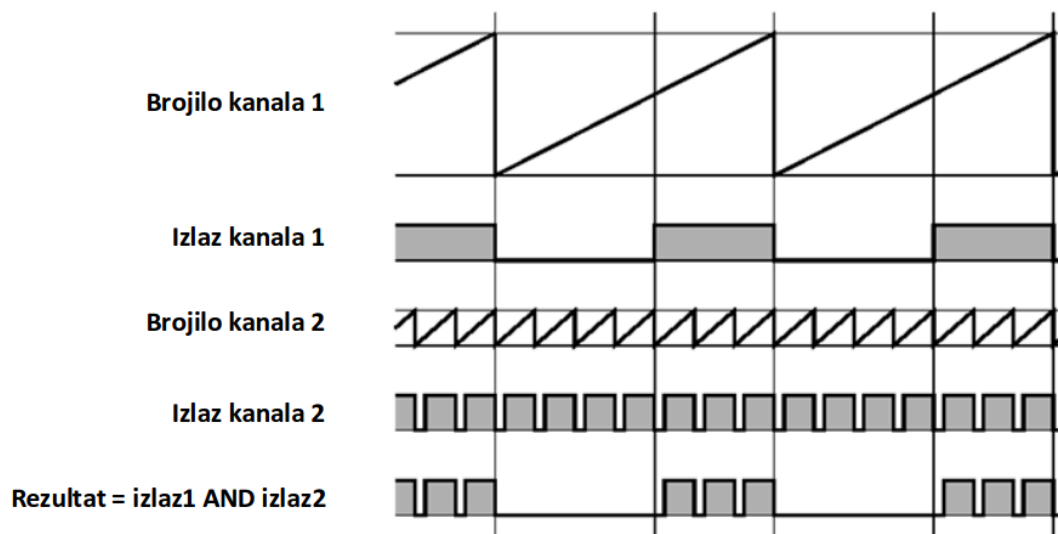


Fig. 9: kombinirani PWM signal

- PWM se na primjer može koristiti kod D/A pretvorbe tako da se generira signal stalne frekvencije i različite popunjenosti

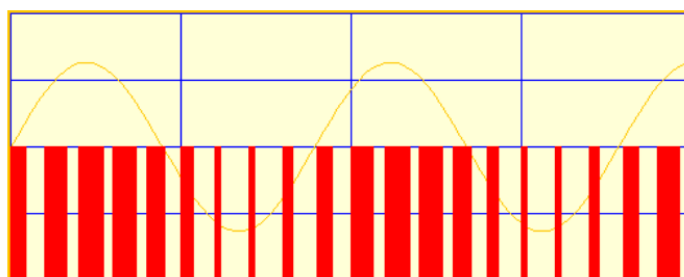
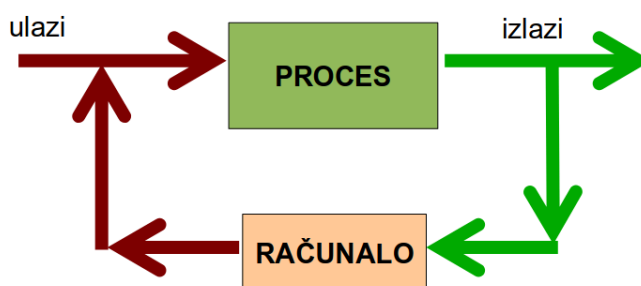


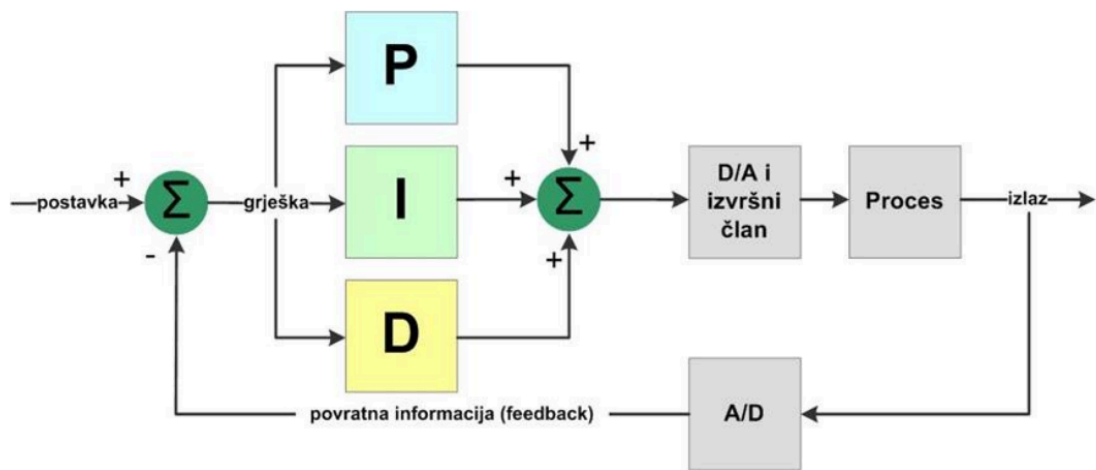
Fig. 10: PWM D/A pretvorba

PID upravljač

- Proportional-integral-derivative controller
- digitalno upravljanje procesom



- ulaz u regulator je razlika između željene i izmjerene vrijednosti



- proporcija:
 - $P_{dio} = greska * P_{konstanta}(pGain)$
 - brzi sustav oscilira oko željene vrijednosti

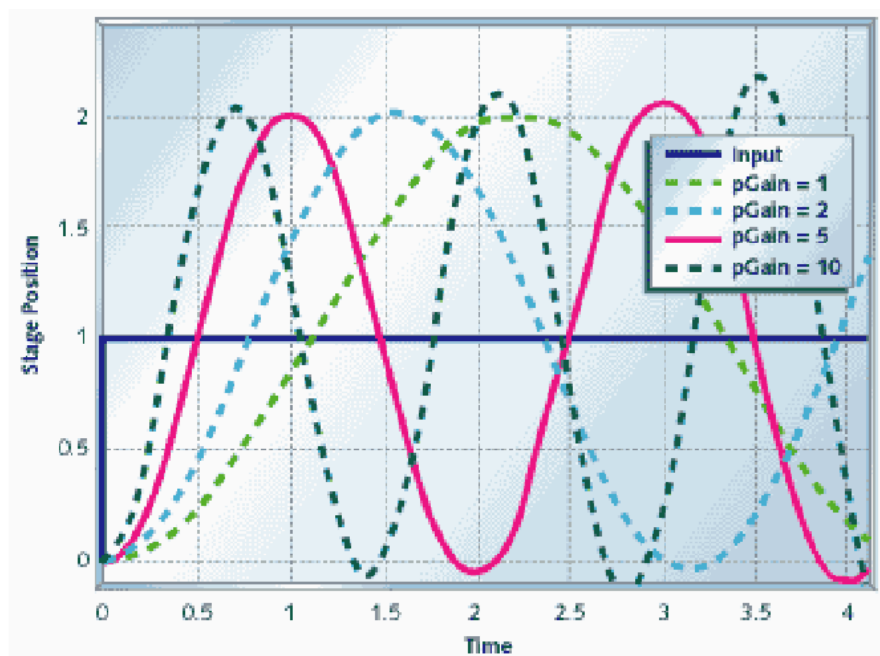


Fig. 13: brzi P

- spori sustav ne dostiže željenu vrijednost

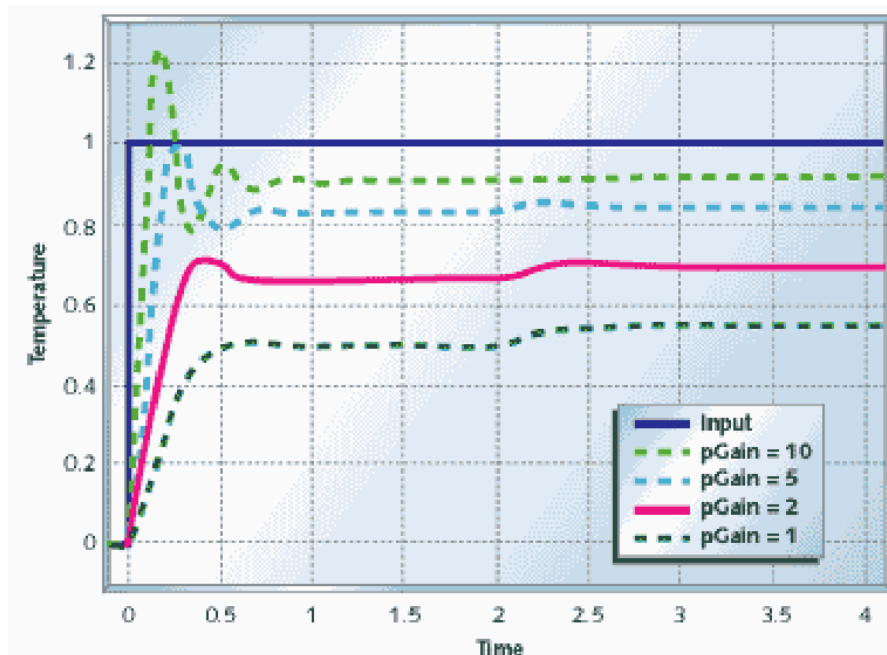


Fig. 14: spori P

- integracija:
 - zbroj svih prethodnih pogrešaka
 - $I_dio = I_suma * I_konstanta(iGain)$

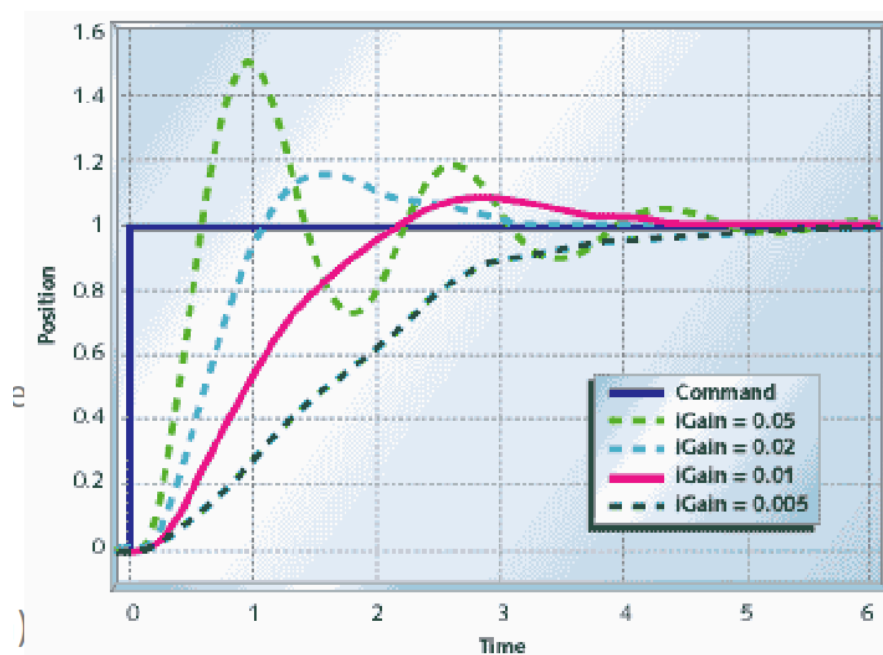


Fig. 15: I

- P+I:
 - kombinacija proporcionalnog i integracijskog djelovanja
 - točnije nego samo kod I djelovanja

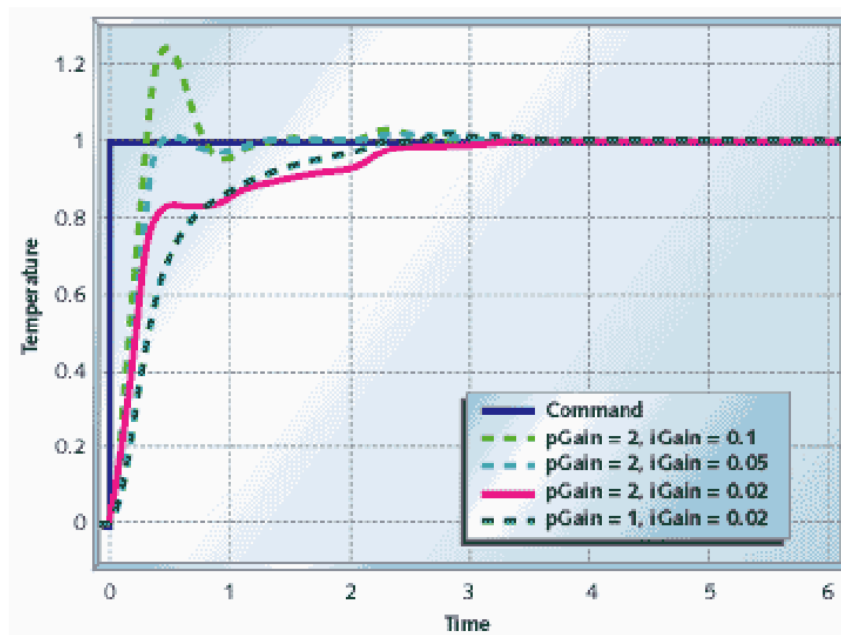


Fig. 16: P+I

- derivative:
 - djeluje na kvalitetu prijelaza
 - $D_dio = (greska - D_stanje) * D_konstanta(dGain)$
 - $D_stanje = greska$
 - uz dobre parametre smanjuje prijelazno vrijeme te se ne događa overshoot

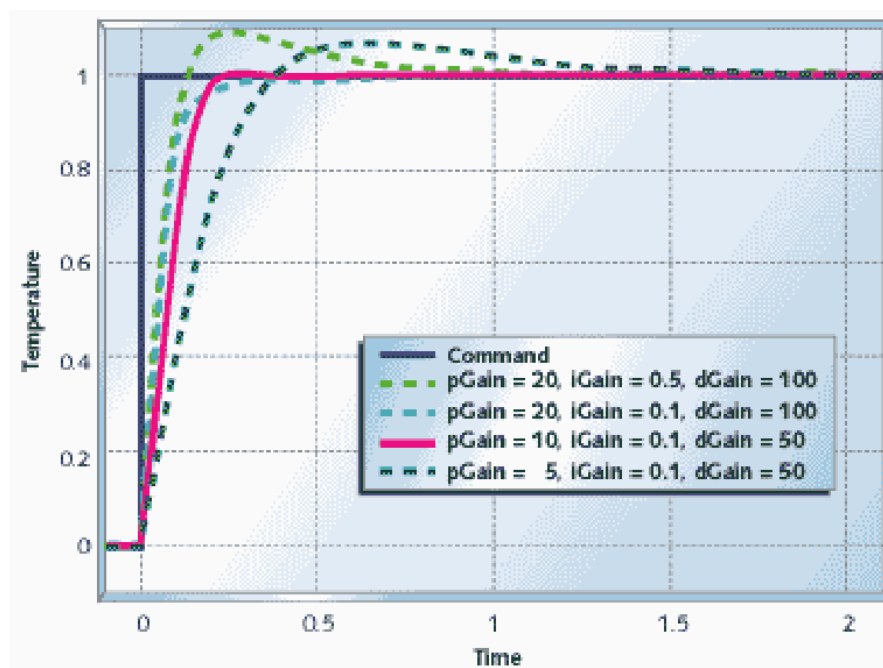


Fig. 17: D

- Algoritam uključuje sva tri proračuna:

```
P_dio = grješka * P_konstanta(pGain)
```

```
I_suma += grješka
```

```
I_dio = I_suma * I_konstanta(iGain)
```

```
D_dio = (grješka - D_stanje) * D_konstanta(dGain)
```

```
D_stanje = grješka
```

- Izlaz:

```
izlaz = P_dio + I_dio + D_dio
```

- ... ukupno 4 operacije zbrajanja i 3 množenja

Fig. 18: PID algoritam