

基于 DM816x, C6A816x 和 AM389x 系列 SOC 的最小系统配置

唐超伦

TI 通用数字信号处理系统技术支持

摘要

DM816x, C6A816x, AM389x 是 TI 新一代高性能 SOC，系统集成度高，系统控制模块化，架构与以往 TI SOC 平台有所不同，本文针对最小系统的时钟配置，电源管理，内存映射，内存配置的区别做深入解释。

内容

1. 时钟配置	2
2. 电源，复位，控制模块配置	6
2.1 电源管理	6
2.2 复位管理	6
2.3 时钟管理	7
3. DSP MMU 配置	7
4. DDR 配置	8
4.1 DDR 时钟配置	8
4.2 DDR 地址空间映射	8
4.3 DDR 时序配置	11
结束语	11

图

图 1 Flying-Adder PLL 框图	2
图 2 DM816x 系统时钟结构图	3
图 3 MAIN PLL 框图	5
图 4 线性访问模式	9
图 5 线性访问物理地址寻址	9
图 6 交织访问模式	10
图 7 交织访问物理地址寻址	10

表

表 1 DM816x, C6A816x, AM389x 比较表	2
表 2 PLL 时钟频率	4
表 3 MAINPLL_FREQ1 寄存器	5
表 4 MAINPLL_DIV1 寄存器	5
表 5 系统级复位分类	6

DM816x, C6A816x, AM389x 引脚兼容(为方便讨论, 下面统称 DM816x), 资源配置主要区别如下表所示, 这种兼容系列产品便于用户基于同一平台, 根据不同的产品需求选择合适的型号, 可以节省大量的硬件、系统软件开发时间。

表 1 DM816x, C6A816x, AM389x 比较表

Serial	Part Num.	Cortex A8(Max)	C674x DSP(Max)	IVAHD	SGX530
DM816x	DM8168	1GHz	1GHz	3	1
	DM8167	1GHz	1GHz	3	-
	DM8166	720MHz	667MHz	2	1
	DM8165	720MHz	667MHz	2	-
C6A816x	C6A8168	1.5GHz	1.5GHz	-	1
	C6A8167	1.5GHz	1.5GHz	-	-
AM389x	AM3894	1.5GHz	-	-	1
	AM3892	1.5GHz	-	-	-

1. 时钟配置

DM816x 内部有 4 个 FAPLL (Flying Adder PLL, 结构见图 1.1), 分别负责不同模块的时钟配置, 系统时钟框图见图 1.2。

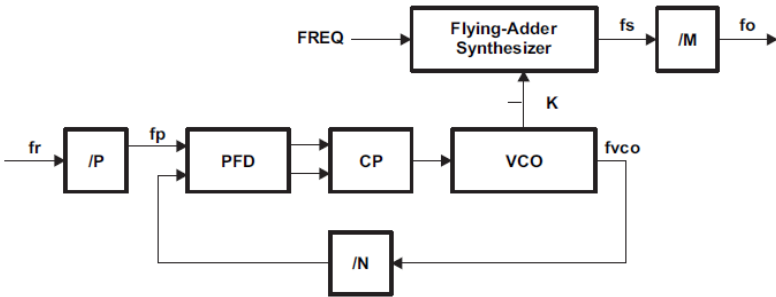


图 1 Flying-Adder PLL 框图

FAPLL 相对于传统的 PLL 具有精度高, 响应快, 减少模拟电路复杂度等优点, 更适合于音视频应用。从使用者的角度在 DM816x 上最直接的体现是它支持小数分频系数, 方便于产生需要的频率。

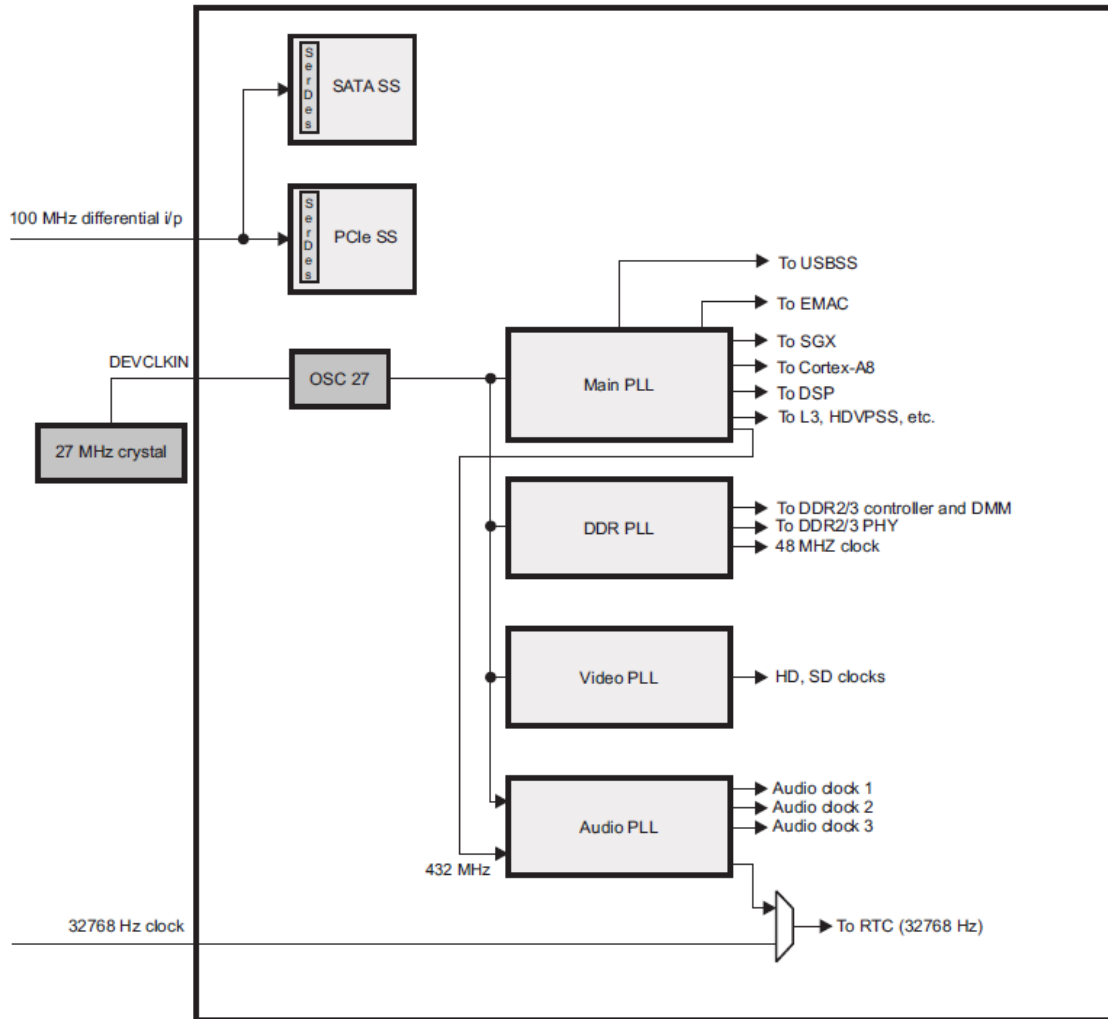


图 2 DM816x 系统时钟结构图

每个 FAPLL 结构由两部分组成:

1. Multiphase PLL。
2. Flying Adder Synthesizer。（可能有多组为不同模块提供不同频率的时钟）

FAPLL 的配置属于 Control Module 的 PLL 部分。

Multiphase PLL 的配置寄存器为相应的 FAPLL 控制寄存器，对应四个 FAPLL 分别为：MAINPLL_CTRL，DDRPLL_CTRL，VIDEOPLL_CTRL，AUDIOPLL_CTRL。Multiphase PLL 的输出时钟频率为：

$$F_{vco} = F_{CLKIN} * \frac{N}{P} \quad : 800MHz \leq F_{vco} \leq 1850MHz$$

Flying Adder Synthesizer 的配置寄存器为相应 FAPLL 的 PLL_FREQ 和 PLL_DIV 寄存器，可能有多组对应多个 Synthesizer。对应图 1 中 Fs 和 Fo 的输出频率计算公式为：

$$F_s = \frac{F_{vco} * K}{FREQ} \quad FREQ: Pre_Divider, 由 PLL_FREQ 控制; K = 8$$

$$F_o = \frac{F_s}{M} \quad M: Post_Divider, 由 PLL_DIV 控制$$

FAPLL 的配置参数不能任意选择，在根据上述公式计算频率的基础上需要满足下面公式的条件：

$$\left(\frac{\text{Floor}(M * \text{FREQ}) * P * 10^6}{\text{PLL_CLKIN} * 8 * N} \right) - \sqrt{\frac{A * M * \text{FREQ}}{8}} - H > \text{MIN_CYCLE}$$

- A = 169 (如果 AUDIOPLL 的输入源是从 MAINPLL 输出的，则 AUDIOPLL 的 A=218)。
- H = 10 (如果 M*FREQ 是 8 的倍数，否则 H=0)。
- $800\text{MHz} \leq \text{PLL_CLKIN} * N / P \leq 1600\text{MHz}$
- $10\text{MHz} \leq \text{PLL_CLKIN} / P \leq 60\text{MHz}$
- MIN CYCLE 见表 2

表 2 PLL 时钟频率

Clock	MIN CYCLE	MAX Frequency
Main PLL		
Clock 1	985	987
Clock 2	842	1152
Clock 3	1847	532
Clock 4	1991	494
DDR PLL		
Clock 2	18447	54
Clock 3	2443	405
Video PLL		
Clock 1	1485	660
Clock 2	1485	660
Clock 3	1485	660
Audio PLL		
Clock 2	6290	158
Clock 3	5041	197
Clock 4	10000	100
Clock 5	10000	100

针对视频应用，系统输入时钟 CLKIN=27MHz，在 EVM 板提供的 gel 文件，UBOOT 代码里有提供合适的 FAPLL 配置参数。对于其它的输入时钟频率，需要根据上面的条件计算合适的配置值。

CLKIN 时钟经过 FAPLL 后，送到 PRCM 进行选择控制，给各模块提供时钟。以图 3 Main PLL 为例，框内部分由 PRCM (Power Reset Control Module) 控制，参考后面的 PRCM 部分。

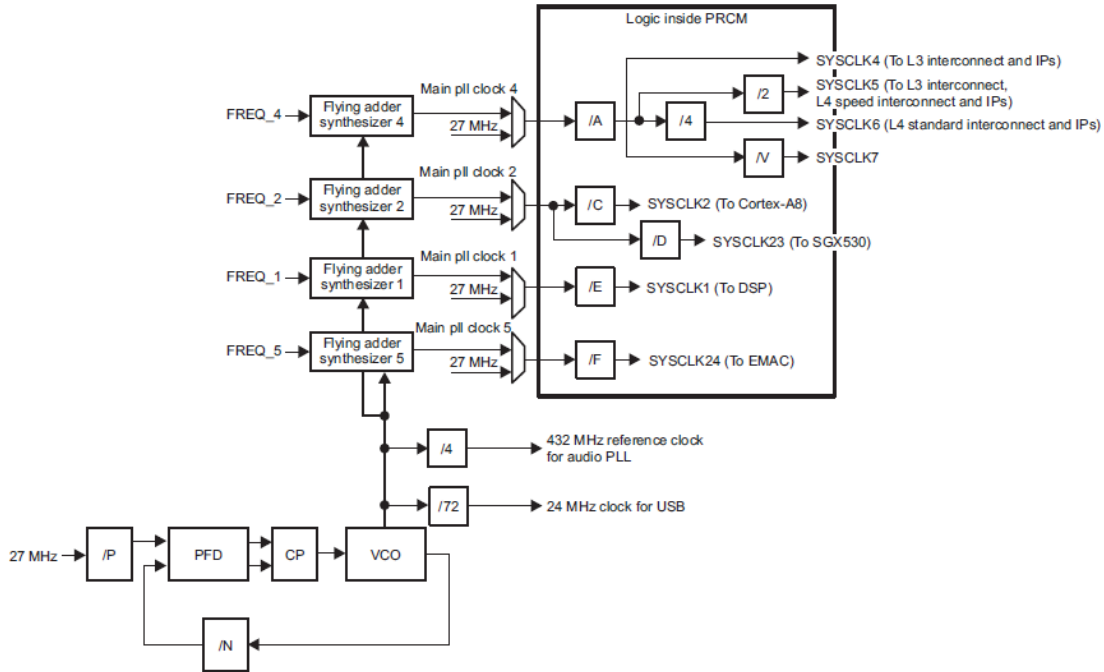


图 3 MAIN PLL 框图

下面以 MainPLL 的 Main PLL clock 1 输出为例说明时钟的配置方法，MAINPLL_FREQ1 寄存器定义见表 3，MAINPLL_DIV1 寄存器定义见表 4。

表 3 MAINPLL_FREQ1 寄存器

31	30	29	28	27	24	23	0
MAIN_LDFREQ1	Reserved	MAIN_TRUNC1	MAIN_INTFREQ1	MAIN_FRACFREQ1			
R/W-1	R-0	R/W-0	R/W-0	R/W-800000H			

表 4 MAINPLL_DIV1 寄存器

31	9	8	7	0
Reserved	MAIN_LDMDIV1	MAIN_MDIV1		
R-0	R/W-1	R/W-2H		

Main PLL clock 1 输出频率计算公式如下：

$$\begin{aligned}
 Fo &= \frac{Fvco * K}{(MAINPLL_DIV1) * (MAINPLL_FREQ1)} \\
 &= \frac{Fvco * K}{(MAINPLL_DIV1) * (MAIN_INTFREQ1 + MAIN_FRACFREQ1)}
 \end{aligned}$$

PLL_FREQ 寄存器小数分频系数 MAIN_FRACFREQ1 部分的计算方法是：DecToHex(Fraction * 2²⁴)，如 0.5 的 16 进制小数 = (0.5 * 2²⁴) = 0x800000。

同时需要注意的是 PLL_FREQ 的整数系数 INTFREQ 必须大于或等于 8。

SYSCLK1 的时钟输出为：

$$F_{sysclk1} = \frac{Fo}{E}$$

E 为 PRCM 的 CM_SYSCLK1_CLKSEL[CLKSEL]分频系数选择。

2. 电源, 复位, 控制模块配置

PRCM (Power Reset Control Module) 是系统控制的枢纽。一方面控制系统模块的正常供电, 一方面可以将不用的模块关闭达到省电的目的。

2.1 电源管理

电源管理模块控制电源域的使能与关闭, 共有的四个电源域为: Always On, Default, Active, SGX, 视频协处理器电源域 IVAHD0, IVAHD1, IVAHD2 是 DM816x 特有的。Always On 电源域不能关闭, 其它电源域由相应的 PRCM.PM_<Power domain>_PWRSTCTRL[POWERSTAT]寄存器控制电源的开关:

- PM_ACTIVE_PWRSTCTRL 控制 GEM, HDMI, HDD_SS。
- PM_DEFAULT_PWRSTCTRL 控制 TPDMA, DMM, DDR0/1, USB0/1, SATA, PCI, TPPSS, M3。
- PM_SGX_PWRSTCTRL 控制 3D 图形模块。
- 三个视频协处理分别由 PM_IVAHD0_PWRSTCTRL, PM_IVAHD1_PWRSTCTRL, PM_IVAHD2_PWRSTCTRL 控制。

通常一个电源域下包含多个模块, 如果同一电源域的某模块需要继续使用, 则只能关闭其它不用的模块的时钟来达到省电的目的, 而不能关闭整个电源域。

为了进一步达到省电的目的, 对于使能的模块, 可以通过<Module>_SYSCONFIG.MIDLEMODE 或者 >Module>_SYSCONFIG 寄存器的 STANDBYMODE 设置将其配置为 smart-standby 模式, 在其没有操作的时候, 模块自动关闭时钟进入省电状态, 在有操作的时候, 自动打开时钟。不是每个模块都可配置 STANDBYMODE, 需要检查相应的模块是否有上述两个寄存器之一。

2.2 复位管理

芯片的复位分为两大类: 系统级复位和模块级 Local Reset。

2.2.1 系统级复位

表 5 列出了系统级复位的不同复位信号源分类, 以及对芯片的不同影响。

表 5 系统级复位分类

类型	复位信号源	复位仿真逻辑之外的所有模块	复位仿真逻辑	重新 Boot	RESETOUT 输出有效
上电复位(POR)	POR 管脚	√	√	√	√
硬件热复位(Warm Reset)	RESET 管脚	√	—	√	√
仿真器热复位	CCS RESET	√	—	—	√
看门狗复位	Watchdog timer	√	—	—	√
软件全局冷复位	软件控制	√	√	—	√
软件全局热复位	软件控制	√	—	—	√
测试复位	TRST	—	√	—	—

芯片的硬件复位分为上电复位(POR)和热复位(Warm Reset), 区别是 Warm Reset 不会复位仿真器的状态, 如果仿真器处于连接状态则不会断连。这两种硬件复位都会让芯片重新 Boot。

PRCM 的 PRM_RSTCTRL 寄存器控制用来设置以下两种软件全局复位:

- 软件全局冷复位 (Software Cold Global Reset)
- 软件全局热复位 (Software Warm Global Reset)

这两种复位都不会使芯片重新 Boot, 区别同样是软件全局热复位不会复位仿真逻辑。

仿真器复位, 看门狗复位与 PRCM 的 Software Warm Global Reset 的作用是一样的。

TRST 复位是通过仿真器对芯片 JTAG 电路的复位控制，不会复位芯片的状态。

2.2.2 局部复位 Local Reset

局部子系统可以通过软件控制复位状态，一共有六个 RM_<Power Domain>_RSTCTRL 寄存器分别控制 Always On 之外的六个电源域下的局部子系统的复位：

- RM_ACTIVE_RSTCTRL 控制 DSP 的复位；
- RM_DEFAULT_RSTCTRL 控制 PCIe, MMU 和两个 M3 的复位。
- RM_SGX_RSTCTRL 控制 SGX 的复位。
- RM_IVAHD0_RSTCTRL, RM_IVAHD1_RSTCTRL, RM_IVAHD2_RSTCTRL 控制视频协处理的复位。

2.3 时钟管理

时钟经 FAPLL (Flying Adder PLL) 倍频后输入 PRCM, PRCM 对时钟的控制管理分为三个方面：

- 模块时钟频率的配置由 CM_<CLK Domain>_CLKSEL[CLKSEL]控制；
- 时钟域的开关由 CM_<Power Domain>_<CLK Domain>_CLKSTCTRL 控制；
- 模块时钟开关由 CM_<Power Domain>_<Module>_CLKCTRL 控制；

由上可以看出系统架构的划分，首先是按电源域，然后按时钟域，最后才是对模块独立的时钟控制。为达到省电的目的，在不能对整个电源域关闭的情况下，要看时钟域是否有模块被使用，如果没有，则可将时钟域关闭，否则，就只能将相应的模块时钟关闭。

以系统中用到 EMIF0，但不用 EMIF1 为例说明如何配置 PRCM 控制电源域，时钟域，以及模块时钟。

- EMIF 属于 Default 电源域，PM_DEFAULT_PWRSTCTRL 寄存器只有一个控制位控制整个 default 电源域的开关，因为 EMIF0 要使能，所以这个寄存器必需使能，也就是不能关闭整个 default 电源域。

```
WR_MEM_32(PM_DEFAULT_PWRSTCTR, 0x2);
while((RD_MEM_32(PM_DEFAULT_PWRSTCTR) & 0x3000)!=0x3000);
```
- 配置 EMIF 的时钟域，EMIF 时钟属于 L3_FAST_DEFAULT_GCLK 时钟域，由寄存器 CM_DEFAULT_L3_FAST_CLKSTCTRL 控制，DMM, EMIF_FW 也属于这个时钟域，所以这个时钟域需要使能。

```
WR_MEM_32(CM_DEFAULT_L3_FAST_CLKSTCTRL, 0x2);
while((RD_MEM_32(CM_DEFAULT_L3_FAST_CLKSTCTRL) & 0x300)!=0x300);
```
- 配置 EMIF 模块时钟，EMIF0, EMIF1 的模块时钟分别由 CM_DEFAULT_EMIF_0_CLKCTRL 和 CM_DEFAULT_EMIF_1_CLKCTRL 单独控制。

```
WR_MEM_32(CM_DEFAULT_EMIF_0_CLKCTRL, 0x2); // Enable EMIF0 Clock
while(RD_MEM_32(CM_DEFAULT_EMIF_0_CLKCTRL)!=0x2);

WR_MEM_32(CM_DEFAULT_EMIF_1_CLKCTRL, 0x0); // Disable EMIF1 Clock
while((RD_MEM_32(CM_DEFAULT_EMIF_1_CLKCTRL) & 0x3000)!=0x3000);
```

3. DSP MMU配置

DM816x DSP 上首次使用了 MMU, MMU (Memory Management Unit) 的作用是：

- 提供硬件机制的虚拟地址与物理地址转换；
- 提供硬件机制的内存访问权限授权。

对于支持多进程的 HLOS (High Level Operation System), OS 利用 MMU 的地址转换功能可以为每个进程提供独立的地址空间。但对于 DSP 来说，通常不运行 HLOS, 这种功能得不到体现。

在 ARM+DSP 的双核 SOC 架构上，所有外设包括内存空间都是共享的，平等访问，这样的架构有很多好处，比如在两个核间共享数据很高效，只需要传递数据的指针，不需要做数据的拷贝；但是带来的问题是需要用户程序保证不会非法改写另一个核的程序数据空间，否则会导致系统崩溃，而且这种问题导致的现象不确定，通常难以精确定位。

ARM 上的 HLOS 如 Linux 的内存管理，可以保证不会非法访问系统管理之外的空间。在以往的 DaVinci 系列芯片上 DSP 没有 MMU，需要用户保证 DSP 程序不会非法访问 ARM 的程序和数据空间。DM8168 的 DSP 上使用 MMU 以硬件方式提供了内存访问授权，使内存访问越界问题的定位变得格外容易，MMU 的错误状态寄存器会记录越界访问，并且 MMU_FAULT_AD 会记录最近通过 MMU 的访问地址。

MMU 可以工作在旁通模式，即不对地址做映射，但是在 DM816x 上 GPMC 的系统地址空间于 0x0 地址开始，与 DSP 的片内地址空间重叠，如果 DSP 需要访问 GPMC，必需要通过 MMU 将 GPMC 的空间映射到虚拟空间。

MMU 的 TLB (Translation Look-aside Buffer) 配置分为两种：TWL(Table Walking Logic)模式，和静态 TLB 模式；TWL 模式功能灵活，静态 TLB 模式转换效率高[5]。

通常 DSP 上不运行 HLOS，建议采用静态 TLB 模式。一张超级映射表可以映射 16MByte 空间，TLB 共可容纳 32 张表，最多可以映射 512MByte 空间。由于外设通常由 ARM 控制，DSP 访问部分 GPMC 和部分 DDR 空间，以及部分外设，所以 512MByte 空间能满足绝大多数应用的 DSP 访问空间需求。目前 UBoot 中没有 DSP MMU 的配置，用户在 DSP 访问片外空间之前完成 MMU 的配置即可。

4. DDR配置

DM816x 的 DDR 控制器兼容支持 DDR2 和 DDR3；有两个独立的控制器，各有两个片选；每个 DDR 控制器的地址空间为 1GByte；与 TI 以往处理器不同的是在 DM816x 上片选与地址空间的映射是可配置的，每个片选上的地址空间大小也是可配置的。所以在 DM816x 上的 DDR 配置分为三部分：

- DDR 时钟配置
- DDR 地址空间映射，
- DDR 时序配置

4.1 DDR时钟配置

DDR 时钟 FAPLL 配置计算方法参见前面时钟配置部分。DDR 时钟包括两部分：接口时钟，模块功能时钟。

接口时钟即 F_{DDR_CLK} 由 DDR FAPLL 的 F_{VCO} 经 $DDRPLL_DIV1$ 分频输出。

DDR 模块功能时钟 $F_{SYSCLK8}$ 固定为 400MHz 以与内部总线 L3 时钟同步，无论 DDR 接口时钟多少，都将 $SYSCLK8$ 配置为 400MHz。

DDR 时钟计算公式：

$$F_{DDR_CLK} = F_{CLKIN} * \frac{N}{P} * \frac{1}{DDRPLL_DIV1}$$

$$F_{SYSCLK8} = F_{CLKIN} * \frac{N}{P} * \frac{8}{(DDR_INTFREQ3 + DDR_FRACFREQ3) * (DDR_MDIV3)}$$

$$= 400MHz$$

4.2 DDR地址空间映射

DDR 空间寻址范围共 2GB，最多可分为 4 段，通过 DMM 的 $DMM_LISA_MAP0 \sim 3$ 分别配置 EMIF0 的 CS0，CS1 和 EMIF1 的 CS0 和 CS1 的首地址映射，及两个 DDR 控制器之间的寻址方式。两个 DDR 控制器之间的寻址方式有两种模式：非交织访问，交织访问。

非交织访问，即两个控制器的寻址在各自的映射范围内线性递增。如果希望将 ARM 与 DSP 的内存空间在物理上分开，可以选择这种模式。当只使用一个控制器时，只能使用非交织的线性寻址模式。

交织访问，即双通道内存技术，当访问在控制器 A 上进行时，控制器 B 为下一次访问做准备，数据访问在两个控制器上交替进行，从而提高 DDR 吞吐率。支持 128byte，256byte，512byte 的交织模式。如果要使用交织模式，要保证两个控制器上有对称的物理内存：即两块内存大小一致；在各自的控制器上的地址映射一致。

以两个控制器上的 CS0，CS1 各接 512MByte 内存，共 2GByte 内存为例，非交织线性访问模式的配置为：

```
/*Program the DMM to Access EMIF0*/
```



```
WR_MEM_32(DMM_LISA_MAP__0, 0x80500100);
WR_MEM_32(DMM_LISA_MAP__1, 0xA0500120);
```

```
/*Program the DMM to Access EMIF1*/
WR_MEM_32(DMM_LISA_MAP__2, 0xC0500200);
WR_MEM_32(DMM_LISA_MAP__3, 0xE0500220);
```

示意图见图 4。

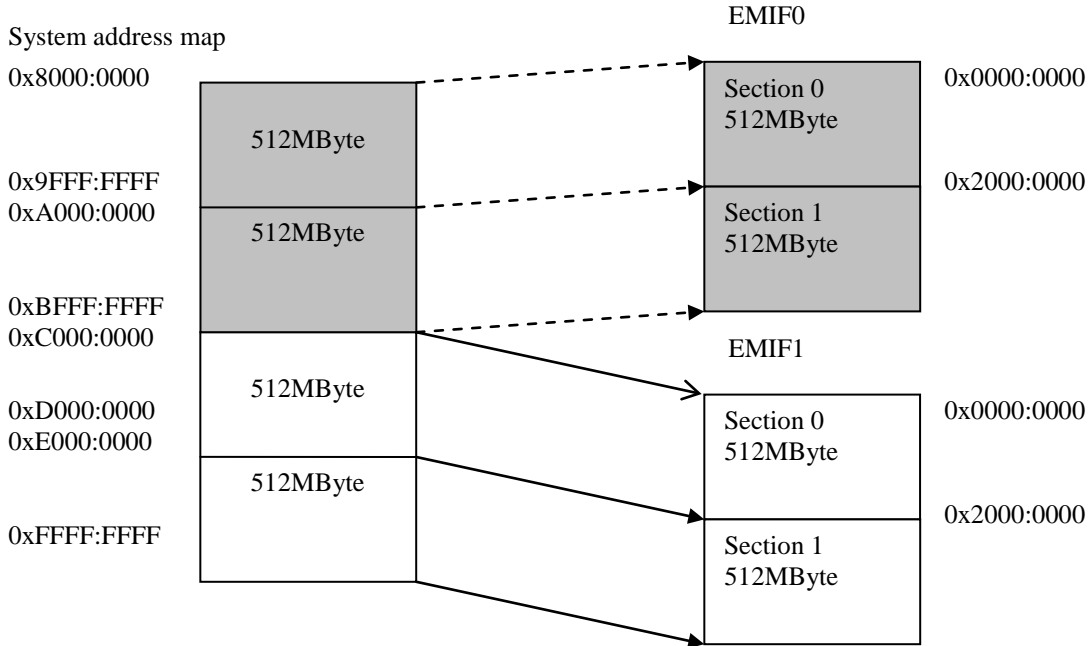


图 4 线性访问模式

在线性访问模式下，系统送出的物理地址在控制器上线性递增寻址，图 5 为线性模式的物理寻址示意图。

System Byte Address		EMIF Byte Address
Offset on DDR0		Offset on DDR0
@0x0 to 0x7F	EMIF0	@0x0 to 0x7F
@0x80 to 0xFF	EMIF0	@0x80 to 0xFF
@0x100 to 0x17F	EMIF0	@0x100 to 0x17F
@0x180 to 0x1FF	EMIF0	@0x180 to 0x1FF
	
Offset on DDR1		Offset on DDR1
@0x0 to 0x7F	EMIF1	@0x0 to 0x7F
@0x80 to 0xFF	EMIF1	@0x80 to 0xFF
@0x100 to 0x17F	EMIF1	@0x100 to 0x17F
@0x180 to 0x1FF	EMIF1	@0x180 to 0x1FF
	

图 5 线性访问物理地址寻址

128-byte 交织访问模式的配置为：

```
/*Program the DMM to Access EMIF0 and 1*/
```

```
// Interleaved 1GB section from 0x80000000 on EMIF0 CS0 and EMIF1 CS0
WR_MEM_32(DMM_LISA_MAP__0, 0x80640300);

// Interleaved 1GB section from 0xC0000000 on EMIF0 CS1 and EMIF1 CS1
WR_MEM_32(DMM_LISA_MAP__1, 0xC0640320);

WR_MEM_32(DMM_LISA_MAP__2, 0x80640300);
WR_MEM_32(DMM_LISA_MAP__3, 0xC0640320);
```

图 6 为交织访问模式下系统地址在控制器寻址访问的示意图。

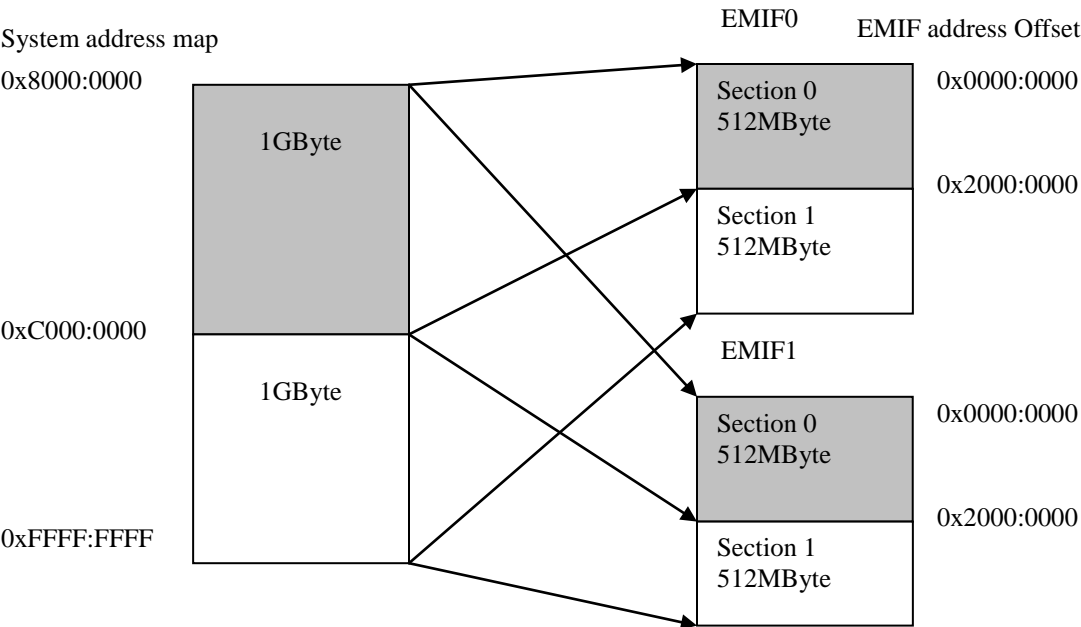


图 6 交织访问模式

在交织访问模式下，系统送出的物理地址在两个控制器上交替访问，图 7 为 128Byte 交织模式的物理寻址示意图。

System Byte Address Offset		EMIF Byte Address Offset
@0x0 to 0x7F	EMIF0	@0x0 to 0x7F
@0x80 to 0xFF	EMIF1	@0x0 to 0x7F
@0x100 to 0x17F	EMIF0	@0x80 to 0xFF
@0x180 to 0x1FF	EMIF1	@0x80 to 0xFF
@0x200 to 0x27F	EMIF0	@0x100 to 0x17F
@0x280 to 0x2FF	EMIF1	@0x100 to 0x17F
	
	
	EMIF0	
	EMIF1	

图 7 交织访问物理地址寻址

4.3 DDR时序配置

DM816x 目前版本的 DDR3 控制器不支持硬件自动 Leveling, 支持软件 leveling, 运用参考文献[3]的工具, 根据 DDR 布线计算出 leveling 种子, 将计算结果更新到 UBoot 的 ddr_def.h 文件中。每次重新布板后, 都需要重新计算 leveling。工具中提供的配置基于 4*8bit 的, 如果是用 2x16bit 的配置, 那么在 RatioSeed.xls 中 DQS0=DQS1, DQS2=DQS3; CK0=CK1, CK2=CK3。

不同厂家的 DDR 芯片时序参数略有不同, DDR 控制器时序寄存器的配置要根据所使用的 DDR 芯片手册提供的参数计算得出, 参考文献[4]的工具为时序参数计算提供了方便。

结束语

阅读本文请结合 EVM 板的 gel^[6]文件, DM8168 EZSDK^[7] UBoot 源码的 board\ti\8168\evm.c 文件的 s_init()函数。

参考文献:

- [1] SPRUGX9: TMS320C6A816x C6-Integra DSP+ARM Processors Technical Reference Guide
- [2] SPRS680: TMS320DM816x DaVinci Digital Media Processors
- [3] http://processors.wiki.ti.com/index.php/DM816x_C6A816x_AM389x_DDR3_Init
- [4] http://processors.wiki.ti.com/index.php/Netra_DDR3_register_initialization_tools
- [5] http://processors.wiki.ti.com/index.php/DM816x_C6A816x_DEMMU_Setup
- [6] http://processors.wiki.ti.com/index.php/File:Ti816x_ddr.zip
- [7] http://software-dl.ti.com/dsps/dsps_public_sw/ezsdk/latest/index_FDS.html

重要声明

德州仪器(TI) 及其下属子公司有权在不事先通知的情况下, 随时对所提供的产品和服务进行更正、修改、增强、改进或其它更改, 并有权随时中止提供任何产品和服务。客户在下订单前应获取最新的相关信息, 并验证这些信息是否完整且是最新的。所有产品的销售都遵循在订单确认时所提供的TI 销售条款与条件。

TI 保证其所销售的硬件产品的性能符合TI 标准保修的适用规范。仅在TI 保证的范围内, 且TI 认为有必要时才会使用测试或其它质量控制技术。除非政府做出了硬性规定, 否则没有必要对每种产品的所有参数进行测试。

TI 对应用帮助或客户产品设计不承担任何义务。客户应对其使用TI 组件的产品和应用自行负责。为尽量减小与客户产品和应用相关的风险, 客户应提供充分的设计与操作安全措施。

TI 不对任何TI 专利权、版权、屏蔽作品权或其它与使用了TI 产品或服务的组合设备、机器、流程相关的TI 知识产权中授予的直接或隐含权限作出任何保证或解释。TI 所发布的与第三方产品或服务有关的信息, 不能构成从TI 获得使用这些产品或服务的许可、授权、或认可。使用此类信息可能需要获得第三方的专利权或其它知识产权方面的许可, 或是TI 的专利权或其它知识产权方面的许可。

对于TI 的产品手册或数据表, 仅在没有对内容进行任何篡改且带有相关授权、条件、限制和声明的情况下才允许进行复制。在复制信息的过程中对内容的篡改属于非法的、欺诈性商业行为。TI 对此类篡改过的文件不承担任何责任。

在转售TI 产品或服务时, 如果存在对产品或服务参数的虚假陈述, 则会失去相关TI 产品或服务的明示或暗示授权, 且这是非法的、欺诈性商业行为。TI 对此类虚假陈述不承担任何责任。

TI 产品未获得用于关键的安全应用中的授权, 例如生命支持应用(在该类应用中一旦TI 产品故障将预计造成重大的人员伤亡), 除非各方官员已经达成了专门管控此类使用的协议。购买者的购买行为即表示, 他们具备有关其应用安全以及规章衍生所需的所有专业技术和知识, 并且认可和同意, 尽管任何应用相关信息或支持仍可能由TI 提供, 但他们将独力负责满足在关键安全应用中使用其产品 & TI 产品所需的所有法律、法规和安全相关要求。此外, 购买者必须全额赔偿因在此类关键安全应用中使用TI 产品而对TI 及其代表造成的损失。

TI 产品并非设计或专门用于军事/航空应用, 以及环境方面的产品, 除非TI 特别注明该产品属于“军用”或“增强型塑料”产品。只有TI 指定的军用产品才满足军用规格。购买者认可并同意, 对TI 未指定军用的产品进行军事方面的应用, 风险由购买者单独承担, 并且独力负责在此类相关使用中满足所有法律和法规要求。

TI 产品并非设计或专门用于汽车应用以及环境方面的产品, 除非TI 特别注明该产品符合ISO/TS 16949 要求。购买者认可并同意, 如果他们在汽车应用中使用任何未被指定的产品, TI 对未能满足应用所需要求不承担任何责任。

可访问以下URL 地址以获取有关其它TI 产品和应用解决方案的信息:

	产品		应用
数字音频	www.ti.com.cn/audio	通信与电信	www.ti.com.cn/telecom
放大器和线性器件	www.ti.com.cn/amplifiers	计算机及周边	www.ti.com.cn/computer
数据转换器	www.ti.com.cn/dataconverters	消费电子	www.ti.com/consumer-apps
DLP® 产品	www.dlp.com	能源	www.ti.com/energy
DSP - 数字信号处理器	www.ti.com.cn/dsp	工业应用	www.ti.com.cn/industrial
时钟和计时器	www.ti.com.cn/clockandtimers	医疗电子	www.ti.com.cn/medical
接口	www.ti.com.cn/interface	安防应用	www.ti.com.cn/security
逻辑	www.ti.com.cn/logic	汽车电子	www.ti.com.cn/automotive
电源管理	www.ti.com.cn/power	视频和影像	www.ti.com.cn/video
微控制器 (MCU)	www.ti.com.cn/microcontrollers		
RFID 系统	www.ti.com.cn/rfidsys		
OMAP 机动性处理器	www.ti.com/omap		
无线连通性	www.ti.com.cn/wirelessconnectivity		
	德州仪器在线技术支持社区		www.deyisupport.com

邮寄地址: 上海市浦东新区世纪大道 1568 号, 中建大厦 32 楼 邮政编码: 200122
Copyright © 2012 德州仪器 半导体技术(上海)有限公司