

ВМСИС

Лекция 6

Хранение данных в ЭВМ

Хранение и передача информации

С древних времен перед человечеством стояла задача хранить и передавать знания и данные

- Учет имущества
- Астрономические наблюдения
- Долги и доходы
- История
- многое другое

Инка и его главный бухгалтер — кипукамайок.

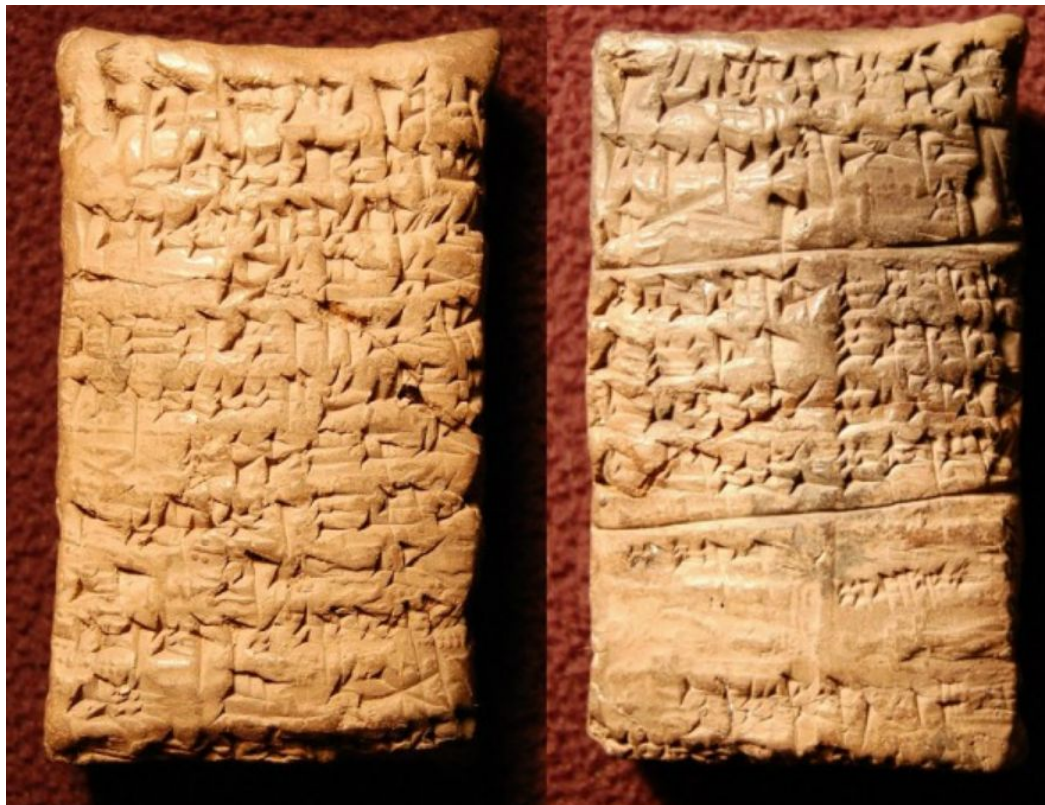
Рисунок из хроники Мартина де Мура. 1590 год



Один из крупнейших накопителей информации древней Южной Америки



Расписка об обмене рабов на масло.



Запись о сборе рыбного оброка.

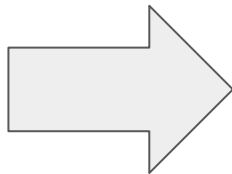


`[Люди] Василя Софонтьева [послали] Овдокиму: Онтан послал два
леща да щуку; из Василевой рыбы леща послал; леща Степан —
четвертого'

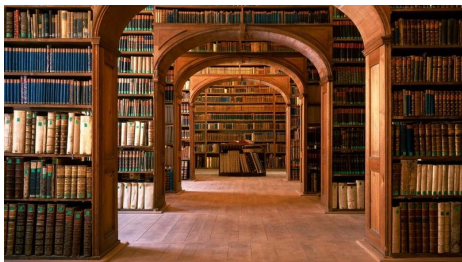
- Копирование традиционных носителей информации не бесплатно
- Копирование может приводить к потерям
- Для хранения требуются очень много пространства
- Легко уничтожается

Хранение данных

- Мир - аналоговый
- Компьютер - цифровой



Данные нужно
“оцифровать”



Однако, все цифровые данные в реальном мире так или иначе хранятся в аналоговом виде

Аналоговые и цифровые данные



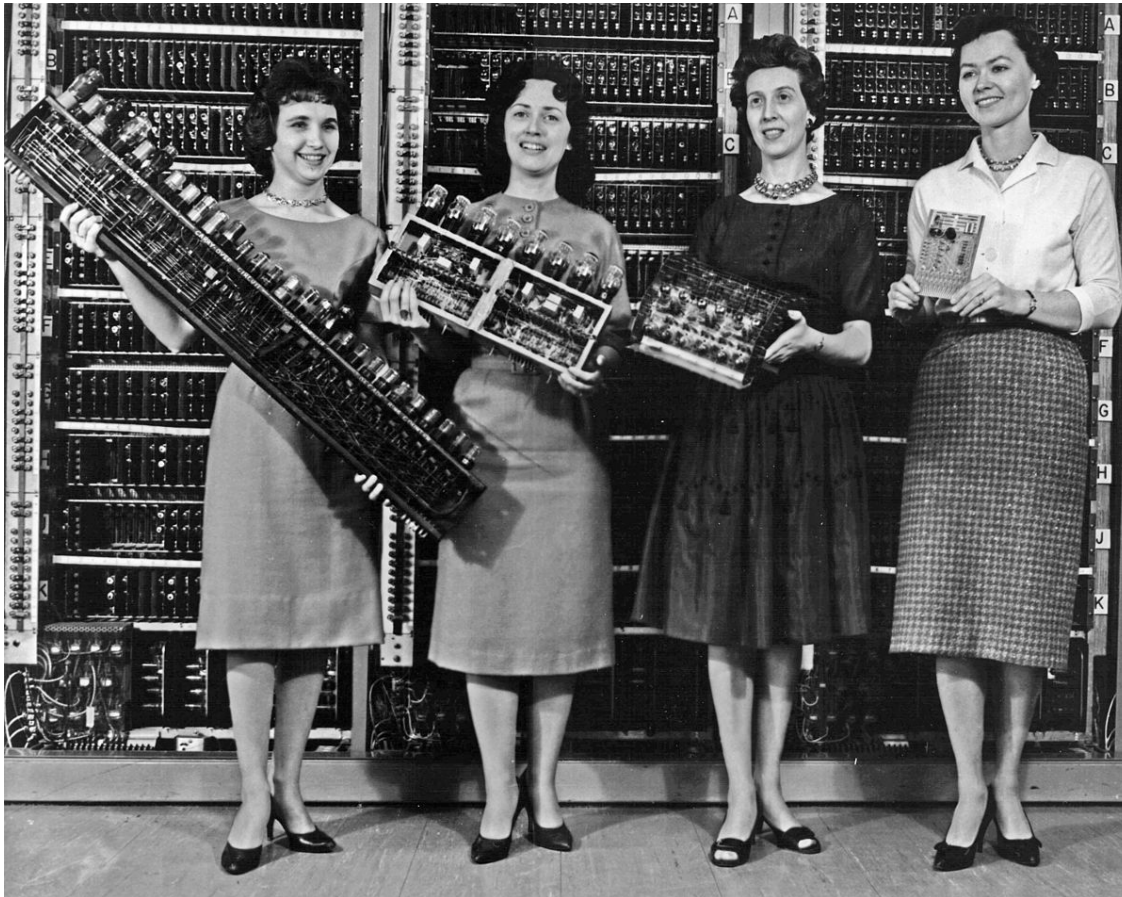
Способы представления цифровых данных в аналоговых носителях

- Электричество
 - Определенные уровни напряжения, например, 0 В - '0', 3 В - '1'
 - Определенные значения протекающего тока
- Магнетизм
 - Ориентация вектора намагниченности для кодирования '0' и '1'
- Другое
 - Отверстия в перфокартах
 - Поглощающие и отражающие свет области на лазерных дисках

Оперативная память VS Постоянная память

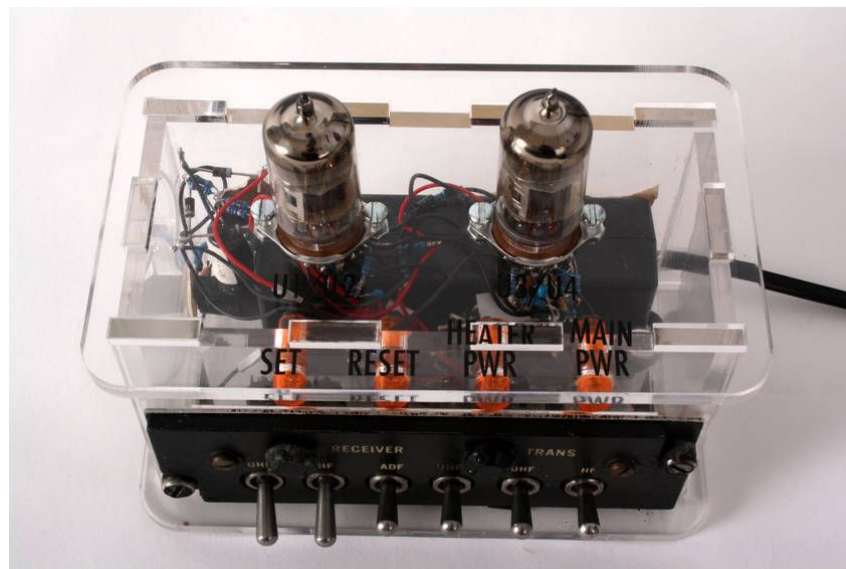
- Произвольный доступ (random access)
- Скорость доступа сравнима со скоростью вычислений
- Времена чтения и записи равны или сравнимы
- Возможность сохранить большие объемы данных
- Сохранение информации при обесточивании ЭВМ
- *Возможность изменения не обязательна*

Триггеры на электронных лампах

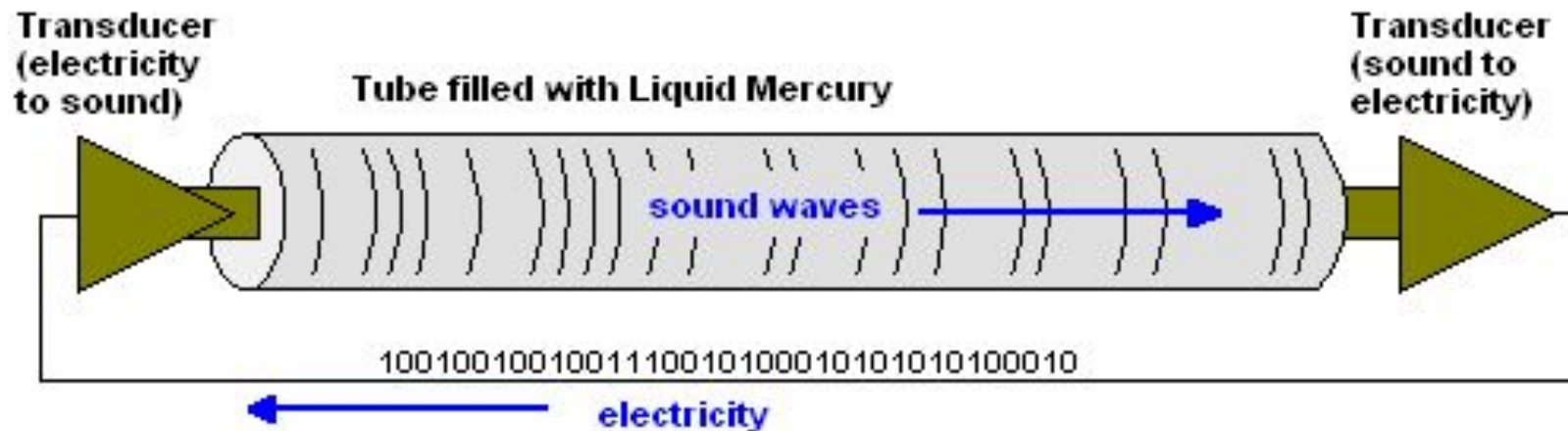


Триггеры на лампах

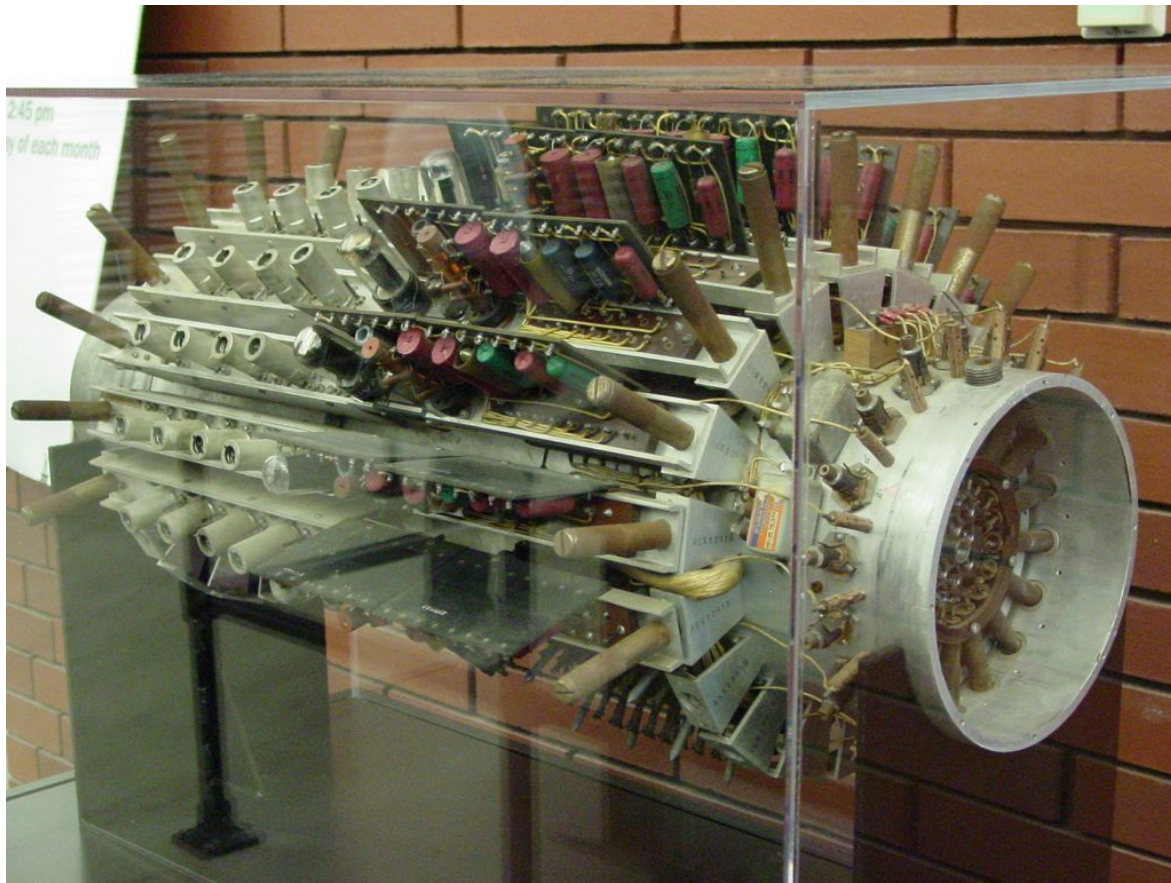
- Один триггер состоял из 2 триодов и сохранял 1 бит информации
- Для сохранения 1 кб данных требовалось более 8000 ламп



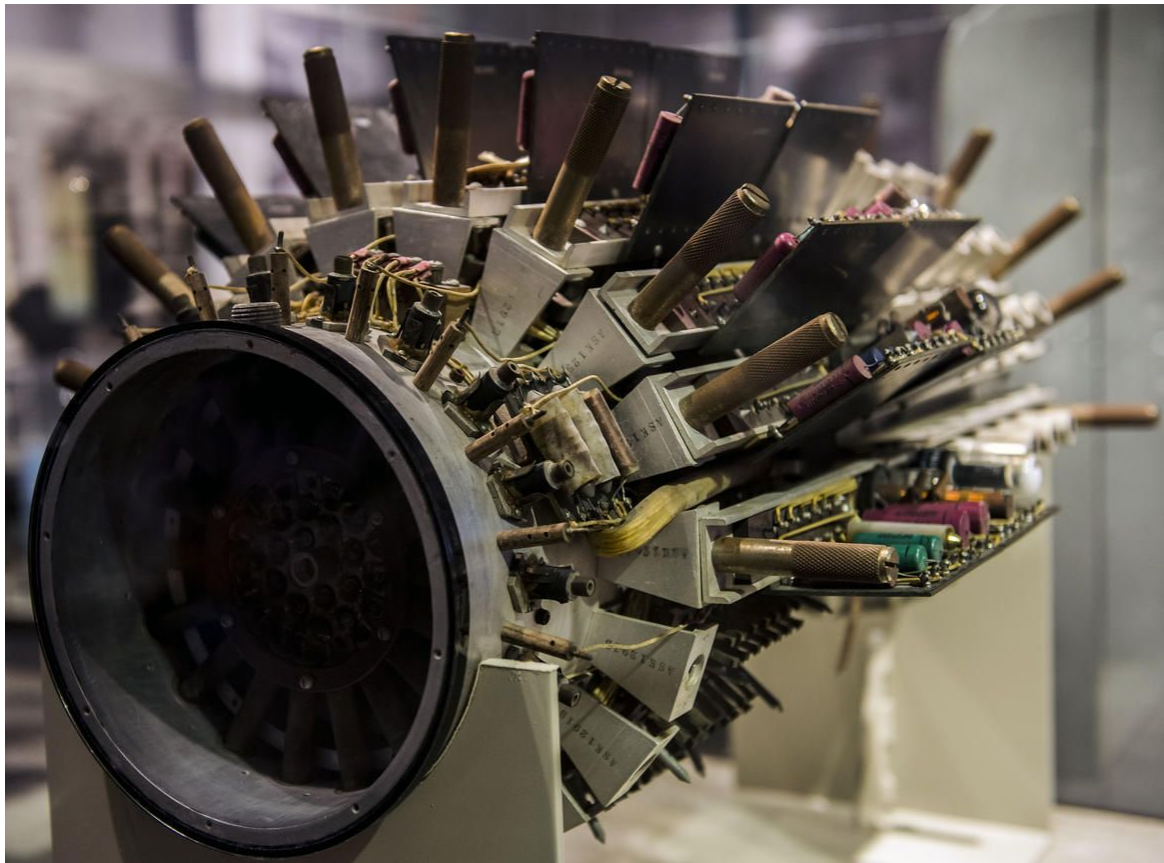
Ртутные линии задержки



Ртутные линии задержки



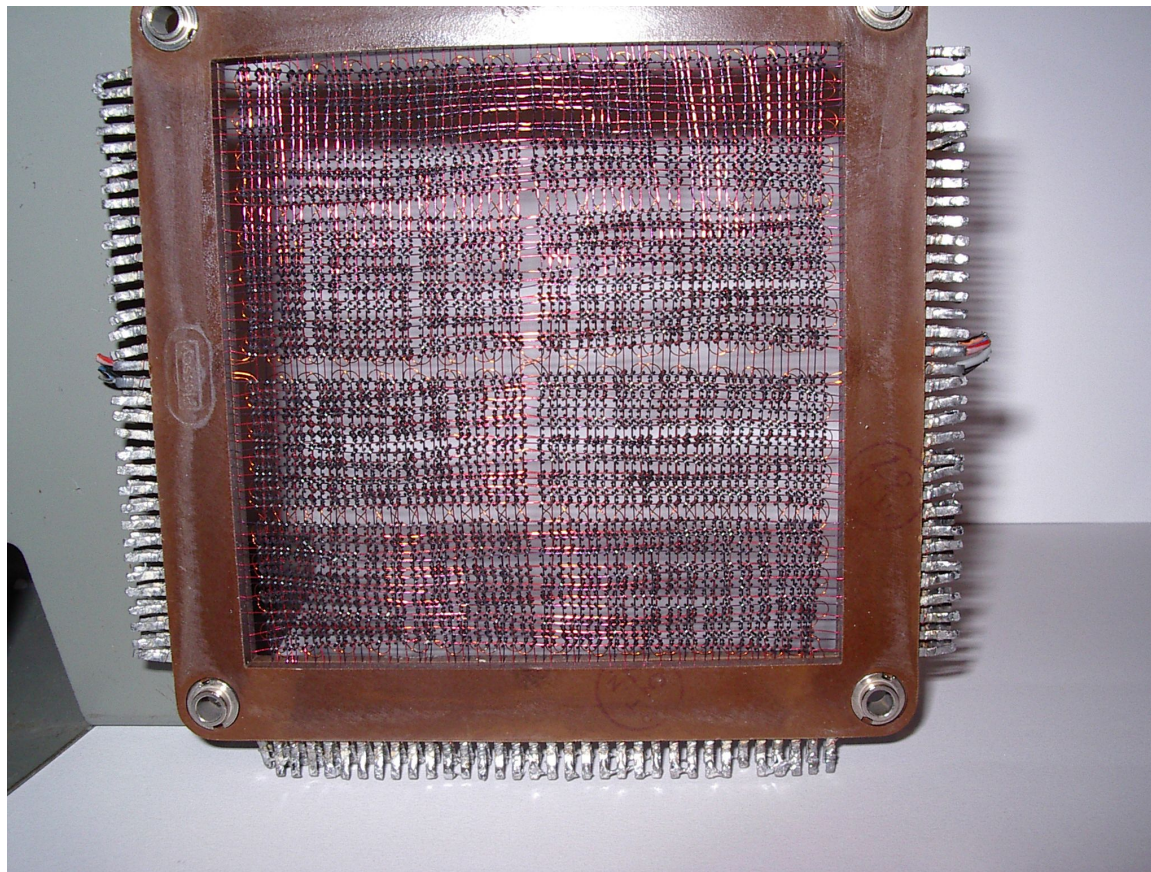
Ртутные линии задержки



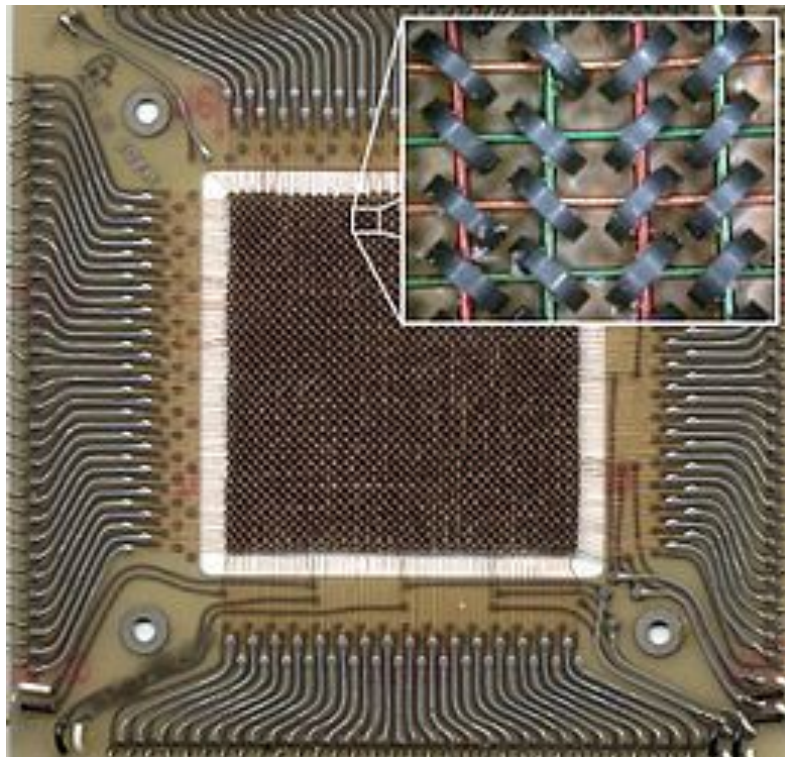
Ртутные линии задержки



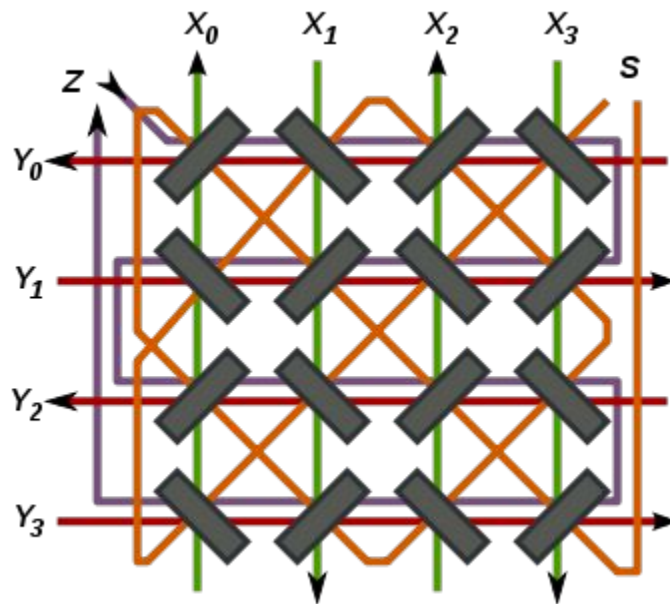
Ферритовые сердечники



Ферритовые сердечники



Принцип работы



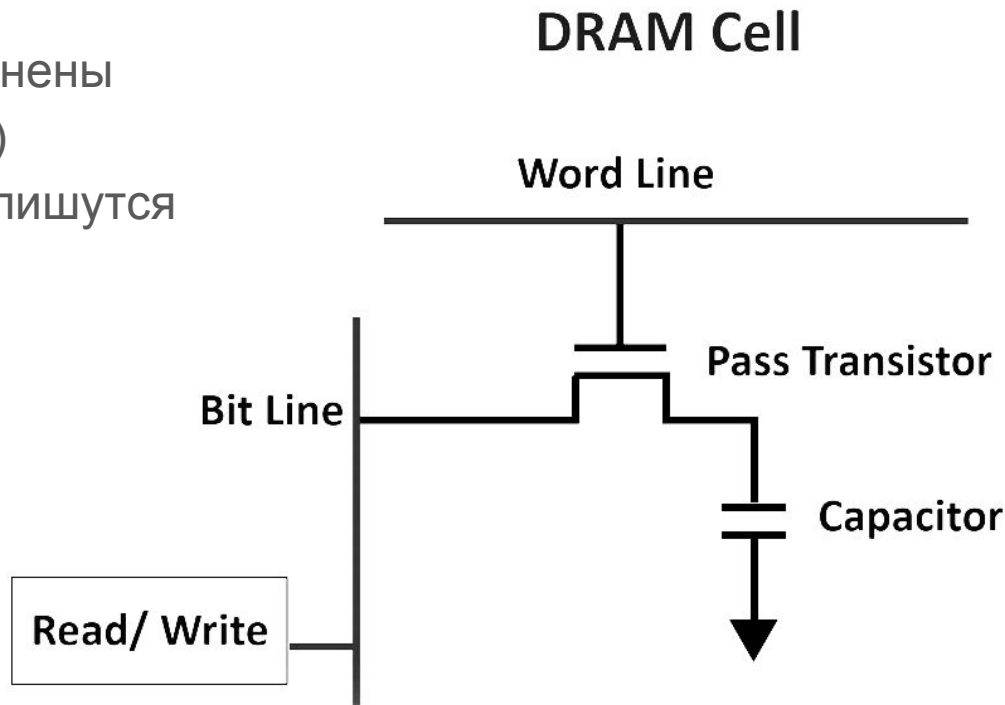
X, Y — провода возбуждения,
 S — считывания,
 Z — запрета

Современный мир

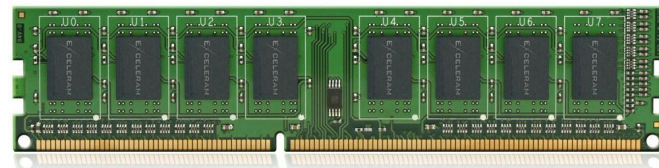
	Static RAM	Dynamic RAM
Применение	CPU Cache	Main RAM
Скорость	Очень высокая	Высокая
Стоимость	Высокая	Дешевле SRAM
Плотность данных	Низкая	Высокая

Принцип работы DRAM (1 транзистор)

- Группы ячеек DRAM объединены в т.н. СЛОВА (8, 16, 32 бита)
- Данные из DRAM читаются/пишутся пословно путем активации транзисторов ячеек памяти
- При записи данных в ячейки подается ток заряжающий конденсатор через линию битов
- При чтении данных из конденсатора “вычитывается” заряд
- Так как конденсаторы подвержены саморазряду, требуется их периодический перезаряд, отсюда - Dynamic RAM



Адресация DRAM

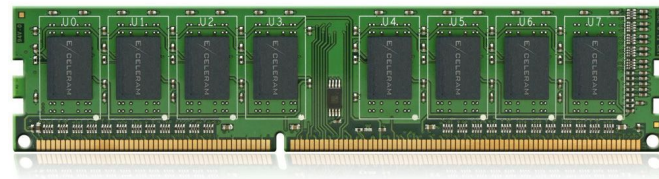


```
----- Memory Characteristics -----
Maximum module speed                1600 MHz (PC3-12800)
Size                                8192 MB
Banks x Rows x Columns x Bits      8 x 16 x 10 x 64
Ranks                               2
```

Информация о модуле:

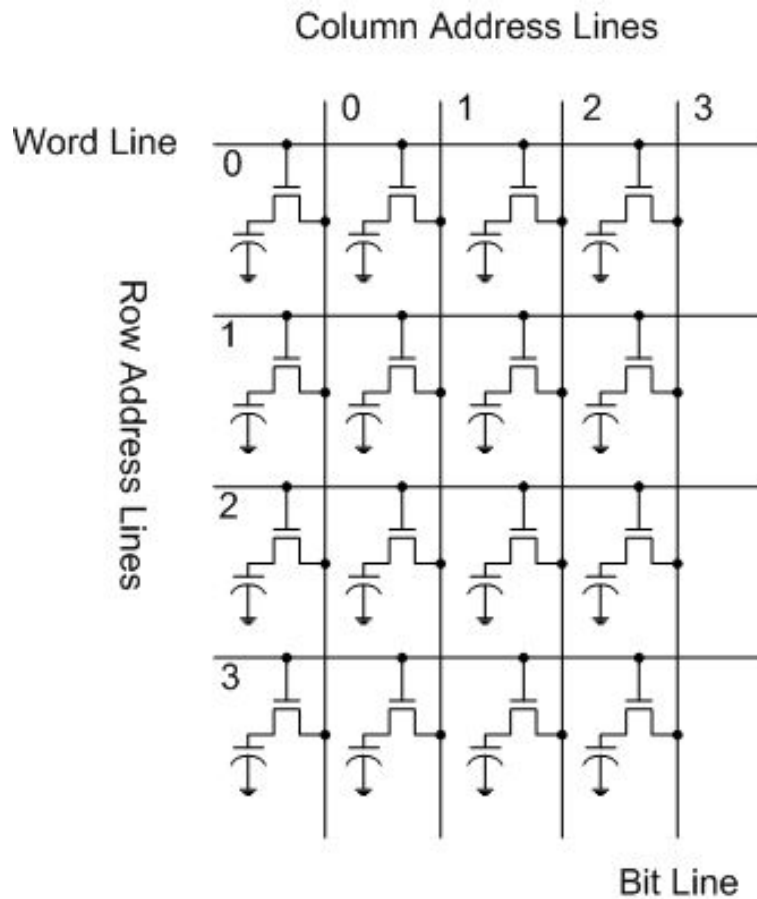
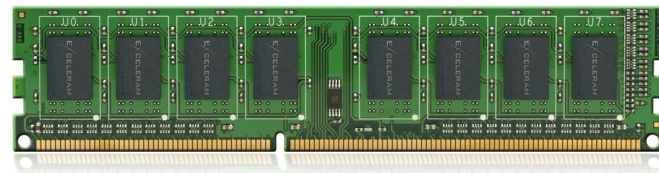
- 2 стороны
- 8 банков
- Каждый банк состоит из 2^{16} рядов (65536 рядов)
- Каждый ряд содержит 2^{10} колонок по 64 бита каждая
 $2^{10} * 64 = 65536$ бит = 8 кб
- Итоговая емкость модуля
 $2 * 8 * 2^{16} * 2^{10} * 64 = 68'719'476'736$ бит = 8'589'934'592 байт = 8 гб
-

Адресация DRAM



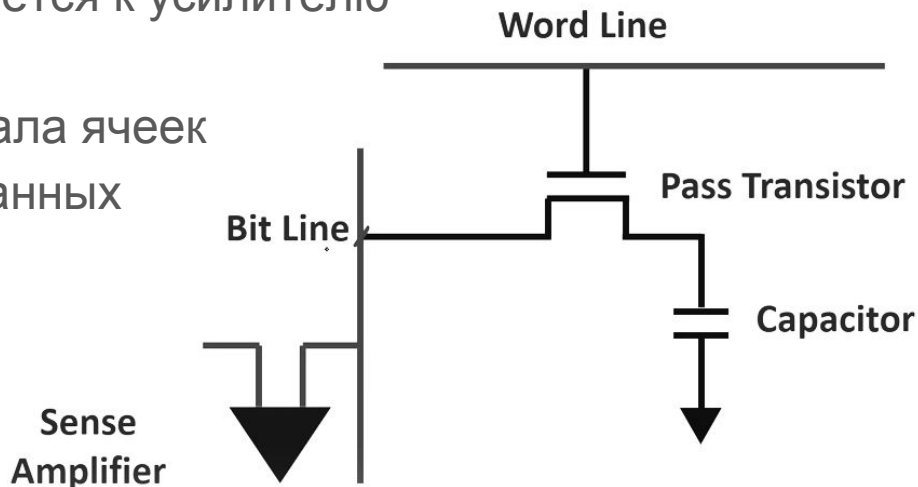
- Для адресации памяти в современных CPU используется 64 битная адресация, что позволяет адресовать до 2^{64} байт (16 экзбайт)
- В адресе кодируется:
 - Номер модуля памяти
 - Сторона модуля
 - Номер банка памяти
 - Ряд в банке памяти
 - Строка в банке памяти
- При запросе данных по определенному адресу контроллер памяти активирует линии адреса в соответствии с определенными битами адреса

Адресация DRAM



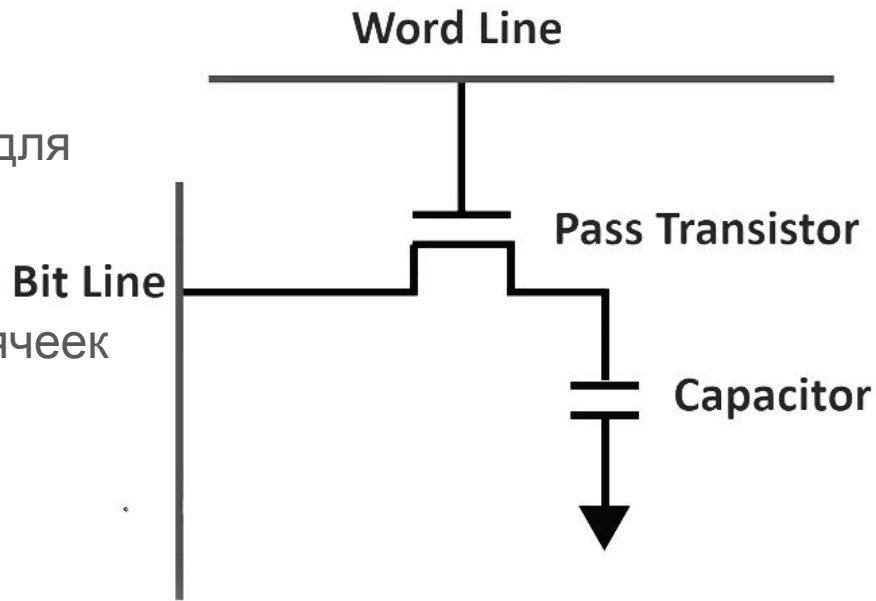
Чтение данных из DRAM

- После активации ячейки памяти напряжение заряд конденсатора устанавливает высокое напряжение на выходе ячейки
- Выход ячейки подключается к усилителю сигнала
- Выход усилителей сигнала ячеек подключается к шине данных модуля памяти и далее данные передаются в CPU
- Конденсатор перезаряжается для возможности повторного считывания

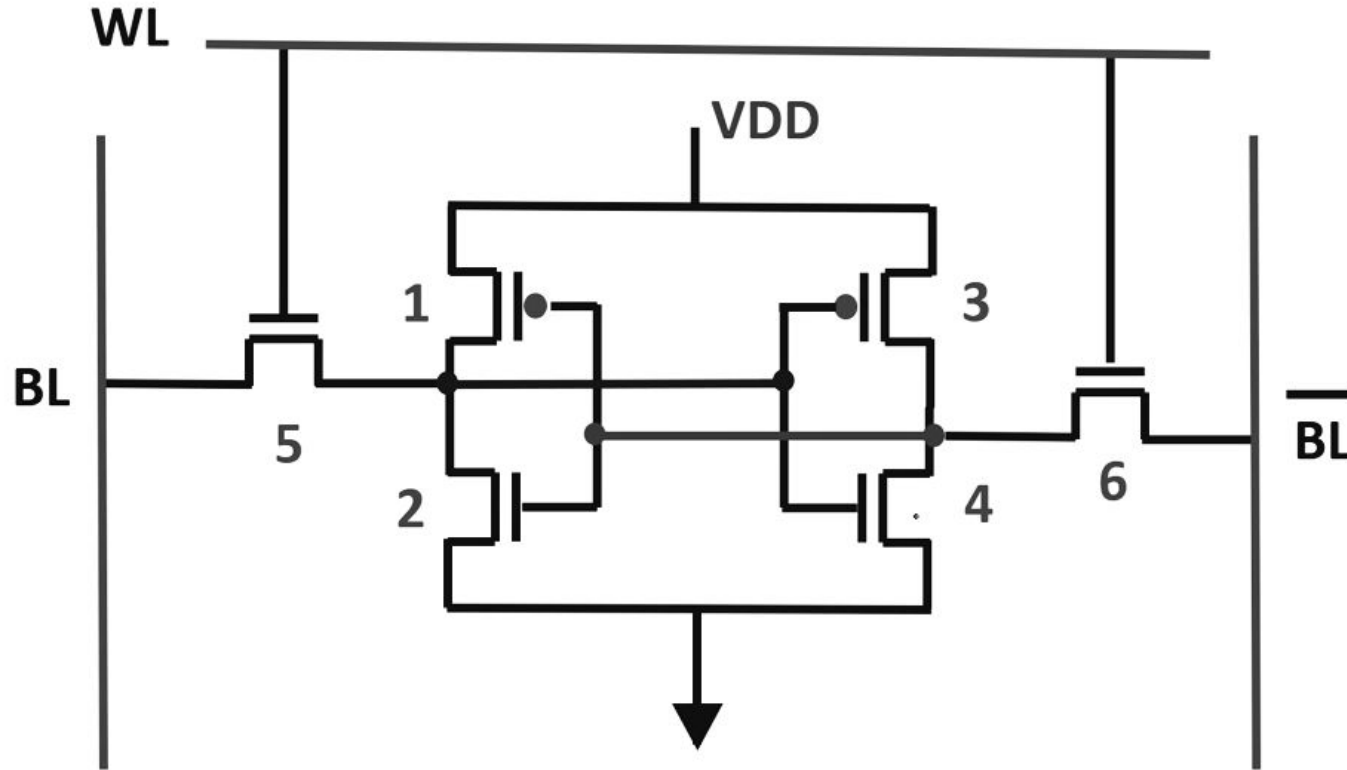


Запись данных в DRAM

- На линии битов подаются данные для записи
- Активируется линия слова
- Происходит заряд конденсаторов ячеек

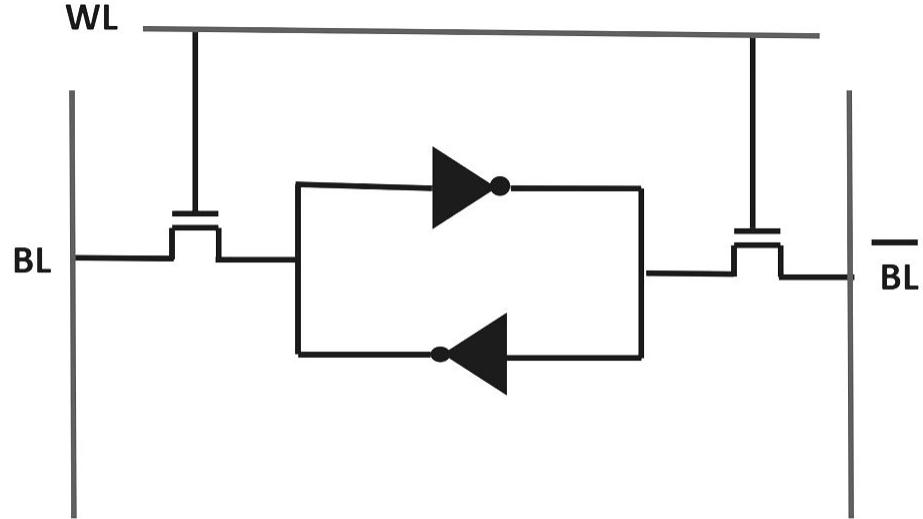


Принцип работы SRAM (6 транзисторов)



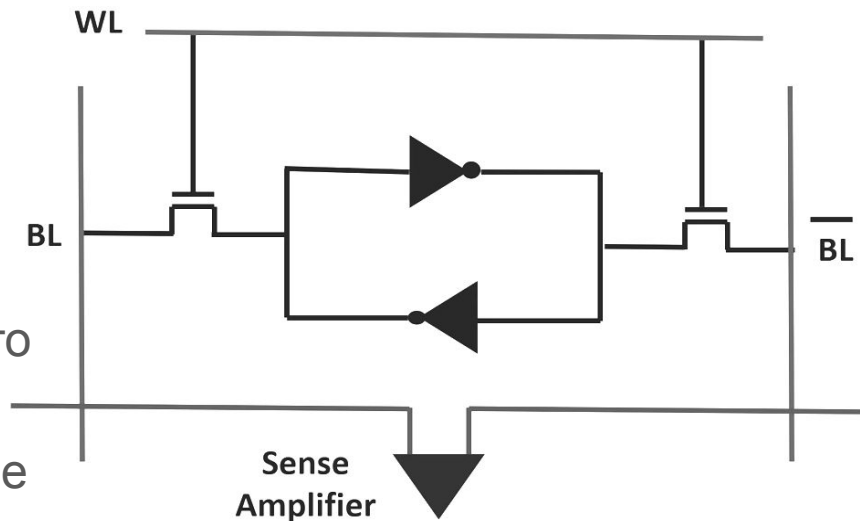
Эквивалентная схема ячейки SRAM

- Для хранения бита данных используется пара закольцованных инверторов
- Нет необходимости в перезарядке конденсаторов
- Использование инверсного входа\выхода повышает скорость чтения\записи



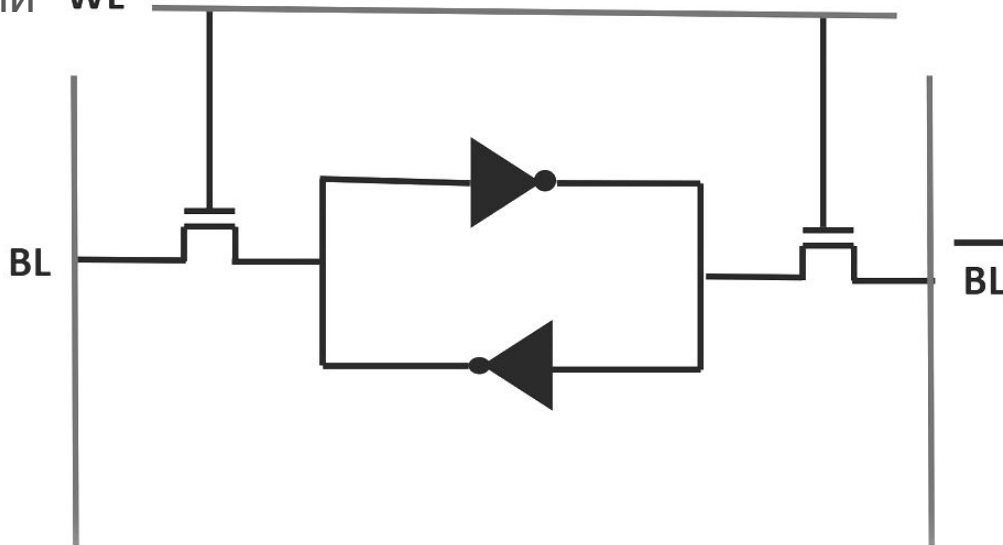
Чтение данных в SRAM

- При активации линии слова прямой и инверсный выходы ячейки попадают на выходной усилитель
- За счет использования инверсного выхода скорость установки стабильного сигнала на усилителе значительно повышается



Запись данных в SRAM

- На прямую и инверсную линии **WL** битов подаются данные
- При активации линии слова происходит одновременная запись данных в каждый из инверторов



Постоянная память

Основные требования к ПЗУ

- Неразрушающее чтение
- Хранение данных в течение долгого времени в выключенном состоянии
- Высокая емкость и плотность записи

Перфокарты и перфоленты

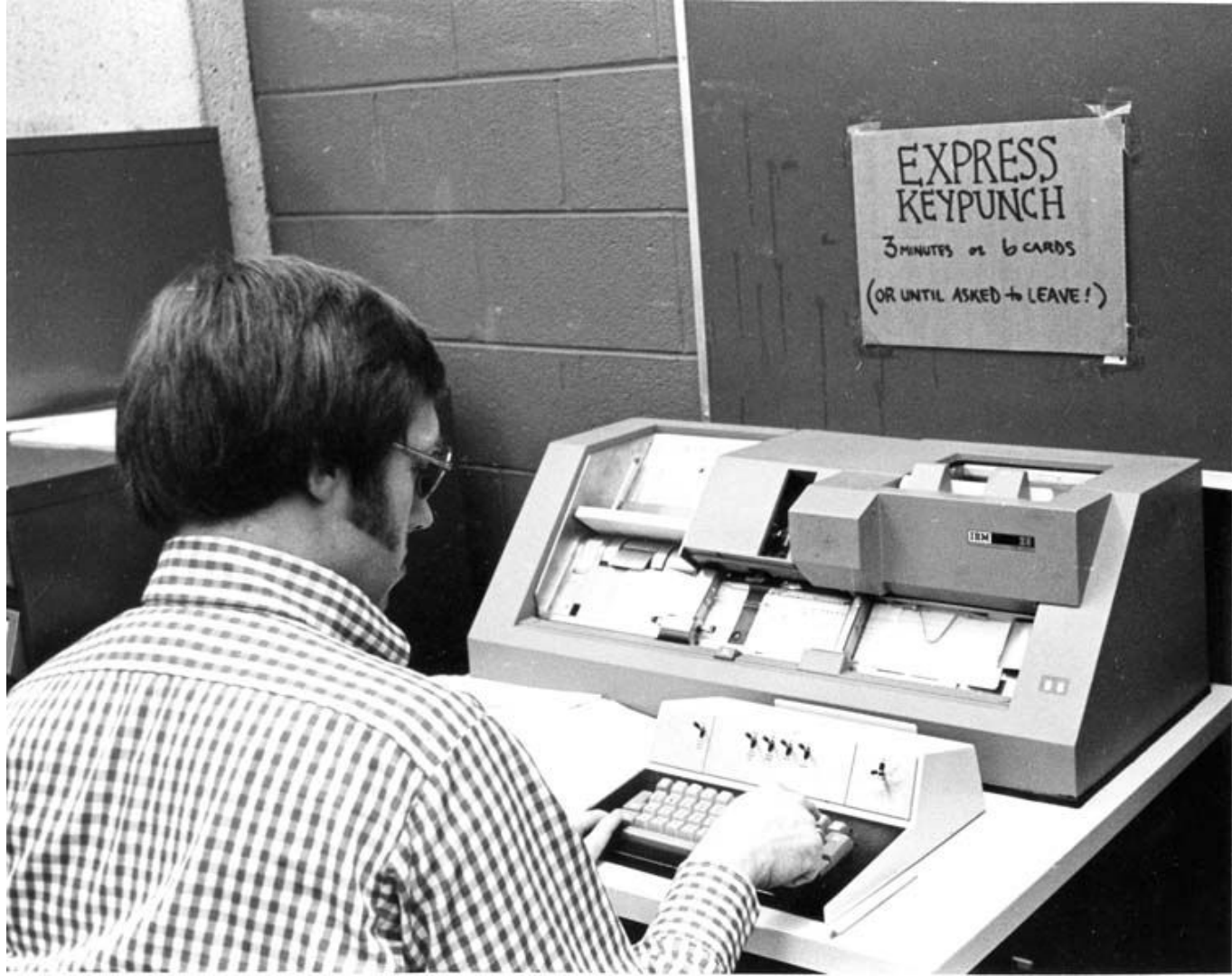
```
//STEP2 EXEC PROC=SLINK, TESTPGM=BADK, ACCT=BADK
```

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 64 65 66 67 68 69 70 71 72 73 74 75 76 77 78 79 80 81 82 83 84 85 86 87 88 89 90 91 92 93 94 95 96 97 98 99 100

[illegible]

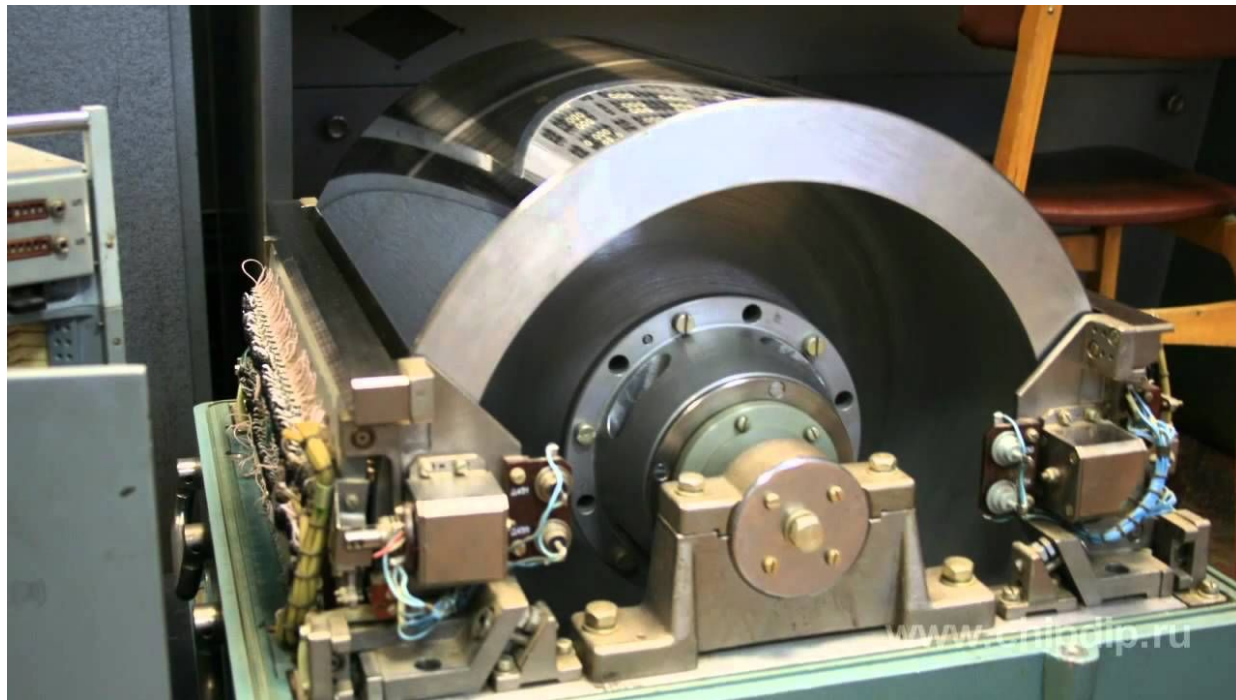
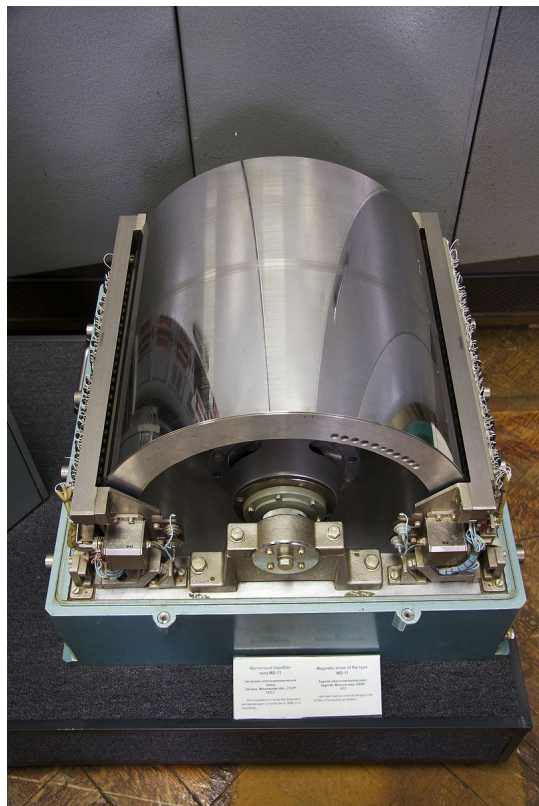
Перфокарты и перфоленты







Магнитный барабан



Гибкие магнитные диски



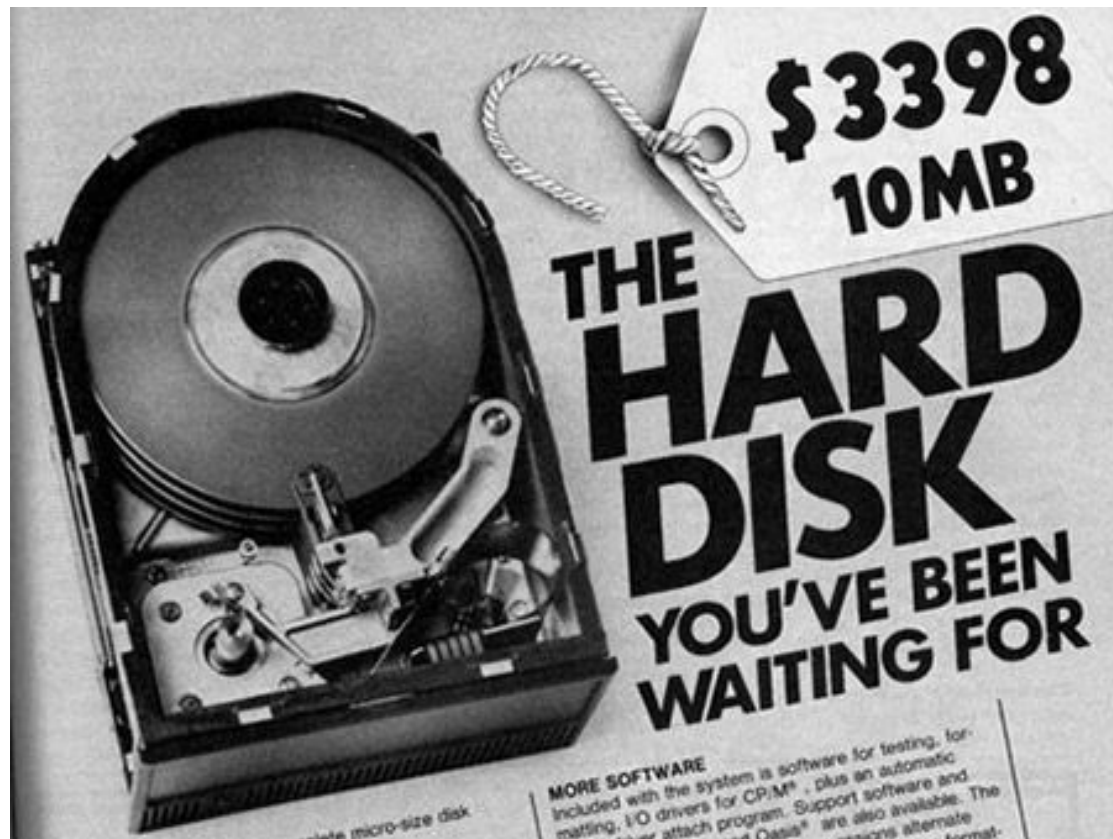
Аудиокассеты







Жесткий диск - hard drive disk



Состав HDD

Блок электроники:

- Контроллер шины IDE/SATA
- Cache память
- Блок управления

Гермозона:

- Малоинерционный шаговый двигатель
- Считывающие головки
- Блок магнитных дисков

Принцип работы

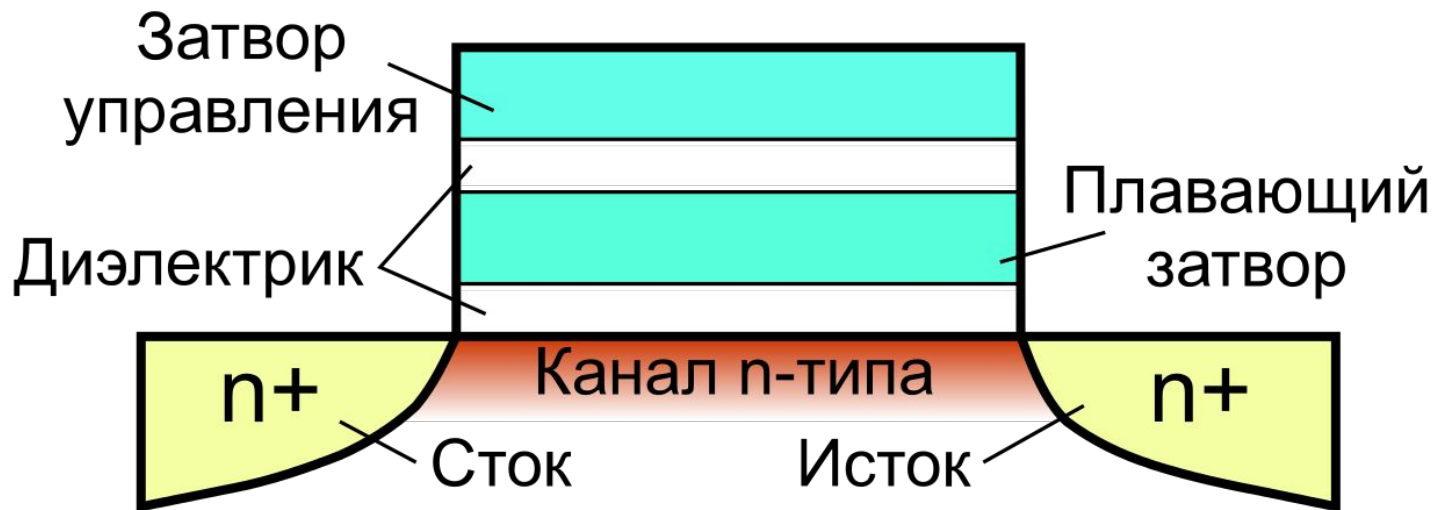


Твердотельные накопители

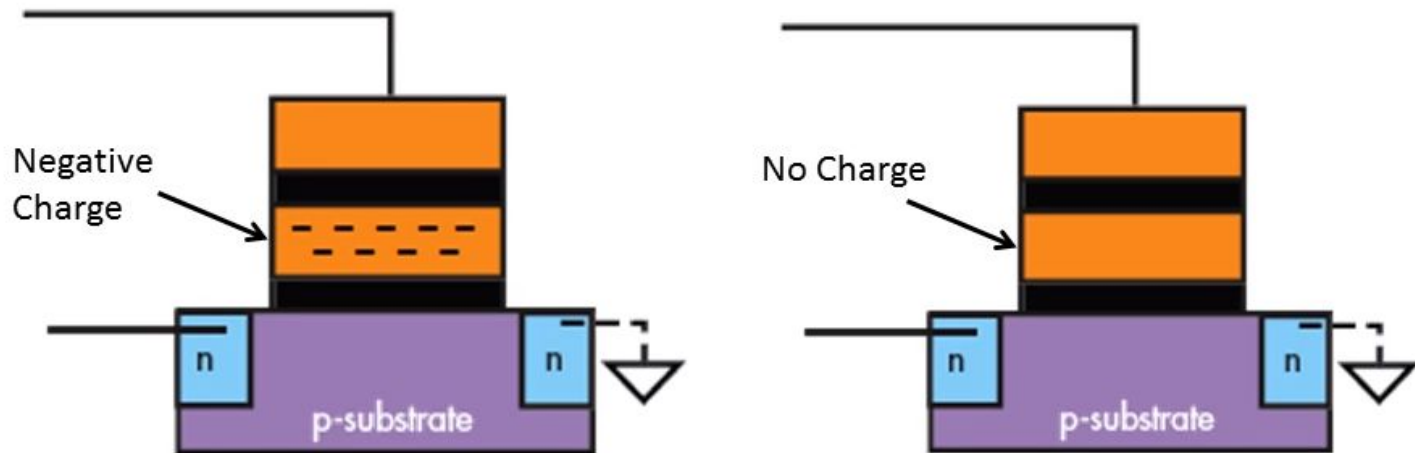


Принцип работы flash-памяти

Затвор с плавающим зарядом



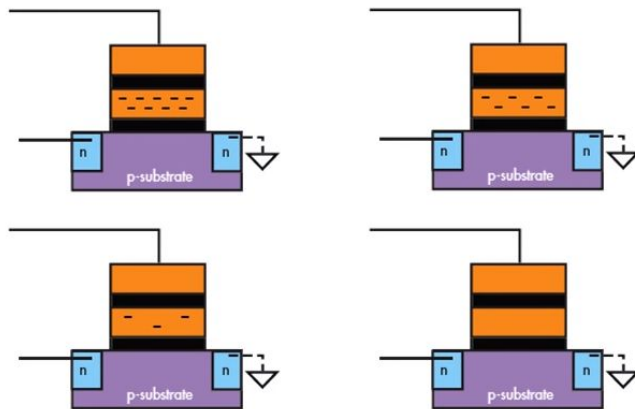
Принцип работы flash-памяти



Ячейка типа SLC - Single Level Cell

- 2 уровня заряда
- 1 бит информации

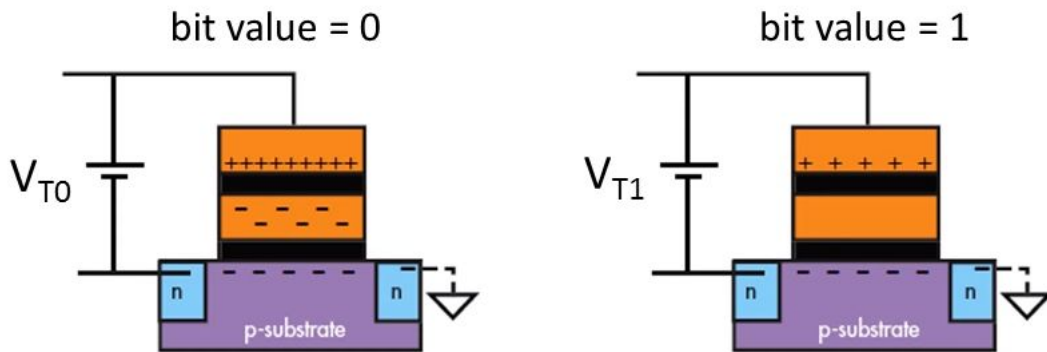
Принцип работы flash-памяти



Ячейка типа MLC - Multi Level Cell

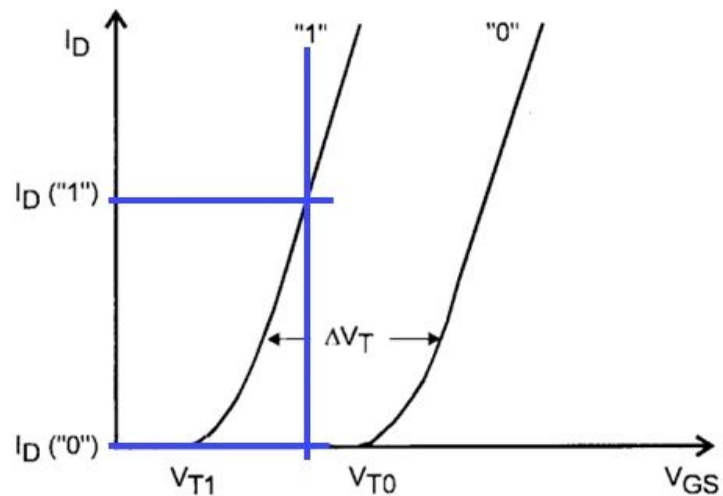
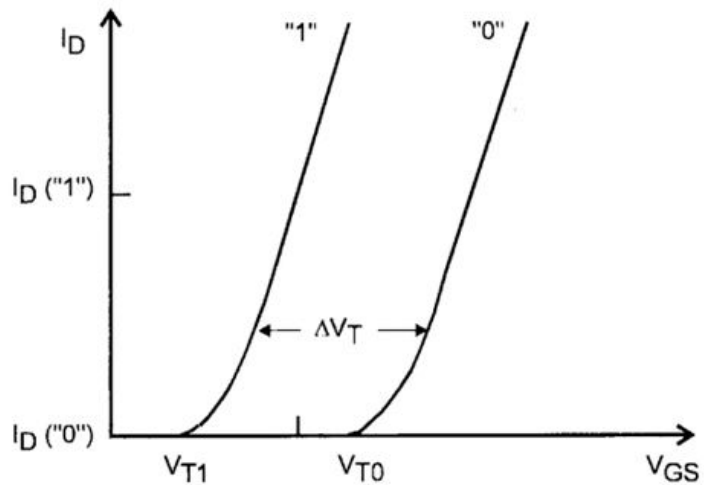
- > 2 уровней заряда
- > 1 бита информации

Чтение flash-памяти



Наличие заряда на плавающем затворе приводит к перемещению носителей заряда на управляющем затворе. Это приводит к изменению ВАХ транзистора.

Чтение flash-памяти



Запись flash-памяти

Необходимо изменить заряд плавающего затвора, но он электрически изолирован.

- Туннельный эффект:
 - Для записи положительного заряда, на управляющий затвор подается высокое положительное напряжение и благодаря туннельному эффекту электроны “пробивают” слой изолятора и покидают плавающий затвор
 - Для записи отрицательного заряда, на управляющий затвор подается высокое отрицательное напряжение и электроны “пробивая” изолятор заполняют плавающий затвор
- Инжекция горячих носителей
 - При протекании тока высокого напряжения между истоком и стоком электроны могут преодолевать изолятор и попадать в плавающий затвор

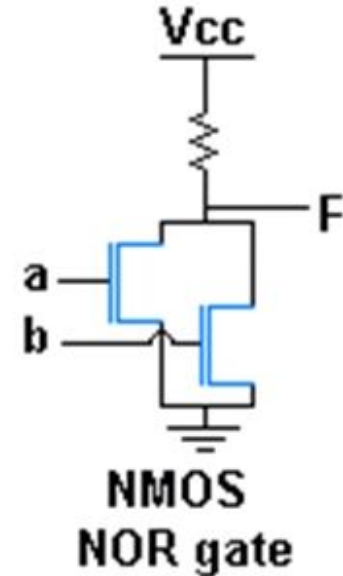
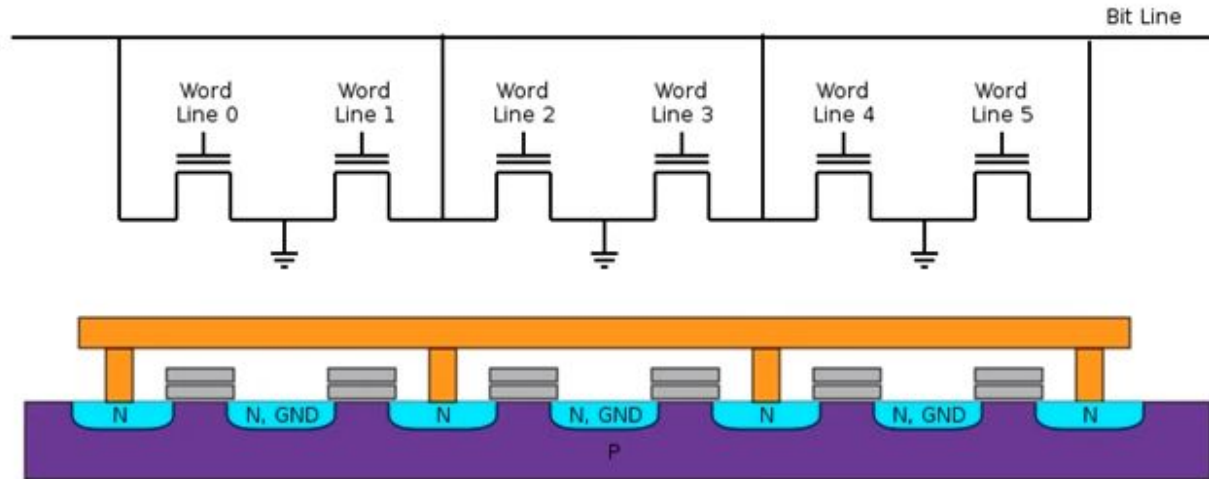
Каждая запись повреждает слой оксида, что ограничивает количество записей

SLC и MLC память

	SLC	MLC
Плотность записи	Ниже	Выше
Стоимость	Выше	Ниже
Износостойкость	100к записей	10к записей

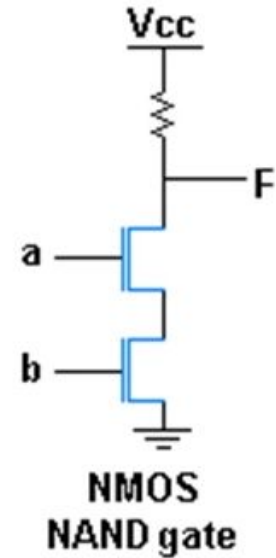
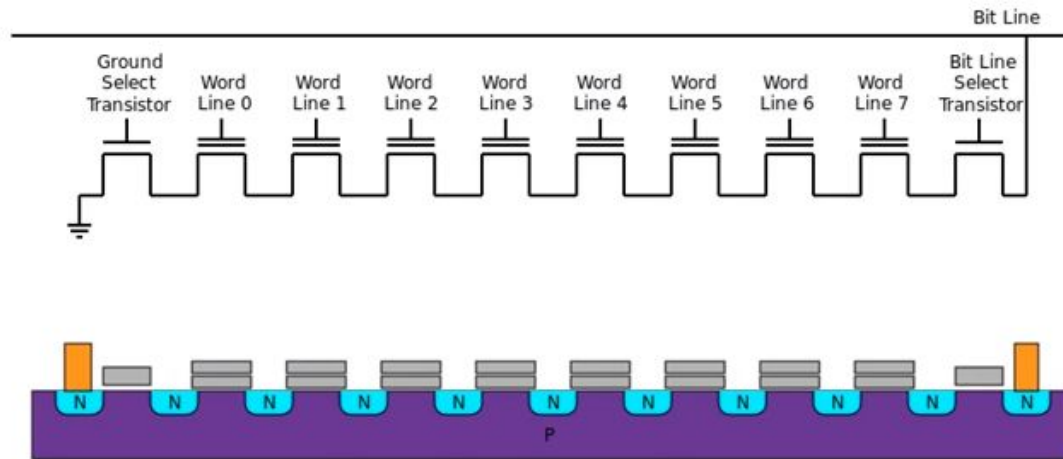
Организация ячеек flash-памяти

NOR-flash



Организация ячеек flash-памяти

NAND-flash

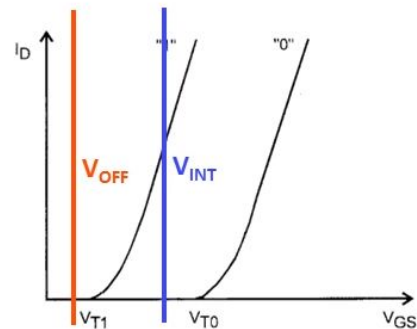
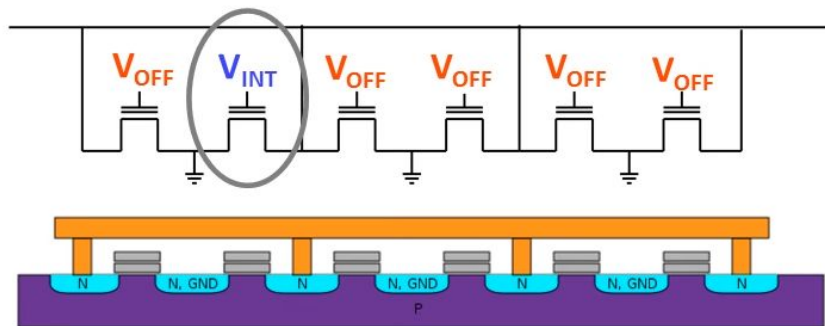


NOR и NAND

	NOR	NAND
Плотность данных	Ниже	Выше
Скорость чтения	Выше	Ниже
Используется в	Микроконтроллеры	Накопители: SSD, USB flash, SD карты

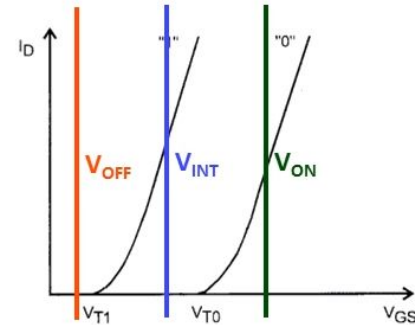
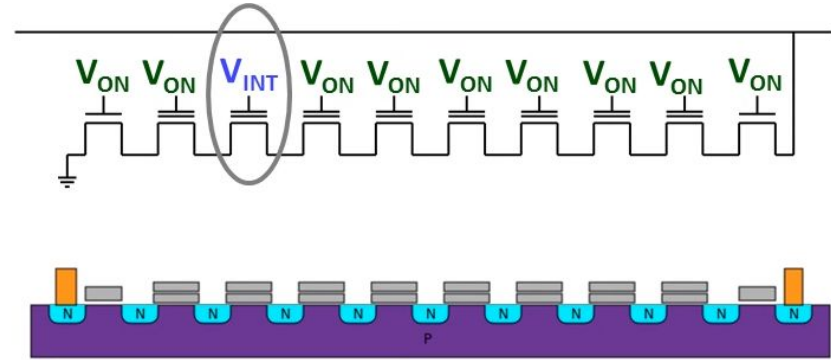
Чтение массива NOR памяти

- На целевую ячейку подается промежуточное напряжение, открывающее затвор только при наличии заряда на плавающем затворе
- На остальные ячейки подается напряжение отсечки - закрывающее транзистор
- Если протекающий через транзистор ток превышает пороговое значение, то ячейка хранит '1', иначе - '0'



Чтение массива NAND памяти

- На целевую ячейку подается промежуточное напряжение, открывающее затвор только при наличии заряда на плавающем затворе
- На остальные ячейки подается высокое напряжение полностью открывающее транзистор
- Целевая ячейка задает ток всей цепи
- Если протекающий ток выше порогового, то ячейка хранит '1'

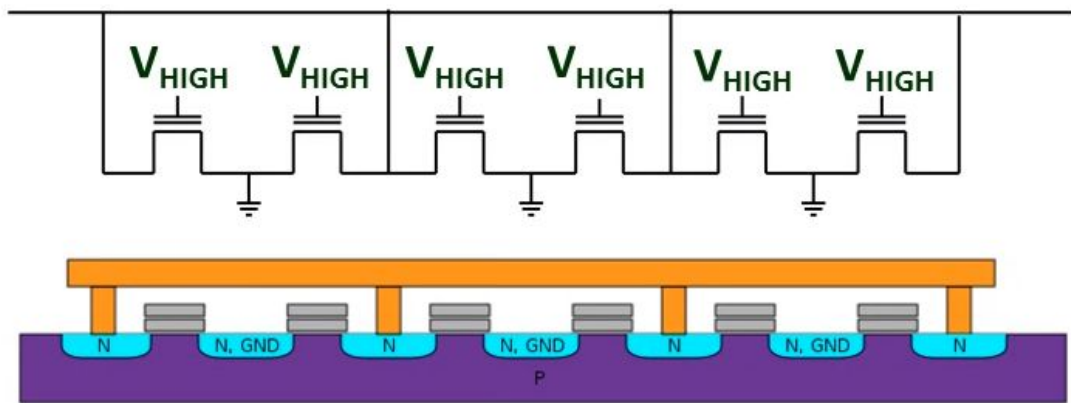


Запись массива данных

Запись flash памяти осуществляется в два этапа:

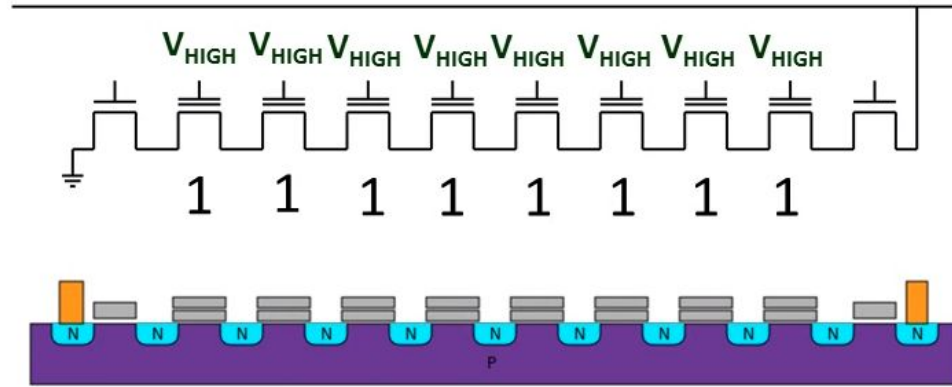
1. Запись '1' в каждую ячейку
2. Обнуление определенных ячеек путем занесения отрицательного заряда в плавающий затвор

Стирание NOR памяти



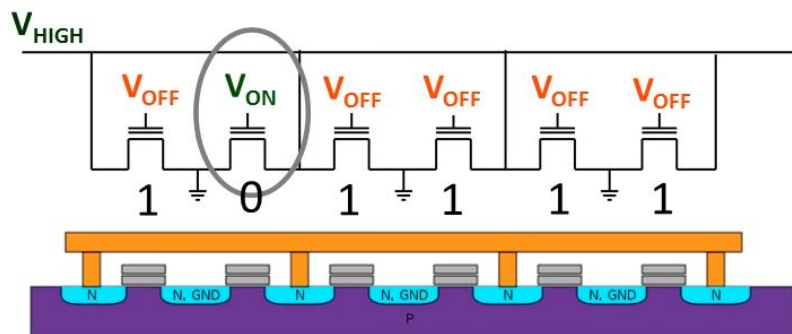
На управляющий затвор ячеек подается высокое отрицательное напряжение и электроны покидают плавающий затвор

Стирание NOR памяти



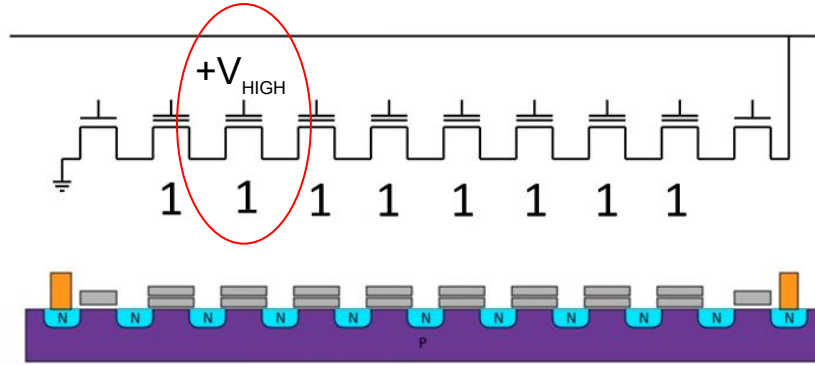
На управляющий затвор ячеек подается высокое отрицательное напряжение и электроны покидают плавающий затвор

Запись NOR памяти



- К истоку транзистора прикладывается высокое положительное напряжение
- На затвор целевой ячейки подается напряжение открывающее транзистор
- Благодаря эффекту инжекции горячих носителей электроны пробивают изолятор и попадают на плавающий затвор

Запись NAND памяти



- К истоку транзистора прикладывается высокое положительное напряжение
- На затвор целевой ячейки подается напряжение открывающее транзистор
- Благодаря эффекту инжекции горячих носителей электроны пробивают изолятор и попадают на плавающий затвор