# آیا جزوه را از سایت ما دانلود کرده اید؟

# كتابخانه الكترونيكي PNUEB

پیام نوری ها بشتابید

مزایای عضویت در کتابخانه PNUEB:

دانلود رایگان و نامحدود خلاصه درس و جزوه

دانلود رایگان و نامحدود حل المسائل و راهنما

دانلود كتابچه نمونه سوالات دروس مختلف

پیام نور با جواب

# WWW.PNUEB.COM

# تنابچه نمونه سوالات چیست،

سایت ما (فتفار دارد برای اولین بار در ایران توانسته است کتابچه نمونه سوالات تمام دروس پیام نور که هر یک عاوی تمامی آزمون های برگزار شده پیام نور (تمامی نیمسالهای موجود حتی الامکان با جواب) را در یک فایل به نام کتابچه جمع آوری کند و هر ترم نیز آن را آیدیت نماید.

# مراحل ساخت یک کتابچہ نمونہ سوال

(برای آشنایی با زحمت بسیار زیاد تولید آن در هر ترم) :

دسته بندی فایلها — سرچ بر اساسی کد درس — پسباندن سوال و بواب — پیدا کردن یک درسی در نیمسالهای مغتلف و پسباندن به کتابچه همان درس — پسباندن نیمسالهای مغتلف یک درس به یکدیگر — وارد کردن اطلاعات تک تک نیمسالها در سایت — آپلود کتابچه و فیلی موارد دیگر..

همچنین با توجه به تغییرات کدهای درسی دانشگاه استثنائات زیادی در سافت کتابچه بوجود می آید که کار سافت کتابچه را بسیار پیچیده می کند .

# WWW.PNUEB.COM

# دانلود کتاب درسی کتابخانه الکترونی دانشگاه پیام نور دانلود خلاصه دروس دانلود نمونه سوال چندین دوره با جواب دانلود حل المسائل www.pnueb.com خبرنامه اس

# فهرست

فحه	عنوان ص
۴	فصل اول : مدارهای منطقی دیجیتال
۲۷	فصل دوم : اجزاء و قطعات دیجیتال
۴۴	فصل سوم .: نمايش اطلاعات
۵۷	فصل چهارم.: عمليات نقل و انتقال ثبات ها
٧٣	فصل پنجم.: اصول تشکیلات و طراحی کامپیوتر
94	فصل ششم : برنامه نویسی با کامپیوتر مبتا
171	فصل هفتم: كنترل ميكروپروگرام
۱۳۸	فصل هشتم : پردازشگر(cpu) یا پروسسور
184	فصل نهم:. خطوط لوله و پردازش موازی
۱۷۵	فصل دهم : محاسبات كامپيوتر
۲۱.	فصل یازدهم :. تشکیلات ورودی و خروجی
771	فصل دوازدهم : تشكيلات حافظ
745	فصل سیزدهم : مالتی پروسسورها یا چند پردازندهها

#### مسائل فصل اول: مدار هاى منطقى ديجيتال

۱-۱)با استفاده از جدول درستی صحت تئوری دمورگان را برای سه متغیر تحقیق کنید.

$$(ABC)' = A' + B' + C'$$

#### حل:

استفاده از جدول درستی برای بررسی صحت طراحی مدارات ترکیبی بسیار معمول است. در کاربردی دیگر می توان از آن برای اثبات بعضی از روابط به ظاهر عجیب استفاده نمود. چرا که ما در اینجا با تعداد محدودی ورودی سر و کار داریم.

مثلاً برای اثبات یک رابطه ریاضی به هیچ عنوان معقول نیست که تمام اعداد مجموعـهٔ R یـا Z را در رابطهٔ اول گذاشته و برابری آن را با رابطهٔ دوم نشان داد. البته شاید این روش در حـل یـک تـست ریاضی بسیار مفید واقع شود.

در این سؤال ما ۳ متغیر داریم بنابراین حداکثر <sup>۲۳</sup> ورودی مختلف خواهیم داشت کـه آنهــا را بــه روابط هر دو طرف تساوی اعمال میکنیم و از تساوی خروجیها، درستی رابطه را اثبات میکنیم.

Α	В	C	(ABC)'	A'+B'+C'
•	٠	٠	١ =	= \
•	٠	١	١ =	١ ،
•	١	•	, =	-
•	١	١	١ =	1
١	•	٠	١ =	= 1
١	•	١	١	_ \
1	١	•	١	١
١	١	١	•	•

جدول درستی یک تابع OR انحصاری (تابع فرد) سه متغیر را تشکیل دهید.

$$X = A \oplus B \oplus C$$

#### حل:

OR عملگر  $\oplus$  (ExcluSive OR) در واقع خود یک تابع می،باشید که با عملگرهای پایه AND و NOT تعریف میگردد.

 $A \oplus B = A.\overline{B} + \overline{A}.B$ 



Α	В	A⊕B
٠	•	•
•	١	1
١	•	1
1	١	•

با استفاده از جدول مشاهده می کنیم که  $A \oplus B$  تنها زمانی برابس  $\frac{1}{2}$  خواهد بسود که دو ورودی متفاوت داشته باشیم. یا به بیانی دیگر تعداد یکها در ورودی فرد باشد.

خروجی  $X=A\oplus B\oplus C$  تنها زمانی برابر ۱ خواهد بود که تعداد ۱ها در ورودی فرد باشند.

Α	В	C	А⊕В	X=A⊕B⊕C
•	•	•	•	•
•	٠	١	•	١
•	١	•	١	١
	١	١	١	
١	•		١	١
١	•	١	١	•
١	١			
١	١	١		,
				I

۱-۲) عبارات زیر را با استفاده از جبر بول ساده کنید:

$$(-)$$
 AB+AB'=A.B+A.B'=A.(B+B')=A.

$$_{5}$$
) A'BC+AC=C.A'.B+C.A=C.(A'.B+A)

$$=C.(A+(A'.B))=C.((A+A').(A+B))$$

$$=C.(\cdot.(A+B))=C(A+B)$$

$$A'B+ABC'+ABC=A'B+AB(C'+C)=A'B+AB$$

$$=BA+BA'=B(A+A')=B.$$
\=B



اگر بخواهیم این محاسبات را با محاسبات آنالوگ مقایسه کنیم مثل این است که گفته شود عبارت

$$A \neq A$$
 را ساده کنید که به راحتی می توان فهمید که برابر  $A \neq A$  و B را ساده کنید که به راحتی می توان فهمید که برابر  $A \neq A$  و B را ساده کنید که به راحتی می توان فهمید که برابر  $A \neq A$  و B را ساده کنید که به راحتی می توان فهمید که برابر  $A \neq A$  و B را ساده کنید که به راحتی می توان فهمید که برابر  $A \neq A$  و  $A \neq A$  و اهد بود اگر  $A \neq A$  و  $A \neq A$ 

همچنین برای راحتی در نوشتار علامت AND (.) را حذف میکنیم.

۱-۳) عبارات زیر را با استفاده از جبر بول ساده کنید:

الف) (BC'+A'D)(AB'+CD') (ب AB+A(CD+CD')

حل:

چنانچه مشاهده می شود، هیچ عامل مشترکی را نمی توان فیاکتور گرفت (فیاکتورگیری دیجیتالی) بنابراین عبارت را بسط می دهیم تا شاید جملاتی نظیر +='BB' و ... در ساده سازی به میاکند.

$$(B\overline{C} + \overline{A}D)(A\overline{B} + C\overline{D}) = B\overline{B}\overline{C}A + A\overline{A}\overline{B}D + C\overline{C}\overline{B}D + D\overline{D}\overline{A}C$$

= 0 + 0 + 0 + 0 = 0

راه دیگر سادهسازی این عبارات استفاده از جدول کارنو و جدول درستی می باشد.

۱-٤) با استفاده از تئوری دمورگان نشان دهید که:

حا ::

توضیحی در رابطه با تئوری دمورگان

$$(A+B)'=A'+B'$$
  
 $(A+B+C)'=(A+X)'=A'X'=A'(B+C)'=A'(B'C')=A'B'C'$ 

تئوریهای دمورگان برای هر تعداد متغیر، باید ابتدا به شکل دو متغیری درآید و سپس با جایگزین کردنهای متوالی، مشابه فوق، نتیجه نهایی حاصل میگردد.

$$(A+B+C+D+...+F)'$$
 =A'B'C'D'...F'

(ABCD...F)'=A'+B'+C'+D'+...+F'

فرم کلی تئوری دمورگان بیان مینماید که مکمل یک تابع با تعویض AND به OR و مکمل کردن متغیرها بدست می آید.

الف (A+B)'(A'+B')'=A'B'.AB=(AA')(BB')= . . = .



$$(A+A'B+A'B'=[A'.(A+\overline{B}).(A+B)]'=$$

$$=[A'.[A+(B.B')]]'=[A'.A]'=[\cdot]'=1$$

۱-۵) با فرض عبارت بولی 'F=x'y+xyz'

الف) یک عبارت جبری برای متمم، 'F بدست آورید.

F+F'=1 ج) نشان دهید که FF'=0 ج) نشان دهید که

حل:

الف: 
$$(X + \overline{y}).(\overline{X} + \overline{y} + z)]' \Rightarrow F' = (x + \overline{y}).(\overline{x} + \overline{y} + z)$$

$$= x\overline{x} + x\overline{y} + xz + \overline{y}\overline{x} + \overline{y}\overline{y} + \overline{y}z = \overline{y}(x + \overline{x}) + \overline{y} + \overline{y}z + xz$$

$$= \overline{y}(1 + z) + xz = \overline{y} + xz$$

$$= \overline{y}(1 + z) + xz = \overline{y} + xz$$

$$= \overline{y}(1 + z) + xz = \overline{y} + xz$$

$$= \overline{y}(1 + z) + xz = \overline{y} + xz$$

$$= \overline{y}(1 + z) + xz = \overline{y} + xz$$

$$+ xyz\overline{z} = x + xy\overline{z}(\overline{y} + xz) = \overline{x}y\overline{y} + \overline{x}xyz + x\overline{z}y\overline{y}$$

$$+ xyz\overline{z} = x + xy\overline{z} + xy\overline{z} + xy\overline{z} + xz = z$$

$$= \overline{x}y(z + \overline{z}) + xy\overline{z} + xy\overline{z} + xy\overline{z} + xy\overline{z} + y$$

$$= \overline{x}yz + \overline{x}y\overline{z} + xy\overline{z} + xy\overline{z} + xy\overline{z} + xy\overline{z} + y$$

$$= \overline{x}y + xy + \overline{y}(1 + xz) = y(x + \overline{x}) + \overline{y} = y + \overline{y} = 1$$

F = Xy'Z + x'y'Z + xyZ با فرض تابع بول ۱-۱) با فرض

الف) جدول درستی تابع را بدست آورید.

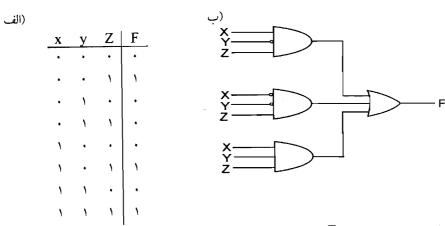
ب) دیاگرام منطقی را با استفاده از عبارت بولی اصلی رسم کنید.

ج) عبارت جبری را با به کار گیری جبر بول ساده کنید.

د) جدول درستی را با استفاده از عبارت ساده شده تابع تشکیل داده و نشان دهید که همان جدول بخش (الف) است.

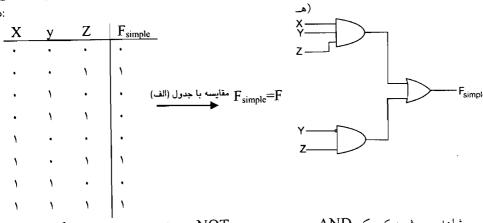
هـ) دیاگرام منطقی را با استفاده از عبارت ساده شده بدست آورده و تعداد کل گیتها را با دیاگرام بخش (ب) مقایسه کنید.





Xها به هم. Yها به هم و Zها به هم از طریق سیمهادی متصل اند.

F<sub>Simple</sub> = 
$$X\overline{y}Z + \overline{X}\overline{y}Z + xyZ = \overline{y}Z(X + \overline{X}) + xyz = \overline{y}Z + xyZ$$



مشاهده می شود که یک AND سه ورودی و دو NOT صرفهجویی شده و دو گیت نیـز دو ورودی شدهاند.

۱-۷) توابع بولی زیر را با استفاده از نقشه سه متغیره ساده کنید:

$$F(X,y,z) = \sum (1,7,7,7,7)$$
 (ب  $F(x,y,z) = \sum (\cdot,1,0,7)$  (الف

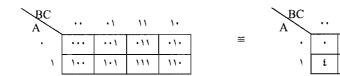
$$F(x,y,z) = \sum (\cdot, \cdot, \cdot, \cdot, \cdot, \cdot) \quad (z) \qquad F(x,y,z) = \sum (\cdot, \cdot, \cdot, \cdot, \cdot) \quad (z)$$

توضیحاتی در رابطه با نقشه کارنو:

روش نقشه کارنو براساس رابطهٔ  $AB+A\overline{B}=A$  استوار است. یعنی اگر دو عبــارت از هرنظــر مشابه و فقط در یک متغیر متفاوت باشند، آن متغیر حذف میگردد.

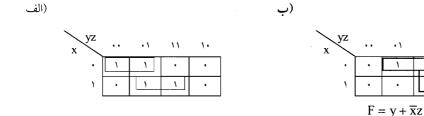
در یک تابع سه متغیره حداکثر  $F^{=7}$  عبارت برای توصیف تابع استفاده می گردد، چنانچه تمام این عبارت به کار رود تابع F=1 خواهدبود و چنانچه هیچ کدام به کار نرود F=1 خواهدبود.

در جدول کارنو هر خانه معادل یکی از این عبارات است اما ایسن عبــارات را طــوری در خانــهـــا چیدمان میکنیم که عباراتی که فقط در یک متغیر اختلاف دارند کنار هم قرار گیرند.



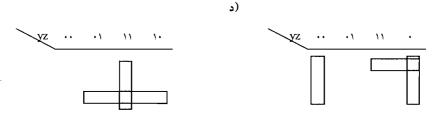
		=		
		_	DC	D =
	BC	BC	BC	BC
_				
Α	А ВС	A BC	ABC	АВС
Α	$\overline{ABC}$	ABC	ABC	ABC

دقت شود که خانههای ۲ و ۰ و همچنین ٤ و ٦ مجاورند.



$$F = \overline{xy} + xZ$$

(ج



را با استفاده از نقشه چهار متغیره ساده کنید:  $F(A,B,C,D) = \sum (\mathfrak{k},\mathfrak{k},\mathfrak{k},\mathfrak{k},\mathfrak{k})$  الف)  $F(A,B,C,D) = \sum (\mathfrak{k},\mathfrak{k},\mathfrak{k},\mathfrak{k},\mathfrak{k},\mathfrak{k},\mathfrak{k})$  ب

$$F(A,B,C,D) = \sum (\cdot, 1, 1, \xi, 0, 1, 1, 1, 1, 0)$$

حل:

لطفاً به توضيحات سؤال قبل توجه فرمائيد.

CD	••	• 1	11	١.
••		1	11	
• 1	. 1	.1.1	•111	.11.
11	11	11.1	1111	111.
1.	1	11	1.11	1.1.

	CD	••	٠١	11	١.
1	• •		١	٣	۲
	• 1	٤	٥	٧	٦
	11	17	١٣	10	١٤
	١.	٨	٩	11	١.

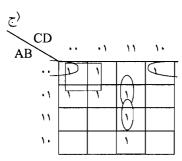
		CD	- CD	CD	$\overline{CD}$
	$\overline{AB}$	ABCD	ABCD	ABCD	$\overline{ABCD}$
Ξ	$\overline{A}B$	ĀBCD	$\overline{A}BC\overline{D}$	ĀBCD	ĀBCD
	AB	$AB\overline{CD}$	$ABC\overline{D}$	ABCD	ABCD
	$\overline{AB}$	$\overline{ABCD}$	ABCD	ABCD	ABCD

(الف					
CD		• 1	11	١.	
* *	•	•	•	·	
٠١		•		١	
11	•	•	4	٠	
١.	•	•	•	•	
$F = \overline{A}B\overline{D} + BCD$					

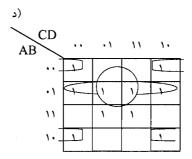
(ب				
AB	٠.	٠١	11	١.
••	٠	•	1	
• 1	•	•	١	•
11	•			
١٠	•	•	١	•

F = CD + ABD + ABC









 $F = BD + \overline{B}\overline{D} + \overline{A}B$ مىشوند.

۹-۱) عبارات زیر را ۱) به صورت جمع حاصلضربها و ۲) به صورت ضرب حاصل جمعها ساده

x'z' + y'z' + yz' + xy (الف)

AC' + B'D + A'CD + ABCD ( $\smile$ 

حل:

استفاده از جبر بول یکی از راههای ساده کردن عبارات منطقی است. اما راه ممطمئن تمر استفاده از جدول کارنو است. با استفاده از این روش مطمئن میشویم که به عبارتی دست یافتـهایــم کــه دیگــر سادهتر نمي شود.

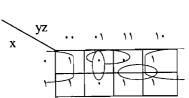
دو راه برای استفاده از روش کارنو وجود دارد:

روش اول: تابع  ${f F}$  را ساده میکنیم در این صورت حاصل جمع مینترمها را خواهیم داشت.

روش دوم: تابع F' را ساده کرده (صفرها را در نظر میگیریم) و عبـارت حاصـل را معکـوس

(NOT) كنيم كه در اين صورت حاصل ضرب ماكسترمها را خواهيم داشت. توجه شود عباراتی که از هر دو روش بدست میآیند معادل خواهندبود.





 $F_{\text{simple}}=z'+xy$ حاصل جمع مينترمها

روش پر کردن جدول بدین صورت است که هر یک از عبارات را به عبارتهای سه متغیره تبدیل کرده و محل آنها را در جدول پیدا کرده و در این مکان ۱ میگذاریم.

يعنى:

$$x'z'+y'z'+yz'+xy=x'z'(y+\overline{y})+y'z'(x+\overline{x})+yz'(x+\overline{x})+xy(z+\overline{z})$$
 اما باید این کار را مستقیماً و به صورت ذهنی انجام داد.

حال صفرها را در نظر می گیریم و 'F را ساده میکنیم.

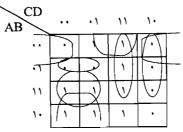
$$F_{\text{simple}}' = \overline{y}z + \overline{x}z \rightarrow F_{\text{simple}} = [\overline{y}z + \overline{x}z]' = (y + \overline{Z})(x + \overline{Z})$$



حاصلضرب ماكسترمها

(ب

(الف



روش اول (حاصلجمع مینترمها)

$$F_{simple} = A\overline{C} + CD + \overline{B}D$$

یکها را در نظر می گیریم.

روش دوم (حاصل ضرب ماکسترمها)

$$F'_{\text{simple}} = A\overline{D} + C\overline{D} + \overline{A}B\overline{C}$$

صفرها را در نظر میگیریم

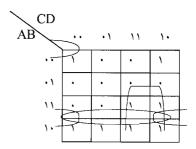
$$\rightarrow F_{\text{simple}} = [\overline{A}\overline{D} + C\overline{D} + \overline{A}B\overline{C}]' = (A + D)(\overline{C} + D)(A + \overline{B} + C)$$

دو عبارت بدست آمده با یکدیگر معادل خواهندبود. می توانید امتحان کنید.

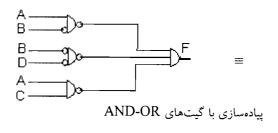


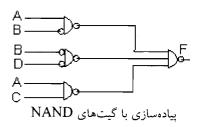
# تشریح مسائل معماری کامپیوتر

CD	••	•1	11	١.
••	•	1	٣	7
• 1	٤	٥	٧	٦
11	17	١٣	10	١٤
1.	۸	٩	11	١.



$$F_{\text{simple}} = A\overline{B} + \overline{B}\overline{D} + AC$$
$$F_{\text{simple}} = [(A\overline{B})'.(\overline{B}\overline{D})'.(AC)']'$$





حل:

۱۱-۱۱) تابع بولی زیر را به شکل ضرب حاصل جمعها با استفاده از نقشه چهار متغیره ساده کنید. دیاگرام منطقی را، الف) با گیتهای NOR رسم کنید.

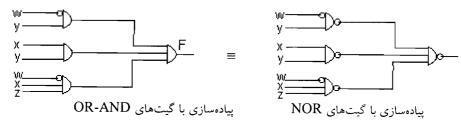
 $F(w,x,y,z) = \sum (\textbf{Y},\textbf{Y},\textbf{E},\textbf{0},\textbf{J},\textbf{V},\textbf{I},\textbf{I},\textbf{E},\textbf{I},\textbf{0})$ 

yz wx		• 1	11	١.
• •	•	١	٣	7
•1	٤	٥	٧	٦
11	17	١٣	10	١٤
١.	٨	٩	11	1.

wx	yz		٠,	11	١.
	• •	·	$\mathcal{J}$	١	١
	• 1	١	١	١	١
	11	(;	·)	١	١
T	١	10		1	

برای اینکه عبارت ساده شده را به صورت ضرب حاصل جمعها داشته باشیم  $\overline{\mathbf{F}}$  را ساده میکنیم یعنی صفرها را در نظر میگیریم و عبارت حاصل را  $\overline{\mathbf{NOT}}$  میکنیم.

$$\begin{aligned} \overline{F}_{simple} &= w\overline{y} + \overline{x}\overline{y} + w\overline{x}\overline{z} \\ \rightarrow F_{simple} &= (\overline{w} + y)(x + y)(\overline{w} + x + z) \\ F_{simple} &= [(\overline{w} + y)' + (x + y)' + (\overline{w} + x + z)']' \end{aligned}$$



۱-۱۲ تابع بولی  $\mathbf{F}$  را همراه با حالات بی اهمیت  $\mathbf{d}$  در فرم ۱) جمع حاصلی فرب مراه با حالات بی اهمیت  $\mathbf{d}$  حاصل جمع ها ساده کنید.

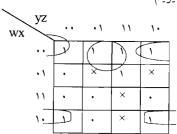
حل:

حالات بی اهمیت ( don't care) ورودی هایی هستند که به هیچ عنوان به سیستم اعمال نمی گردند و خروجی سیستم به ازای آن ها می تواند صفر یا یک باشد. و ما آن ها را طوری انتخاب می کنیم که به ساده تر شدن تابع کمک کند.

حالت ۱- (جمع حاصل ضربها) در این حالت تمامی رها و بعضی از don't careها را در نظر می گیریم.

wx	yz	••	• 1	11	١.
	••		١	٣	۲
	٠١	٤	٥	٧	٦
	11	17	١٣	10	١٤
	١٠ [	۸	٩	11	١.

 $\overline{F_{\text{simple}}} = \overline{w}z + \overline{x}\overline{z}$ 





حالت ۲- (ضرب حاصل جمعها) در این حالت تمامی صفرها و بعضی از don't careهـا را در نظر میگیریم.

wx	yz	••	٠١	11	١٠
	••	١	١	١	١
	•1	$\overline{\cdot}$	×	١	X
	1+			×	4
	١.	١	ι	_×	١

$$\overline{F}_{\text{simple}} = x\overline{z} + wz$$

$$\rightarrow F_{\text{simple}} = (\overline{x} + z)(\overline{w} + \overline{z})$$

۱-۱)با استفاده از جدول ۲-۱ عبارت بولی S (جمع) خارج شده از یک تمام جمع کننده به شکل جمع حاصلضربها بدست آورید. سپس با دستکاریهای جبری نشان دهید که S می توانید به صورت OR انحصاری سه متغیره بیان شود.

$$S = X \oplus y \oplus Z$$

حل:

ما	وروديها			خرو.
X	у	Z	С	S
•	•	•	•	•
•	•	١	•	١
•	١	•	•	١
	١	١	١	•
١	٠		•	١
١	•	١	١	•
١	١	•	١	•
١	١	١	١	١

جدول۲-۱ جدول درستی برای تمام جمعکننده

yz x		• 1	11	١.	
,	•	١	·	1	$\rightarrow$ S
1	١	,	١	•	$\overline{Z}(x\overline{y})$
					$=\overline{Z}($
$(x\overline{v} + \overline{x}v)' = (\overline{x} +$	- v)(:	$x + \overline{y}$	)		=Z

 $= \overline{x}x + \overline{x}\overline{y} + yx + y\overline{y}$ 

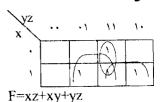
$$\rightarrow S = x\overline{y}\overline{Z} + \overline{x}yZ + xyZ + \overline{x}y\overline{Z}$$
$$\overline{Z}(x\overline{y} + \overline{x}y) + Z(xy + \overline{x}y)$$
$$= \overline{Z}(x\overline{y} + \overline{x}y) + Z(x\overline{y} + \overline{x}y)'$$
$$= Z \oplus (x\overline{y} + \overline{x}y) = Z \oplus x \oplus y$$



۱-۱۶) یک مدار ترتیبی بنام تابع اکثریت بدین صورت تعریف می شود که هرگاه مقدار متغیرهای ورودی <u>۱</u> بیشتر از ورودی های باشند خروجی است. تابع اکثریت سه ورودی را طراحی کنید.

#### حل:

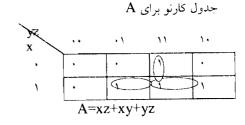
x	У	Z	F	
•	•	•		
•	•	1		
•	1	•		
	١	1	١	
1	•	•		
1		١	١,	
1	١	•	,	
1	١	١	١	



۱–۱۵ یک مدار ترکیبی با سه متغیسر X ، Y ، X و سسه خروجسی C ، B ، A طراحسی کنیسد. اگسر ورودی های دودویی Y ، Y ، Y یا Y باشند خروجی یکی بیشتر از ورودی است. وقتی ورودی ها Y ، Y ، Y باشند خروجی دودویی یکی کمتر از ورودی باشند.

حل) ابتدا جدول درستي را تشكيل مي دهيم

	ورودى			خروجي	
X	у	Z	Α	В	С
•	٠	•		•	١
•	•	١		١	•
•	١	•		١	١
٠	١	١	١	٠	•
١		•		١	١
١	•	١	,	•	•
١	١	•	١	•	. 1
			1		



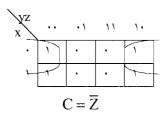


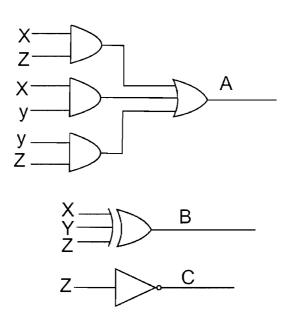
جدول كارنو براي B

yz x	••	•1	11	١.
•	•	١	•	١
1	١	•	١	•

در جدول کارنو ساختار شطرنجی معادل XOR ورودیها خواهدبود بنابراین به شرط اینکه  $^-$  در خانههایی باشند که در آن تعداد ۱های ورودی  $B=x\oplus y\oplus z$  فرد باشند.

جدول كارنو براي C





J را با قرار دادن یک معکوس کننده بین ورودی های J را با قرار دادن یک معکوس کننده بین ورودی J را با J تبدیل کرد.



${ m JK}$ فليپفلاپ			${ m D}$ فليپفلاپ				
Q(t)	Q(t+1)	J	K		Q(t)	Q(t+1)	D
•	•	•	X		•	•	•
•	١	١	X		•	١	١
1	•	X	١		1	•	•
1	1	X	•		١	1	١

برای اینکه فلیپفلاپ JK معادل فلیپفلاپ D شود باید مداری طراحی کنیم که بـهازای ورودی D در هر حالت خروجیهای J و J مناسب برای تولید همان حالت را به وجود آورد.

ین شرط را برآورده میکند. لذا  $K=\overline{D}$  و J=D



منظور از حالت Q(t) و Q(t+1) می باشد.

در این شکل موقعی که ۰=D است ۱=۰ و K=۱ میباشد، لذا ۰=Q است.

زمانی که D=1 است J=1 و K=0 میباشد، لذا S=1 است.

در نتیجه Q برابر D میباشد، یعنی مدار مذکور معادل فلیپفلاپ D است.

۱-۱۷ با استفاده از اطلاعات موجود در جدول مشخصه فلیپفلاپ JK در جــدول شــکل I-1 (ب) جدول تحریک را برای فلیپفلاپ JK بدست آورده و جواب خود را با جــدول I-1 مقایسه کنید.

#### حل:

معمولاً هنگام طراحی مدارهای ترتیبی انتقال از حالت فعلی به حالت بعدی برای ما شـناختهشـده است و ما مایلیم ورودیهای فلیپفلاپ را طوری بیابیم که انتقال مناسب انجام یابد. به همین دلیل بـه جدولی نیاز داریم که برحسب تغییر مفروضی در حالت، ورودیهای مورد نیاز را نشان دهید.



از جدول زیر این ورودیها را پیدا میکنیم

J	K	Q(t+1)
•	•	Q(t)
٠	١	
١	•	١
1	1	Q'(t)

Q(t)	Q(t+1)	J	k
•	•	•	X
•	1	١	X
١	•	X	1
١	1	X	•

سنده و اعمال کلاک می باشد. توجه Q(t+1) حالت بعدی خروجی بعد از اعمال ورودی مشخص شده و اعمال کلاک می باشد. توجه شود که خروجی بعدی  $\left[Q(t+1)\right]$  وابسته به خروجی قبلی  $\left[Q(t+1)\right]$  می باشد و این نشان می ده د. که نوعی فید بک از خروجی به ورودی داریم.

۱-۱۸) یک مدار ترتیبی دارای دو فیلیپ فلاپ B,A، دو ورودی y,x و یک خروجسی z است. معادلات ورودی فلیپ فلاپ و نیز خروجی مدار به قرار زیرند:

$$D_{A} = X'y + XA$$

$$D_{B} = X'B + XA$$

$$Z = B$$

الف) دیاگرام منطقی را برای مدار رسم کنید.

ب) جدول حالت را برپا كنيد.



حل: بهتر است معادلات را به فرم زیر بنویسیم

$$D_{A} = \overline{X}y + XQ_{A}$$

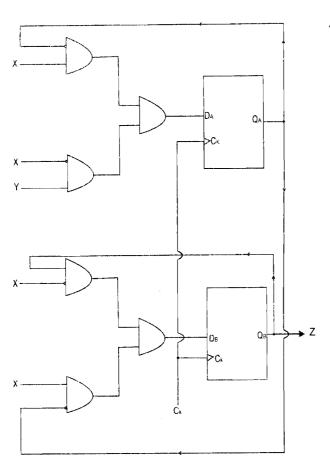
$$D_{B} = \overline{X}Q_{B} + XQ_{A}$$

$$Z = Q_{B}$$

$$D_{A} Q_{A}$$

$$Q_{CK}$$

که نشان میدهد دو فلیپفلاپ D در مدار داریم.



فلش ها فیدبک از خروجی به ورودی را نشان میدهد.

ورودىھا ــــــــــــــــــــــــــــــــــــ			خروجیها <b>ب</b>			
$Q_A(t)$	$Q_{B}(t)$	x	y	$Q_A(t+1)$	$Q_B(t+1)$	Z(t)
•	•		•	•	•	•
•	•	•	1	١	•	•
•	•	١	١	•	•	•
•	•	١	•	•	•	•
•	١	•	٠	•	١	١
•	١	•	١	١	١	١
•	1	١	١	•	•	١
•	١	١	•	•	•	١
1	•		•		•	•
1	•	•	١	١	•	•
1	•	١	١	1	1	•
1	•	١	•	١	١	•
1	١	•	•	•	1	١
1	1	•	1	١	١	1
1	١	١	•	١	١	١
1	١	١	١	١	١	1

برای محاسبه  $Q_B(t+1)$  و  $Q_B(t+1)$  و  $Q_B(t+1)$  و رودیهای ما، هـستند کـه این دو خروجی را تولید میکنند.

نیز وابسته به مقدار فعلی (قبل از اعمال کلاک)  $Q_B$  است بنابراین Z

$$Z = Q_{B}(t)$$

$$Z(t) = Q_{B}(t) + Z(t +) = Q_{B}(t +)$$

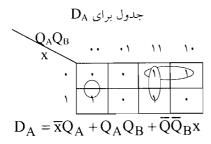
۱-۱۹) یک پایین شمار دوبیتی طراحی کنید، این یک مدار ترتیبی دارای دو فلیپ فلاپ و یک ورودی X=1 می باشد. وقتی X=1 است حالت فلیپ فلاپ تغییر نمی کند. وقتی X=1 باشد، ترتیب حالات X=1 و تکرار آن خواهدبود.



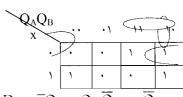
این مدار را با دو فلیپفلاپ دلخواه مثلاً D طراحی میکنیم. فلیپفلاپ D

Q(t)	Q(t+1)	D
•	•	•
•	١	١
١		•
١	١	١

، فعلى	حالت	ورودي	حالت بعدي		فليپفلاپ	وروديهاي
$Q_{\Lambda}(t)$	Q <sub>B</sub> (t)	x	$Q_{A}(t+1)$	$Q_B(t+1)$	$\overline{D_A}$	$D_{\mathrm{B}}$
	1	,	١	,	1	•
١ -	•	١	•	1	-	١
•	1	١	•		•	•
•	•	\	1	١	1	١
1	1	•	١	١	1	1
1	•		١		١	•
	١	•		١	•	١
•	•	•	•	•		•



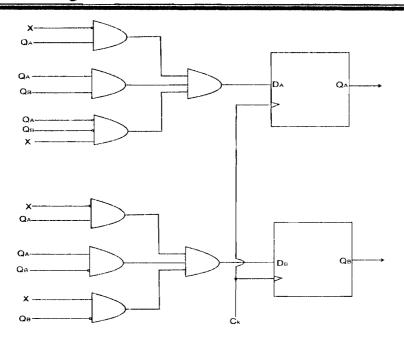




 $D_B = \overline{x}Q_A + Q_A \overline{Q}_B + x \overline{Q}_B$ 

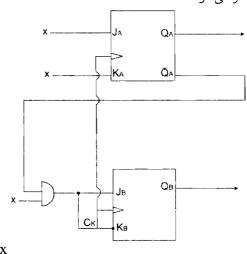
برای پر کردن جدول  $Q_A(t)$  و  $Q_B(t)$  و X را به عنوان ورودی و  $D_B$  و  $D_B$  را به عنوان خروجی در نظر می گیریم که در واقع این خروجی منجر به تولید  $Q_A(t+1)$  و  $Q_B(t+1)$  مناسب خواهدشد.





متغیرهای همنام با سیم هادی به یکدیگر متصل اند.

روش دیگر استفاده از فلیپفلاپ JK میباشد که به دلیل وجود don't care در جدول تحریک آن طراحی ساده تر می شود.



 $J_A = K_A = x$ 

 $J_{B} = K_{B} = \overline{Q}_{A}x$ 

طریقهٔ طراحی همانند روش قبل با فلیپفلاپ D میباشد. فقط در ایسن حالت بــه چهـــار جــدول

 $K_{B}$  کارنو احتیاج خواهیمداشت. برای محاسبه  $J_{A}$  ، $J_{A}$  ،  $J_{B}$  و

Q(t)	Q(t+1)	J	K
•	•	•	X
•	1	١	X
1	•	х	١
١	1	х	•

فليپفلاپ JK									
Q(t)	Q(t) = Q(t+1)								
•	•		Х						
•	١	١	X						
١	•	х	1						
١	1	x	•						

								دار درگیب د		
	فعلى	حالت 	دىھا	وروه	بعدی	حالت 		ب الله	ردن فن <u>ي</u> 	33
مقدار دسیمال ورودی	$Q_A(t)$	Q <sub>B</sub> (t)	<u>E</u>	х	$Q_A(t+1)$	$Q_{B}(t+1)$		К,	J <sub>B</sub> _	$K_{\rm B}$
•	•	•	•	•		· · · · · · · · · · · · · · · · · · ·	•	Χ		Х
١	•	•	•	1	•	•		Χ	•	X
7	•		١	•	1	١	١	Х	1	X
٣		•	١	١	•	١	,	Х	١	x
٤	•	1	•		•	١		X	<u>x</u> _	•
٥		١	•	١	•	١	•	X	Х	•
٦	•	1	١	•	•	•	•	X	Х	1_
٧	•	1	١	_ \	1	•	1	X	х	1
٨	٦ ١	•		•	١	•	X	,	•	Х
٩	1	•	•	١	١	•	X	•	•	х
١.	١	•	1	•	•	١	.X	1	١	Х
11	١		١	1	١	1	X	•	١	Х
17	1	١	•	•	1	1	х	•	Х	•
18	,	١	•	1	1	١	X	,	Х	•
١٤	1	١ -	1		١	•	x	•	х	1
١٥	1	1	1	1	•	•	X	ì	x	١

حال جهار جدول چهار متغیره برای بدست آوردن  $\overline{K}_{A}$   $\overline{J}_{A}$  و  $\overline{K}_{B}$  نیاز داریم.



		-		
Ex Q <sub>A</sub> Q <sub>B</sub>	• •	• 1	11	١.
]		١	٣	۲
• 1	٤	٥	٧	٦
11	17	14	10	١٤
١.	Α	٩	11	١.
	L			

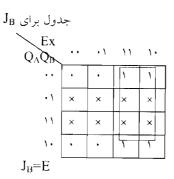
		_	
J ,	$= ExO_{D}$	$+ E \overline{X} O_{D} =$	$E(x \oplus Q_B)$
· A	<b>C</b> D	- \D	( \ \D/

جدول براي K

$Q_AQ_B$	• •	٠١	11	١.
• •	×	×	×	×
• 1	×	×	×	×
11	•	•	V	•
١.	•	٠		(1)

$$K_A = ExQ_B + E\overline{x}\overline{Q}_B = E(\overline{x \oplus Q_B}) = J_A$$





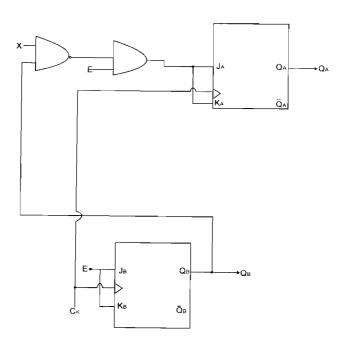
$K_{ m B}$ جدول برای									
$Ex$ $Q_AQ_B$	••	٠١	11	١.					
• •	×	×	×	×					
• 1		•	,	١					
11	•	•	١	١					
١٠	×	×	×	×					
$K_B=E=J_B$									

چنانچه Ex=۱۱ مدار شمارندهٔ صعودی تا عدد ۳ خواهدبود.

چنانچه Ex=۱۰ باشد مدار شمارنده نزولی خواهدبود.

چنانچه -·Ex= باشد شمارش متوقف خواهدشد.

سرعت شمارش متناسب با فركانس CK خواهدبود.



#### مسائل فصل دوم: اجزاء و قطعات ديجيتال

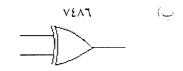
۱-۲) قطعات TTL SSJ اغلب به صورت مدارات مجتمع ۱۶ پایه عرضه می شوند. دو پایه برای منبع تغذیه در نظر گرفته شده و بقیه برای پایانه های ورودی و خروجی به کار می روند. چند مدار از انواع زیر را در یک چنین بسته ای می توان گنجانید؟

الف) معکوس کننده ب) گیت OR انحصاری دو ورودی ج) گیت OR سه ورودی د) گیت OR سه ورودی د) گیت NAND هشت میت AND بنج ورودی د) گیت NAND هشت ورودی ز) فلیبفلاب JK ساعت دار با یاک کننده غیر همز مان

حل:

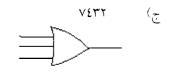
$$r = \frac{7-31}{7}$$

سه پایه برای هر XOR، ۲ پایه تغذیه بنابراین



در هر IC چهارده پایه داریم. XOR در هر 
$$\frac{12-7}{\pi}=8$$

چهار پایه برای هر OR، ۲ پایه برای تغذیه بنابراین



 $OR = \frac{12-7}{2}$  سه ورودی در IC چهارده پایه موجود است.

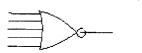
V£Y1 (2

 $AND = \frac{12-7}{0}$  حمار ورودی در IC چهارده پایـه موجـود است.و همچنین دو عدد No Conection) NC نیـز خـواهیم



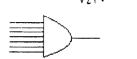
فصل دوم / اجزاء و قطعات دبجيتال

V£77. (\_.



\_\_\_\_\_

V27. (



شش پایه برای هر NOR، ۲ پایه برای تغذیه بنابراین

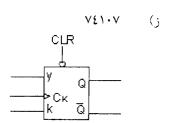
 $V = \frac{1 - 7}{7}$  NOR پنج ورودی در IC چهارده پایه وجود دارد.

٤ پايه براي هر **AND،** ۲ پايه براي تغذيه بنابراين

IC در یک NC در یک NC میشت ورودی و ۳ پایسه IC در یک IC چهارده پایه خواهیم داشت.

پاک کننده غیرهمزمان یعنی مستقل از کلاک عمل پاک شدن صورت می گیرد.

3 پایمه بسرای همر فلیسپافسلاپ، ۲ پایسه بسرای تغذیمه بنسابراین  $T = \frac{Y - Y}{T}$  فلیپافلاپ در یک  $T = \frac{Y - Y}{T}$ 



۱-۲) تراشدهای MSI وجود توابع دیجیتال ساده ای همچون دیکدر، مولتی پلکسر، ثباتها و شمارنده ها را امکان پذیر می سازند. تراشدهای زیر مدارهای مجتمع از نوع TTL هستند که چنین توابعی را تولید می نمایند. مشخصات آنها را در کتاب راهنما یافته و آنها را با قطعات متناظر رائه شده در این فصل مقایسه کنید.

- الف) IC نوع ۷٤١٥٥، ديكدر دوتايي ۲ به ٤
- ب) IC نوع ۷٤۱۵۷، مولتی پلکسر چهارتایی ۲ به ۱ خطی
- ج) IC نوع ۷٤۱۹٤، شیفت رجیستر چهار بیت دوطرفه با بارشدن موازی
- د) IC نوع ۷٤۱٦۳، شمارنده دودویی چهار بیت با بارشدن موازی و پاک شدن همزمان

حل:

٧٤١٥٥ ← ديكدر شكل ٢-٢

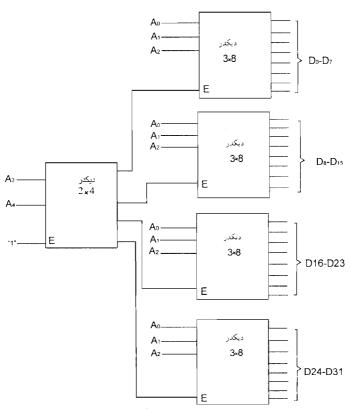


 $VE198 \rightarrow ae$ مولتى پلكسر شكل V=0

٧٤١٦٣ ← شمارنده شكل ٢-١١

۲-۲) یک دیکدر ۵ به ۳۲ را با چهار دیکدر ۳ به ۸ که دارای ورودی تواناساز است و یک دیکدر ۲ به ٤ بسازید. از بلاک دیاگرام مشابه شکل ۳-۲ استفاده کنید.

حل:



پایههای A و A و A از طریق سیم هادی به یکدیگر متصل اند.

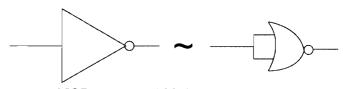
۳-۲) دیاگرام منطقی یک دیکدر ۲ به ٤ را فقط با گیت NOR ترسیم کنید. ورودی فعالساز نیز در نظر گرفته شود.

حل: ابتدا بدون توجه به شرایط معادلات خروجی دیکدرها را بدست می آوریسم، سپس ایسن معادلات را طوری تغییر می دهیم که بتوانیم این توابع را فقط با NOR پیاده سازی کنیم. در اینجا قاعدهٔ دمورگان بسیار به ما کمک خواهدکرد



فصل دوم / اجزاء و قطعات دیجیتال

	E	X	у	D۳	$\mathbf{D}_{\tau}$ (T-E	$\mathbf{D}'$	D.
_	١	•	•	•	•	•	1
	١	•	1		•	1	•
	١	١		,	1	•	•
	١	١	1	١	•	•	٠
		X	X	٠		•	•



در تمام مدار به جای گیت NOT از یک گیت NOR که دو ورودی آن به هـم متـصل شـدهانــد استفاده میکنیم.

۱-۵) دیکدر شکل ۲-۲ را طوری تصحیح کنید که مدار اگر E=1 باشد فعال و اگسر E=1 باشد. غیرفعال باشد. جدول درستی را برای نوع تصحیح شده رسم کنید.



معكنوس كنندة £ را حذف ميكنيم.

Е	$A_{i}$	A.	$D_r$	<b>D</b> <sub>7</sub> (۲-0	D,	D.	A <sub>0</sub>	.45.3	þi
1	•	•	١	١	١	•	, (0	2 + 4	<b></b>
١	•	١	1	1	•	1	A1		b
١	١	٠	١ ،	•	١	1	E		0
١	١	١		١	١	١	•	The state of the s	اد
٠	x	X	1	1	١	١			

۱۳۰۱ دباگرام منطقی بک انکدر با هشت ورودی و سه خروجی، که جدول درستی آن در جـدول ۲۰۰۱ آورده شد را ترسیم کنید. وقتی تمام ورودیها ۰ باشند خروجی چیست؟ اگــر فقــط ورودی D. برابر ۰ باشد خروجی چیست؟ روشی را پیشنهاد کنید که این دو حالت را از هم تمیز دهد.

با نوجه به جدول درستی انکدر روابط زیر را برای خروجیها A،،A، و A، نتیجه میگیریم.

$$A_{x} = D_{y} + D_{y} + D_{o} + D_{y}$$
 $A_{y} = D_{y} + D_{y} + D_{y} + D_{y}$ 
 $A_{y} = D_{s} + D_{o} + D_{y} + D_{y}$ 

از این روابط نتیجه میگیریم چنانچه تمام ورودیها صفر باشند  $D_1, D_1, D_2, \dots, D_N$  بــوده لذا خروجیهای A۱ ،A۱ و A۲ نیز صفر خواهندبود.

اما چنانچه تمام ورودیها به جز  $oldsymbol{D}$  برابر صفر باشند باز هم خروجیهای  $oldsymbol{A}_1$  و  $oldsymbol{A}_7$  صفر خواهندبود.

در ضمن حالانی نظیر ۱۰۰۰۰۱۱ منجر به خروجی ۱۱۱ میشوند. در صورتی که چنسین ورودی جزء ورودیهای معنادار نیست.

ورودی ۰۰۰۰۰۰ نیز جزء ورودیهای بیمعنا تلقی میشود و در صورتی که بخواهیم آن را معنی دار کنیم باید یک خروجی دیگر مثل Ar به مدار اختصاص دهیم تا تعداد حالات خروجــی از ۲<sup>۳</sup> بیشتر شده و به ۲<sup>۱</sup> افزایش یابد.

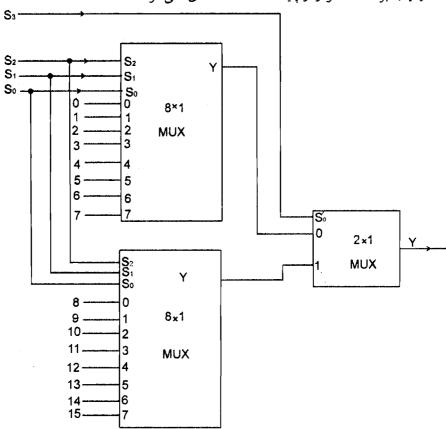


فصل دوم / اجزاء و قطعات دیجیتال

۲-۲) یک مولتی پلکسر ۱۲ به ۱ را با دو مولتی پلکسر ۸ به ۱ و یک مولتی پلکسر ۲ به ۱ بسسازید. برای هر سه مولتی پلکسر از بلاک دیاگرام استفاده کنید.

حل:

در اینجا برخلاف دکولار از پایه Enable استفادهای نمی شود.



توجه شود پایههایی که به هم وصل میشوند رسم شدهانند و سنایر پاینه هنای هنم ننام بسرخلاف مثالهای قبلی به هم متصل نمی باشند.

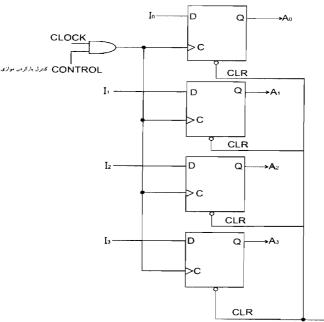
۷-۲) بلاک دیاگرام یک مولتی پلکسر را ترسیم کرده و عملکسرد آن را بسه وسیله جسدول تسابع توضیح دهید.



E	$\mathbf{S}_{i}$	S.	Y	lo ——
1	•	•	Ι.	11
•	•	١	Ι,	l <sub>2</sub>
١	١	•	$\mathbf{I}_{Y}$	13
١	1	1	$\mathbf{I}_{r}$	S <sub>1</sub>
	x	x	•	E
۱ خطی	ي پلکسر ٤ به	بع برای مولتی	جدول تا	للاک دیاگرام

۸-۲)یک گیت AND دو ورودی را در ثبات شکل ۲-۲ بگنجانید و خروجی ایس گیست را بسه ورودی های ساعت همه فلیپ فلاپها وصل کنید. یکی از ورودی های گیست AND پالسهای ساعت را از مولد پالسساعت دریافت می کند. ورودی دیگر گیت ANDکنترل

بارشدن موازی را فراهم می آورد. عملکرد ثبات جدید را تشریح کنید.



چنانچه ۱=control باشد عمل انتقال موازی صورت میگیرد



فصل دوم / اجزاء و قطعات دیجیتال

جنانچه ۰=control آنگاه ورودی کلاک همهٔ فلیپفلاپها صفر باقی می ماند وعمل انتقال Data صورت نمی گیرد.

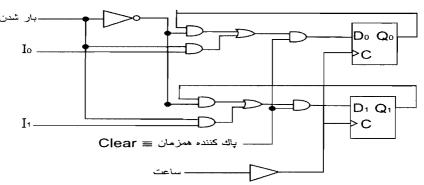
# ۹-۲) هدف از گیت بافر در ورودی ساعت ثبات شکل ۷-۲ چیست؟

#### حل:

گیت بافر در ورودی ساعت تبوان دریافتی لازم را از مولید ساعت کاهش می دهید. هرگاه پالسساعت فقط به ورودی یک گیت در عوض چند گیت وصل شود تبوان کمتسری لازم است ولی چنانچه این گیت بافر مورد استفاده قرار نگرفته و پالس ساعت به چندین گیت مستقیماً وصل شود توان بیشتری از مولد پالس اخذ خواهد شد.

۱۰-۲) به ثباتی که دارای امکان بار شدن موازی در شکل ۷-۲ است، امکان ورودی پاک کننده را اضافه کنید.

حل:



منظور از همزمان بودن اعمال تأثير بعد از اعمال پالس ساعت مى باشد.

بارشدن	clear	$\mathbf{D}'$	D.	$Q_1(t+1)$	Q.(t+1)
•	•	•	•	•	•
•	١	$Q_1(t)$	Q.(t)	$\mathbf{Q}_1(\mathbf{t})$	Q.(t)
١	١	$\mathbf{I}'$	I.	I,	I.

۲-۱۱) مقدار اولیه محتوای یک ثبات ۱۱۰۱ است. ثبات شش بار با استفاده از ورودی سسری ۱۱-۱۱ به راست شیفت داده می شود. محتوای ثبات پس از شیفت چپست؟



<i>\.\\</i>	1	١		١	•
····→	١	١	١	•	١
··· · · →	•	١	\	١	۲
\·\→	١		١	١	٣
\·→	١	\	•	١	٤
<i>1</i> →	•	١	١	•	٥
	١		١	١	٦

پس از ۲ بار شیفت به راست محتوا ۱۰۱۱ خواهدبود.

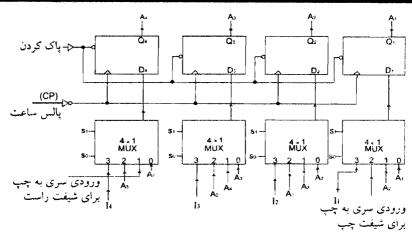
۲-۱۷) فرق بین انتقال سری و موازی چیست؟ با استفاده از یک شیفت رجیستر که قابلیت بار شدن موازی دارد توضیح دهید چگونه می توان ورودی سری را به خروجسی مسوازی و بالعکس تبدیل کرد.

#### حل:

در انتقال سری به ازای هر کلاک فقط یک بیت انتقال می یابد ولی در انتقال موازی، به ازای هر کلاک تعداد زیادی بیت منتقل می گردد. اگر فاصله بین مبدأ و مقصد خیلسی زیاد باشد، استفاده از n خط برای انتقال موازی آن ها پرهزینه خواهدبود. ممکن است استفاده از یسک خط واحد مقسرون به صرفه تر باشد.



#### فصل دوم / اجزاء و قطعات ديجيتال



خروجیها و ورودیهای هم نام از طریق سیم هادی به یکدیگر متصلاند.

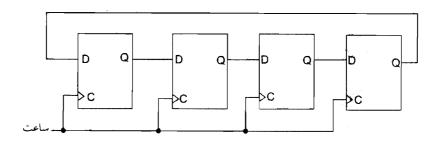
چنانچه S<sub>1</sub>S.=۰۱ یا S<sub>1</sub>S.=۱۰ باشد با گرفتن اطلاعات از ورودی سری بهازای چهــار کــلاک، کم بیت از ورودی سری را به صورت خروجی موازی داریم.

	وضعيد	ت کنترل
عملكرد ثبات	S.	S,
 بدون تغییر	•	•
شیفت به راست	١	•
شيفت به چپ	•	١
بار کردن موازی	١	١

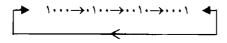
حال چنانچه  $S_1S_1=S_1$  باشد خروجی به صورت موازی بار می شود. حال با شیفت بـه راسـت یـا چپ می توانیم اطلاعات را به صورت سری از طریق  $A_1$  یا  $A_2$  انتقال دهیم.

۲-۱۳) شمارنده حلقوی یک شیفت رجیستر مطابق شکل ۸-۲ میباشد که خروجی سسریاش به ورودی سری آن وصل شده است. با شهروع از حالت اولیه ۱۰۰۰، رشته حالات فلیپفلاپ را پس از هر شیفت لیست کنید.





این شمارنده به شمارنده جانسون مشهور است که فقط ٤ حالت دارد.



دقت شود که فلیپفلاپها حساس به لبهٔ کلاک میباشند (لبه مثبت در اینجا) و گرنه با هر پــالس چندین بار حلقه بالا را میپیمودیم.

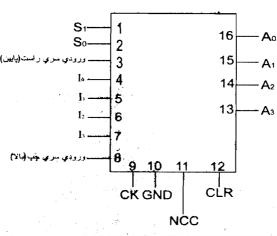
۲-۱۶) یک شیفت رجیستر چهار بیتی دو طرفه با قابلیت بار شدن موازی مطابق شکل ۹-۲ در یک بسته مدار مجتمع بسته بندی شده است.

الهف) بلاک دیاگرام مدار مجتمع را با تمام ورودیها و خروجیهایش ترسیم کنید.

ب) با استفاده از دو مدار مجتمع، بلاک دیاگرام یک شیفت رجیستر ۸ بیت با قابلیت بسار شدن موازی را رسم کنید.

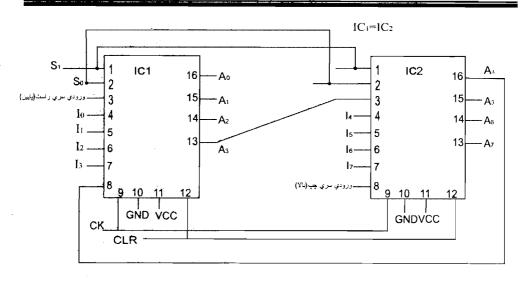
# حل:

الف)





### فصل دوم / اجزاء و قطعات ديجيتال



دو IC بالا دو شیفت رجیستر چهار بیتی دو طرفه با قابلیت بار شدن موازی هستند که از هر لحاظ با هم مشابه اند  $(I_{C_1}=I_{C_7})$ 

با چیدمان مناسب این دو IC مجموعهٔ آنها را به یک شیفت رجیستر ۸ بیتی دو طرفه با قابلیت بار شدن موازی تبدیل کردهایم.

۲-۱۵ در یک شمارنده دودویی ده بیت چند فلیپفلاپ در شمارش بعدی متمم نمی شوند.

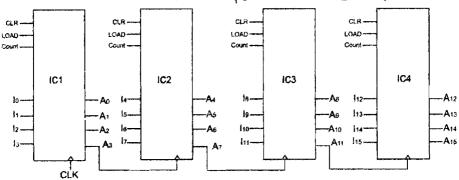
الف) ۱۰۰۱۱۰۱۱۱۱ ب ۱۱۱ ۱۱۱ ۱۱۱ ۱۱۱

### حل:

با مرور رشتهای از اعداد دودویی مانند ۰۰۱۱,۰۰۱,۰۰۰ و غیره، درمی یابیم که بیست پایین رتبه تر با هر شمارش متمم می شود و هر یک از بیتهای دیگر هنگام افزایش اگر و فقط اگر همه بیتهای کم ارزش تر از آن ۱ باشند متمم می شود.



۲-۱۹) اتصالات لازم بین چهار شمارنده دودویی چهار بیتی با بار شدن میوازی (شکل ۱۱-۲) برای ایجاد یک شمارنده دودویی ۱۹ بیت با بار شدن میوازی را نیشان دهید. بیرای هیر شمارنده چهار بیتی از یک بلاک دیاگرام استفاده کنید.



 $Ic_1 = Ic_7 = Ic_9 = Ic_6$  پایههای هم نام با سیمهای هادی به یکدیگر متصل اند.

عمل	count	LoAD	CLR	ساعت
بلاتغيير	•	,	•	<b>↑</b>
۱ واحد افزایش شمارش	1	•	•	<b>↑</b>
$\mathbf{I}_{0}$ بار کردن ورودی $\mathbf{a}$ ای $\mathbf{I}_{0}$ تا	x	١	•	<b>↑</b>
پاک کردن خروجیها به صفر	x	x	1	<b>↑</b>

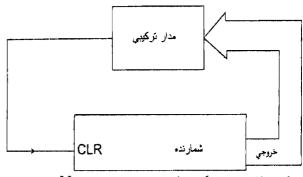
۷۱-۲۷) نشان دهید که چگونه یک شمارنده دودویی با بار شدن موازی شکل ۲۱-۲ را می توان به یک شمارنده تقسیم بر N تبدیل کرد( یعنی شمارنده ای که از ۰۰۰۰ تا N شمرده و بسه بک شمارنده تقسیم بر ۱۰ را بسا استفاده از شکل ۲۰۱۰ و یک گیت AND خارجی رسم کنید.

### حل:

در شمارنده شکل ۲-۱۱ پاک شدن همزمان میباشد یعنی چنانچه CLR=۱ شبود تنها با اعمال پالس ساعت خروجیها همگی صفر میشوند.

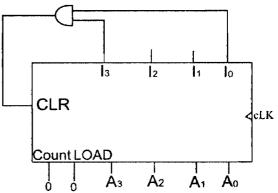


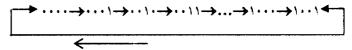
## فصل دوم / اجزاء و قطعات دیجیتال



شکل بالا بلوک دیاگرام یک شمارنده تقسیم بر N را نشان می دهد.

به عنوان یک حالت خاص مدار یک تقسیم بر N=1 را رسم میکنیم.





در این صورت ۱۰ حالت مختلف برای خروجیها امکانپذیر است.

۲-۱۸ واحدهای حافظه زیر با تعداد کلمات، ضرب در تعداد بیتها مشخص شدهاند. در هر

مورد چند خط آدرس و چند خط داده ورودی – خروجی لازم است؟

ب) ۸×۶k

الف) ۲k×۱٦

و نا ۱۲M×۳۲ (چ

حل:

الف کرس و ۱۲ خط داده داریم.  $\rightarrow 7^{11} \times 17 = 7^{11} \times 17$  (الف ۱۱ خط آدرس



# تشریح مسائل معماری کامپیوتر

۱۲ خط آدرس و ۸ خط داده داریم. 
$$\rightarrow$$
 ۸× $^{17}$  = ۲ (ب

۲۲ خط آدرس و ۳۲ خط داده داریم. 
$$\leftarrow$$
 ۳۲ ×  $^{71}$ ۲ =  $^{71}$  ×  $^{71}$  (ج

کا درس و 
$$3$$
 خط داده داریم.  $\rightarrow$  ۲×  $3$   $\times$  ۲×  $3$  (د

$$y'' = k$$
 ,  $y'' = M$  ,  $y'' = G$ 

تعداد بایتهایی را که می توان در حافظه های مسئله ۲-۱۹ ذخیره کرد مشخص کنید. (4-19

حل:

۱۲ بیت = ۲ بایت 
$$\rightarrow {}^{17} = 1 \times {}^{17} \times 7$$
 بایت داریم.  $17 \times 17 \times 17$  (الف

$$\Lambda$$
 بیت = ۱ بایت  $\rightarrow$  ۲<sup>۱۱</sup>  $\times$  ۲<sup>۱۱</sup> بایت داریم.  $\times$  ۲ $\times$  ۲۱ (ب

$$77$$
 بیت = ٤ بایت  $\rightarrow 7^{77} = 3 \times 7^{7} \times 10^{2}$ ۲ بایت داریم.  $77 \times 10^{7}$ ۱ (ج

د ک
$$G$$
۲۲ بایت  $A=T^{ro}$ ۲۰ بایت داریم.  $G \times T$ ۲ بایت داریم. ۱۵ (د

$$r'' = k$$
 ,  $r'' = M$  ,  $r''' = G$ 

چند تراشه حافظه ۸×۱۲۸ برای ایجاد یک حافظه ۱۲×٤٠٩٦ لازم است؟

حل:

$$\frac{37 \times 17}{17 \times 17} = \frac{17 \times 17 \times 17}{17 \times 17} = \frac{17 \times 17 \times 17}{17 \times 17} = \frac{17 \times 17}{17 \times 17} = \frac{1}{17 \times 17}$$
 عاد خافظه ۱۲۸×۸ برای تولید یک حافظه ۱۲×۹۹، مورد نیاز است.

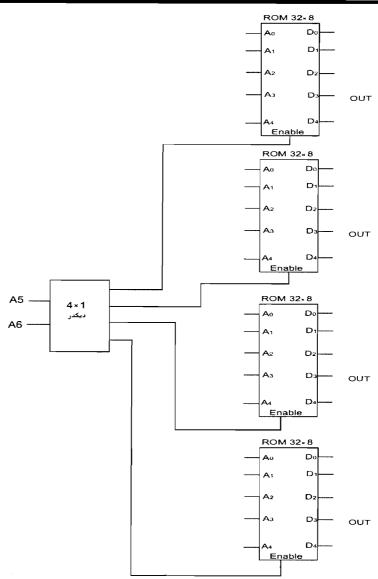
با فرض داشتن یک ROM با ظرفیت ۸×۳۲ بیت و یک ورودی تواناساز، اتـصالات خارجی لازم برای ساخت یک تراشه ROM با ظرفیت ۱۲۸×۸ و یک دیکدر را نشان دهید.

حل:

عدد ROM ۸×۳۲ برای تولید یک ROM ۸×۱۲۸  $\leftarrow \pm = \frac{174 \times 1}{4}$  مورد نیاز است.



# فصل دوم / اجزاء و قطعات دیجیتال



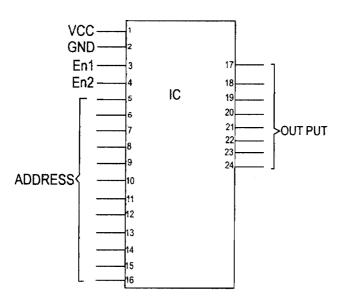
پایههای هم نام از طریق سیم هادی به یکدیگر متصل اند بنابراین در هر لحظه فقط ۸ بیت خروجی داریم. و همانطور که مشاهده می شود هفت خط آدرس موجود است بنابراین  $^{V=1Y}$  خانه حافظه در اختیار داریم. و کل مجموعه معادل یک  $^{ROM}$  ۸×۸۲ می باشد. چنانچه یک  $^{ROM}$  غیرفعال شود خروجی های آن به حالت امپدانس بالا می رود بنابراین خطر تأثیر بار شدن پیش نعی آید.



۲۷-۲۷) یک تراشه ROM با ظرفیت ۴۰۹٦×۸ دارای دو ورودی تواناساز بوده و با منبع تغذیه ه ولت کار می کند. چند پایه برای بسته مدار مجتمع لازم است؟ بلاک دیاگرام آن را رسم و پایانه های ورودی و خروجی را نام گذاری کنید.

حل:

 $\wedge \times^{17} = \Lambda \times \Lambda \longrightarrow 11 خط آدرس و <math>\Lambda \approx 4$  داریم.



بنابراین در مجموع ۲۶ پایه برای بسته مدار مجتمع لازم است.



فصل سوم / نمایش اطلاعات

## مسائل فصل سوم: نمايش اطلاعات

۱-۳) اعداد دودویی زیر را به دهدهی تبدیل کنید: ۱۱۰۱،۱۰۱۰،۱۱۱۰،۱۱۱۰ ۱۱۰۱،۱۰۱۰

حل:

$$(1\cdot11\cdot)_{\tau}=T^{1}+T^{\tau}+T^{\tau}+T^{\circ}=\xi T$$

$$(111 \cdot 1 \cdot 1)^* = Y' + Y^T + Y^T + Y^T + Y^T = 11V$$

$$(11 \cdot 1.1 \cdot 1 \cdot 1)_{\tau} = \Upsilon^{\tau} + \Upsilon^{\tau} + \Upsilon^{\tau} + \Upsilon^{-\tau} + \Upsilon^{-\tau} = 1\Upsilon, \frac{0}{\Lambda}$$

۲-۳) اعداد زیر، که در آنها پایههایشان مشخص شده است را به دهدهی تبدیل کنید:  $(194)_{17}(0.0)_{17}(0.0)$ 

حل:

$$(17171)_r = 1 \times T' + 7 \times T' + 1 \times T' + 7 \times T'' + 1 \times T' = 101$$

$$(\xi \Upsilon) \cdot)_{\alpha} = 1 \times 0^{1} + \Upsilon \times 0^{\Upsilon} + \xi \times 0^{\Upsilon} = 0 \Lambda$$

$$(0\cdot)_{v} = 0 \times V' = T0$$

۳-۳) اعداد دهدهی زیر را به دودویی تبدیل کنید: ۱۹۹۸،٦٧٣:۱۲۳۱

٤-٣) حل:

راه كوتاه استفاده از جدول توان ۲ مي باشد

$$(3\Gamma - PV) + 3\Gamma + \lambda 7I + 37 \cdot I = PV + \lambda 7I + 37 \cdot I =$$

$$1 + 7 + 3 + A + 3\Gamma + A7I + 37 \cdot I = 0I + 3\Gamma + A7I + 37 \cdot I = 0I + 3\Gamma + A7I + A7I + 3\Gamma + A7I + A$$

$$= \chi_{1} + \chi_{A} + \chi_{J} + \chi_{L} + \chi_{L} + \chi_{L} + \chi_{L} + \chi_{L}$$

$$=(1\cdots 11\cdots 1111)_{\tau}$$

در واقع توانهای ۲ را از عبارت بیرون می کشیم یا عبارت را بر حسب توانهای ۲ مینویسیم.

# تشریح مسائل معماری کامپیونر

۵-۳) اعداد دهدهی زیر را به مبناهای مشخص شده تبدیل کنید.

حل:

 $\rightarrow (Y \circ T \circ T)_{,.} = (Y \circ T \circ T)_{,.}$ 

الف (الف ) - ددویی (الف ) - ددویی (الف ) - درویی (

$$\frac{1977}{7} \frac{177}{177} \frac{177}{7} \longrightarrow (1977)_{1,2} = (V97)_{1,2}$$

$$\begin{array}{c|c}
\hline
 & 1 & 1 & 1 \\
\hline
 & 1 & 1 &$$

فصل سوم / نمایش اطلاحات

# ۳-٦) عدد شانزده شانزدهی Fravcr را به دودویی و هشت هشتی تبدیل نمائید.

### حل:

اگر در مبنایی که توانی از ۲ باشد، برای رفتن به مبنای ۲ کافی است به جای هر رقم معادل دودویی آن را وارد کنیم.

برای رفتن از مبنای ۲ به مبنایی که توانی از ۲ باشد کافی است بیت ها را دستهبندی کنیم، و معادل این دستهها را در مبنای دیگر جایگزین کنیم.

مثال:

دسته ۱ دسته ۲

$$(1 \cdot 1 \cdot 111)_{r} = (AF)_{r}$$

$$(FrAvC_1)_{i_1} = (1111, \cdots 11, 111, \cdots 111, 111, \cdots 111, \cdots$$

اگر جواب معادله  $x=\Lambda, x=0$  برابر  $X^*-1.7X+T=0$  باشد. پایه عددها چیست؟ حل:

عدد = مبنای عدد = y: فرض می کنیم = y: فرض می کنیم = y:  $= x^{\tau} - (y)$ ,  $= x^{\tau} -$ 

بنابراین مبنای عددها ۱۳ بوده است.

راه حل دیگر:

دو جواب معادله را داریم پس چون

$$(\Lambda)_y = (\Lambda)_{,.}$$

$$(0)_{y} = (0)_{y}$$



بنابراین ۸٫۵ در مبنای ۱۰ دو جواب معادلهاند، پس معادله در مبنای ۱۰ را به صورت زیر خواهیم داشت

$$(x-o)(x-h)=x^{\tau}-(h\tau)_{\tau}x+(\tau+\cdot)_{\tau}=\cdot$$

معادله در مبنای y برابر است با

$$X^{'} - (1 \cdot)_{y} X + (T1)_{y} = \cdot$$

$$\xrightarrow{} \begin{cases} (1 \cdot)_{y} = (1T)_{1}, \\ (T1)_{y} = (\xi \cdot)_{1}, \end{cases} \rightarrow y = 1T$$

۷-۷) مقدار همه بیتهای یک ثبات ۱۲ بیت که عددی معادل ۲۱۵ دهدهی را نگه می دارد:

ب) هشت هشتی کد شده با دودویی

ج) شانزده شانزدهی کد شده با دودویی د) دهدهی کد شده با دودویی (BCD)، نشان دهید.

حل:

الف) به دودویی

رالف مشت هشتی کد شده با دودویی 
$$\rightarrow (0,0)$$
 (الف مشت هشتی کد شده با دودویی  $\rightarrow (0,0)$  (الف رایع می در شده با دودویی  $\rightarrow (0,0)$  (بین می در شده با دودویی  $\rightarrow (0,0)$  (بین می در شده با دودویی  $\rightarrow (0,0)$  (بین می در شده با دودویی کد شده با دودویی (BCD)  $\rightarrow (0,0)$  (بین می ده ده می کد شده با دودویی (BCD)  $\rightarrow (0,0)$  (بین می دودویی دودویی (۲۱۵) (د

۸-۳) آرایش یک ثبات ۲۶ بیتی را که محتوایش معادل یک عدد دهدهی ۲٫۵ است؛

الف) به دودویی ب) به BCD ج) به ASCII با استفاده از هشت هشتی با توازن زوج، نشان دهبد

$$( 190 )_{1} = 107 + 77 + 7 = ( 100 )_{1}$$
 $( 190 )_{1} = 100 + 77 + 7 = ( 100 )_{1} + 7 + 7 = ( 100 )_{1} + 7 + 7 = ( 100 )_{1} + 7 + 7 = ( 100 )_{1} + 7 + 7 = ( 100 )_{1} + 7 + 7 = ( 100 )_{1} + 7 + 7 = ( 100 )_{1} + 7 + 7 = ( 100 )_{1} + 7$ 

## فصل سوم / نمايش اطلاعات

بیت توازن زوج طوری مقدار میگیرد که تعداد بیتهای ۱ در هر کدام از بایتها زوج باشد. و مکان آن در بیت آخر بایت (در این مثال) میباشد.

- \* به جدول كدهاي ASCII رجوع فرمائيد.
- ۹-۳) نام خود را با استفاده از یک کد هشت بیتی به ASCII نوشته و بیت سمت چپ منتها الیه را در نظر بگیرید. بین نام و نام خانوادگی خود از کاراکتر فضای خالی استفاده کنید و در صورت استفاده از فقط حرف اول نام، پس از آن نقطه بگذارید.

#### حل:

۱۰۰۱۰۱۰,۱۰۰۱۱۱۱,۱۰۰۱,۱۰۰۱۱۱۰,۰۱۰۰۰۰,۱۰۰۱۱۱۰,۱۰۰۱۱۱,۱۰۰۱۱۱ حل:

 $\underbrace{\cdots}_{b}\underbrace{\cdots}$ 

۱۱-۳) متمم و اعداد دهدهی هشت رقمی زیر را به دست آورید.

17844775,..47.1..,4...4401,.....

#### حل:

متمم و یک عدد دهدهی با تفریق هر یک از ارقام آن از ۹ بدست میآید.

AV70 • 1 TT, 99 • 1 9A99, • 999 • • £A, 9999999

زيرا A - 9... 999 = A - (1- "10")= A متمم و

۲-۱۲)متمم ۱۰ اعداد دهدهی شش رقمی زیر را بدست آورید.

#### حل:

چون  $N^{-1}$  عددی است که با یک ۱ و بدنبال آن با N عدد ۰ نشان داده می شود، لذا  $N^{-1}$  که متمم ۱۰ عدد N است، نیز می تواند به همین صورت تعریف شود. بدین ترتیب که تمام ۱۰ ارزش تر را دست نخورده باقی گذاشته و اولین رقم غیره را از ۱۰ کم می کنیم، و سپس تمام رقمهای مرتبه بالاتر را از ۹ کسر نمائیم.

۸٧٦١٠٠,٩٠٩٣٤٣,٩٠٠٠٠,٠٠٠٠٠

۱۳-۱۳) متممهای ۲٫۱ اعداد دودویی هشت رقمی زیر را بدست آورید.

حل:

متمم ۱ یک عدد دودویی از تبدیل اها به صفرها و ۱۰ها به ۱ها بدست می آید.

برای بدست آوردن متمم ۲ می توان همه ۱های سمت راست و اولین رقم ۱ را دست نخورده باقی

گذاشت، و سپس ۱ها به جای ۱ و ۱ها به جای ۰ در بقیه مکانهای با ارزش تر گذاشته می شوند.

ا المالاال, المالالم, ال

 $^{\prime}$  متمم  $\rightarrow$  ۱۰۱۰،۰۱۰,۰۱۱۱۱۱۱۱,۱۰۰۰۰۰۰ متمم

\* همچنین متمم ۲ را می توان با جمع متمم ۱ با ۱ بدست آورد.

۳-۱٤) تفریق را با اعداد دهدهی بدون علامت زیر و با استفاده از متمم ۱۰ مفروق انجام دهید.

ب) ۱۷۵۳–۸۷۶۰

الف) ۱۳۲۱–۲۰۲۰

د) ۲۰۰۰–۲۵۰

ج) ۱۰۰-۲۰

حل:

۰۵۲ه=M (الف

سه ۱۷۵۳ (ب

N عدد ۱۰ متمم ۱۰ عدد N

١٣٩٢٩= مجموع

N عدد N عدد N

۳۱۱۳= مجموع

رقم نقلی وجود ندارد ← جواب نهایی برابر متمم ۱۰ عدد ۳۱۱۳ میباشد.

۳۱۱۳ , ۱۰ متمم =-٦٨٨٧

به علت غياب رقم نقلي

 $M=\cdot \cdot \cdot$ 

۰۰ ۱۲۰۰ M=۱۲ (د

.. ۹ = متمم ۱۰ عدد N

۹۷۵۰=متمم ۱۰ عدد N

97.

1.90.

۰۸۰= متمم ۱۰، ۹۲۰

٠٩٥٠= با حذف رقم نقلي

به علت غياب رقم نقلي

۲۵–۳) تفریق را با اعداد دودویی بدون علامت زیر و با استفاده از متمم ۲ مفروق انجام دهید.

ب) ۱۱۰۱۱–۱۱۰۱

الف) ۱۱۰۱۰–۱۱۰۱۰

1.1.1..-1.1.1.. (5

ج) ۱۱۰۰۰۰ (ج

# فصل سوم / نمایش اطلاعات

حل:

$$X=11.1.$$
 $X=11.1.$ 
 $X=11.1.$ 
 $Y=11.1.$ 
 $Y=11.$ 
 $Y=$ 

۲-۱۹) اعمال حسابی (۱۳-)+(+2+),+(+2+), را در دودویی و با استفاده از متمم ۲ علامتدار برای اعداد منفی انجام دهید.

ارقام نقلی: ۱۱ ۱۱۰۱۰۱۰

111...11

1..111.1

چون رقم نقلی وارده به بیت علامت و رقم نقلی خارج شده از آن هر دو ۱ هـستند ســر ریــز رخ

 $\mathbf{c}_{\scriptscriptstyle \mathsf{n-1}} \oplus \mathbf{c}_{\scriptscriptstyle \mathsf{n}} = \mathbf{0}$  نداده و رقم نقلی را حذف می کنیم.

(مثبت) ۰۰۱۱۱۰۱=جواب

REB

# ارزش بیتها در روش متمم ۲ علامتدار به صورت زیر است

	_Y <sup>n</sup>	<b>Y</b> n-\	 *	۲١	۲,
1			_		

 $11 \cdot \cdot \cdot 11 = 1 + 1 \times 1^1 + 1 \times 1^0 - 1 \times 1^1 = 1 + 1 \times 1^1 = 1$ 

(-7) اعمال حسابی (-4)+(-4)+(-4)+(-4)+(-4)+(-4)+(-4) را با نمایش اعداد دودویی به شکل متمم علامت دار انجام دهید. از هشت بیت برای نمایش هر عدد به همراه علامت آن استفاده کنید. نشان دهید که در هر مورد سر ریز رخ می دهد، دو نقلی آخر نامساویند، و علامت معکوس می شود.

دامنه اعدادی که یک ثبات  $\Lambda$  بیت می تواند در خود جای دهد از عدد دودویی +177 تا +177 است. چون مجموع +170 است، از ظرفیت ثبات هشت بیتی تجاوز می کند، این وضعیت هنگامی رخ می دهد که اعداد هر دو مثبت یا منفی باشند.

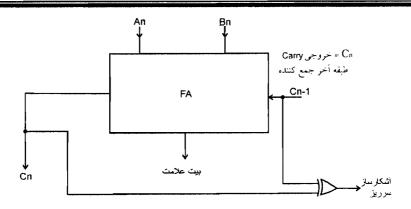
توجه کنید که نتیجه ۸ بیتی که میباید مثبت باشد، دارای بیت علامت منفی است و نتیجه ۸ بیتی که باید منفی میبود دارای بیت علامت مثبت است. با این وجود اگر، رقم نقلی خارج شده از محل بیت علامت در نظر گرفته شود، جواب و بیتی حاصل صحیح خواهد بود.

چون جواب نمی تواند در ۸ بیت جای گیرد گوئیم سر ریز رخ داده است.

ورودی carry طبقه آخر جمع کننده = $C_{n-1}$ 

خروجی Carry طبقه آخر جمع کننده  $C_n$ 





حالت سر ریز را میتوان با مشاهده رقم نقلی وارده به بیت علامت ( C<sub>n-1</sub> ) و نقلی خارج شده از بیت علامت ( ، ۵ درک کرد.

اگر این دو نقلی با هم مساوی نباشد، یک وضعیت سر ریز تولید شده است.

۳-۱۸عملیات محاسباتی زیر را در سیستم اعداد مکمل ۱۰ انجام دهید.

(۲۳۸)+(۱۸۵) (ب الف) (۷۸۵)+(۲۸۵)

حل:

الف) مكمل ۱۰ عدد ۱۳۸ برابر است با: ۹۳۲۲

مكمل ۱۰ عدد ٦٣٨- را،با ٧٨٥ جمع مي كنيم

9777

. VA0

. 1 £ V

ب) مکمل ۱۰ عدد ۱۳۸- را، با ۱۸۵ جمع میکنیم:

7579

.110

90£V

(عدد ۹۵۲۷ مکمل ۱۰ عدد نتیجه یعنی ۴۵۳ است.)

یک عدد دودویی ممیز شناور ۳۱ بیتی دارای ۸ بیت بعلاوه علامت برای نما و ۲۹ بیت (4-19 بعلاوه علامت برای مانتیس میباشد. مانتیس یک کسر نرمالیزه شدهاست. اعداد مانتیس و نما

به فرم مقدار علامتدار هستند. بزرگترین و کوچکترین عددی که با این شکل می توان نشان داد، بجز صفر، کدامند؟

#### حل:

یک عدد ممیز شناور، در صورتی که پرارزش ترین رقم مانتیس غیرصفر باشد، نرمالیزه خوانده می شود.

	مانتيس		توان	
S	۲٦ بيت	S	۸ بیت	
	111	$11\times 7^{+700} = -(1$	کو چکترین عدد ۲ <sup>-۱</sup> ۰۰×( <sup>۲-</sup> ۲-	

بزرگترین عدد ۲<sup>+۲۰۰</sup> (۲-۲-۱)=۲<sup>+۲۰۰</sup>×۲×۱۱۱۱۱...

كوچكترين عدد مثبت

 $\cdot \cdot \cdot \cdot \cdot \cdot \cdot \cdot 1 \times Y^{-700} = Y^{-77} \times Y^{-700}$ 

۳-۲) عدد (٤٦.٥) را به صورت یک عدد دودویی ممیز شناور ۲۲ بیتی نشان دهید. مانتیس که یک کسر نرمالیزه است ۱٦ بیت و نما ۸ بیت دارند.

حل:

$$y(1.111.1)=^{1}Y+Y+3+A+Y7=0.F3}$$
 $Y\times_{Y}(1.111.1)=$ 
 $Y\times_{Y}(1.111.1)=$ 
 $Y\times_{Y}(1.111.1)=$ 
 $Y\times_{Y}(1.111.1)=$ 

۸ بیت نما و علامت ۱۲ بیت مانتیس و علامت

(7-7) کد گری گاهی اوقات کد انعکاسی خوانده می شود. زیرا مقادیر بیتها در دو طرف هر یک از توانهای (7-7) انعکاس یافته یکدیگرند. مثلاً همانطور که در جدول (7-7) ملاحظه می شود، مقدار سه بیت پایین رتبه در دو طرف خطی که بین (7-7) و (7-7) کشیده شود انعکاس یکدیگرند. با استفاده از این خاصیت کد گری مطلوبست:

الف) اعداد کد گری برای ۱٦ تا ٣١ به عنوان ادامه جدول ٣-٥

ب) کد گری افزونی ۳ برای اعداد دهدهی ۱۰ تا ۱۹ به عنوان ادامه جدول ۱-۳.



# فصل سوم / نمایش اطرحات

#### -

(الف	دهدهی	کد گری	دهدهی (ب	افزونی ۳گری
_	17	11		.1.11
	۱۷	111	11	
	۱۸	11.11	١٢	.,
	۱۹	11.1.	17	11
	۲.	1111.	١٤	11
	۲۱	11111	١٥	11.11
	**	111.1	17	11.1.
	77	111	۱۷	1111.
	4.5	1.1	١٨	11111
	۲٥	1.1.1	19	111.1
	77	1.111		
	۲۷	1.11.		
	۲۸	1		
	49	111		
	۲٠	11		
	٣١	1		

۳-۲) عدد دهدهی ۸۹۲۰ را به شکل (الف) BCD؛ ب) افزونی ۳؛ ج) کد ۲٤۲۱؛ د) عدد دودویی نمایش دهید.

حل)

۳-۲۳) ده رقم BCD را با توازن زوج در منتها الیه سمت چپ آن (کلاً پنج بیت در هر رقم) نشان دهید. عمل را با توان فرد تکرار کنید.



دهدهی	بیت توازن زوج	کد BCD	بیت توازن فرد	کد BCD
•	•	• • • •	\	• • • •
١	,	)	•	1
۲	١		•	
٣	•	11	١	11
٤	١	. )	•	. )
0	•	.1.1	١	.1.1
٦	•	.11.	1	.11.
٧	١	•111	•	.111
٨	\	١	•	1
٩	•	11	١	11

۳-۲۰) عدد دهدهی ۳۹۸۶ را به صورت کد ۲٤۲۱ جدول ۳-۳ نشان دهید. تمام بیتهای عدد . . کد شده را متمم کنید و نشان دهید که متمم ۹ همان عدد ۳۹۸۶ با کد ۲٤۲۱ است.

حل:

$$(\mathsf{TAAE})_{1.} = (\overbrace{\cdot\cdot 11}^\mathsf{T}, \overbrace{111}^\mathsf{A}, \overbrace{111}^\mathsf{A}, \overbrace{\cdot 11}^\mathsf{A}, \overbrace{\cdot 11}^\mathsf{A})_{\gamma_{\mathsf{ET}1}}$$

با معكوس كردن تمام بيتها داريم:

$$(\overbrace{11\cdot\cdot},\overbrace{\cdot\cdot\cdot},\overbrace{\cdot\cdot\cdot},\overbrace{\cdot\cdot\cdot})_{\tau_{\xi\tau_1}}=(7\cdot10)_{\tau_1}$$

٦٠١٥= متمم ٩ عدد ٢٩٨٤

نشان دهید که تابع  $\mathbf{OR}$  انحصاری  $\mathbf{O} \oplus \mathbf{C} \oplus \mathbf{D} \oplus \mathbf{C} \oplus \mathbf{D}$  یک تابع فرد است. یکی از راه این است که جدول درستی  $\mathbf{Y} = \mathbf{A} \oplus \mathbf{B}$  و  $\mathbf{Y} = \mathbf{C} \oplus \mathbf{D}$  را بدست آورده و سپس جدول درستی  $\mathbf{X} = \mathbf{Y} \oplus \mathbf{Z}$  را بدست آورید. نشان دهید که  $\mathbf{X} = \mathbf{X}$  به شرطی که تعداد ۱ها در  $\mathbf{A} \oplus \mathbf{C} \oplus \mathbf{C}$  و  $\mathbf{C} \oplus \mathbf{C}$  نشد.

Α	В	$y = A \oplus B$	C	D	$Z = C \oplus D$
•	•	•	•	•	•
•	١	١	•	١	1
1	•	١	١	•	1
١	١	•	١	١	•



فصل سوم / نمایش اطلا

у	Z	$X = y \oplus z$
•	•	•
٠	١	١
١	•	١
١	١	•

$$y = 0 = \begin{cases} AB = 00 \\ AB = 11 \end{cases}$$
  $z = 0 \begin{cases} CD = 01 \\ CD = 10 \end{cases}$ 

ightarrow به ازای چهار ترکیب  $ilde{X}$  به ازای چهار ترکیب  $ilde{X}$  به ازای خواهد بود.

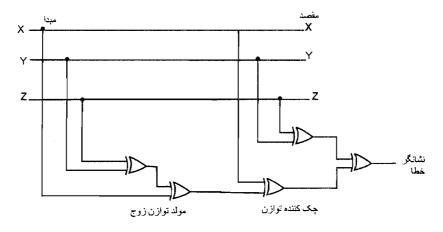
$$y = 1$$
  $AB = 01$   $AB = 10$   $AB = 10$   $AB = 10$   $AB = 10$   $AB = 10$ 

ightarrowبهازای چهار ترکیب دیگر ۱۰۰۰ و ۱۱۱۰ و ۱۰۰۰ و ۱۰۱۱ X یکم خواهدبود.

پس بهازای این ۸ ترکیب X یک خواهدبود و در تمام این ترکیبها تعداد ۱ها فرد است.

در ۸ حالت دیگر X صفر خواهدبود که در آن ترکیبها تعداد ۱ها زوج است.

۳-۳) مدارهای یک مولد توازن سه بیتی و چک کننده توازن چهار بیتی را با استفاده از بیت توازن زوج بدست آورید. (مدارات شکل ۳-۳ توازن فرد را به کار بردهاند).





# مسائل فصل چهارم : عمليات نقل و انتقال ثبات ها

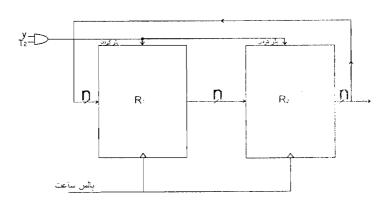
۱-٤) بلاک دیاگرام سخت افزاری مشابه شکل ۲-۱ (الف) که عبارت انتقال ثبات زیر را پیاده سازی کند را رسم کنید:

$$yT_{r}: R_{r} \leftarrow R_{s}$$
  $pR_{s} \leftarrow R_{r}$ 

حل:

سختافزار باید این دو انتقال همزمان انجام دهد البته به شرطی که  $yT_{\gamma}=y$  علامت فلش بیانگر انتقال اطلاعات و جهت آن است. از کاما برای جدا کردن دو یا چند عمل که همزمان انجام می شوند استفاده می شود. عبارت بالا نشان دهنده عملی است که محتوای دو ثبات در طول یک پالس ساعت مشترک با یکدیگر تعویض می شوند، مشروط بر این که  $yT_{\gamma}=y$  باشد.

این عمل همزمان با ثباتهایی امکانپذیر است که فلیپفلاپهای حساس به لبه پالس داشتهباشند.



فليپفلاپها بايد حتماً حساس به لبه باشند.

 $R_{1}$  و  $R_{2}$  از طریق یک مولتی پلکسر  $R_{3}$  به ورودیهای  $R_{4}$  و  $R_{5}$  از طریق یک مولتی پلکسر  $R_{5}$  به ورودیهای ثبات پنجم  $R_{6}$  و صل شده اند. هر ثبات هشت بیتی است. انتقالات لازم توسط چهار متغیر زمانبندی  $R_{5}$  مطابق زیر تعیین می شود.



 $T_{i}: R_{o} \leftarrow R_{i}$ 

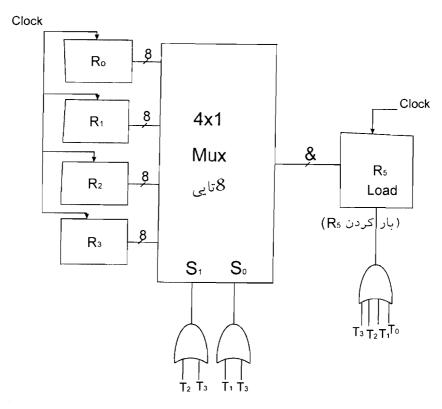
 $T_1: R_{\wedge} \leftarrow R_{\wedge}$ 

 $T_r: R_{\wedge} \leftarrow R_{r}$ 

 $T_r: R_{\wedge} \leftarrow R_r$ 

متغیرهای زمانی دو به دو از هم جدا هستند. یعنی در هر زمان معین یک متغیسر ۱ است، در حالی که سه متغیر دیگر ، هستند. بلاک دیاگرامی رسم کنید که نشان دهنده سخت افزار پیاده سازی انتقال ثبات باشد. اتصالات لازم بسرای چهار متغیسر زمانبندی به خطوط انتخاب مولتی پلکسر و ورودی بار کردن ثبات ،R را نیز نشان دهید.

حل:



پایههای هم نام توسط سیمهای هادی به یکدیگر متصل می باشند. در سیستمهای کامپیوتری برای انجام هر تغییری در ثباتها حداقل یک پالس ساعت لازم است.



۳–٤) عبارت كنترلى شرطى زير را به وسيله دو عبارت انتقال ثبات با توابع كنترل نشان دهيد.

If (p=1) then  $(R_1 \leftarrow R_7)$  else if (Q=1) then  $(R_1 \leftarrow R_7)$ 

حل:

 $P: R_1 \leftarrow R_2$ 

 $\overline{P}Q:R_1 \leftarrow R_r$ 

اگر معادل عبارت بالا را بدون كاربرد else بخواهيم داشتهباشيم، عبارت زير را خواهيمداشت:

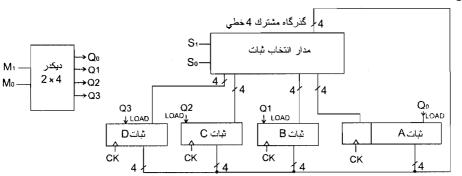
if 
$$(p = 1)$$
 then  $(R_1 \leftarrow R_{\gamma})$ 

if 
$$(p \neq \forall \text{ and } Q = \forall)$$
 then  $(R_1 \leftarrow R_{\gamma})$ 

 $P \neq 1 \sim P = 0 \leftarrow P$ چون P چون P چون

3-3) برای اینکه سیستم گذرگاه شکل 3-3 اطلاعات را از هر ثبات به هر ثبات دیگر منتقل کند  $\mathbf{c}$  به باید کرد؟ خصوصاً اتصالاتی را که باید برای تهیه یک مسیر از خروجی های ثبات  $\mathbf{c}$  به ورودی های ثبات  $\mathbf{A}$  وصل نمود نشان دهید.

حل:



A نباتهای A (بار کردن) شباتهای A ( $Q_7$ ,  $Q_7$ ,  $Q_7$ ,  $Q_8$ ) به ترتیب به ورودیهای A (بار کردن) شباتهای A و A متصل اند.

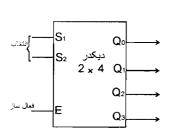
ورودیهای هم نام توسط سیمهای هادی به یکدیگر متصلاند.

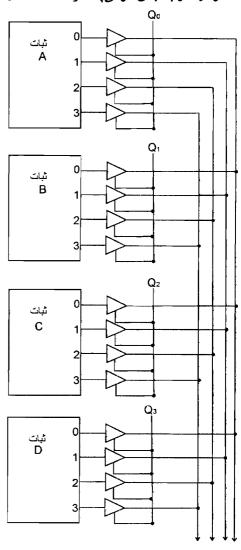
برای تغییر در هر ثبات حداقل یک لبه کلاک (بالا رونده یا پایین رونده) مورد نیاز است.



# فصل چهارم./ عملیات نقل و انتقال ثبات.ها

۵-۵) یک سیستم گذرگاه مانند آنچه در شکل ۳-٤ دیده شد رسم کنید، ولی از بافرهای سه حالته و دیکدر به جای مولتی پلکسر استفاده نمائید.





4 خط باس مشترک

پایههای هم نام از طریق سیمهای هادی به یکدیگر متصل اند.



۲-3) یک کامپیوتر دیجیتال دارای سیستم گذرگاه مشترک برای ۱۹ ثبات ۳۲ بیتی است. گذرگاه با مولتی یلکسر ساخته شدهاست.

الف) در هر مولتی پلکسر چند ورودی انتخاب وجود دارد؟

ب) اندازه مولتي پلكسر چيست؟

ج) چند مولتی پلکسر در گذرگاه است؟

### حل:

برای ایجاد چنین گذرگاهی شکل (۳-۱) را گسترش میدهیم. در این صورت برای هر ۱٦ MUX ورودی از ۱٦ ثبات مختلف خواهیم داشت. و برای ایجاد ۳۲ بیت خروجی ۳۲ عدد MUX مورد نیاز است.

الف) با توجه به اینکه هر MUX، ۱۲ ورودی دارد بنابراین  $\mathfrak z$  ورودی انتخاب خواهیمداشت زیرا  $\mathfrak T^{\mathfrak t}=\mathfrak T^{\mathfrak t}$ .

ب) ۱۲×۱

ج) ۳۲ عدد، برای هر بیت ثباتها، یک مولتی پلکسر نیاز است، پس کلاً ۳۲ مولتی پلکسر ۱٦ به ۱ لازم می باشد.

۷-٤) عبارات زیر انتقال در یک حافظه را مشخص می کنند. در هر حالت عمل حافظه را توضیح دهید.

$$R_{\circ} \leftarrow M[R_{\circ}]$$
 (ج  $M[AR] \leftarrow R_{\tau}$  (ب  $R_{\tau} \leftarrow M[AR]$  الف)

### حل:

الف) محتوایی که حافظه با آدرس AR مشخص میکند به ثبات  $R_{\tau}$  منتقل میشود.

ب) محتوای ثبات R به خانهای از حافظه که با آدرس AR مشخص است، انتقال می یابد.

ج) محتوایی که حافظه با آدرس هR مشخص میکند به ثبات هR انتقال میIابد.

۵-۸) بلاک دیاگرام سختافزاری را رسم کنید که عبارات زیر را پیادهسازی کند.

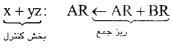
 $x + yZ : AR \leftarrow AR + BR$ 

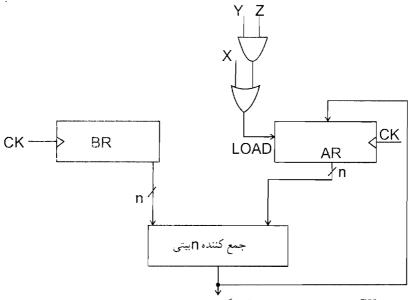
که AR و BR و R و Y متغیرهای کنترلاند. برای تابع کنترلی گیتها را نیز نشان دهید. (بیاد داشته باشید که سمبل + در بخش کنترل عمل OR و در ریز جمع به معنی بعلاوه است.)



# فصل چهارم./ عمليات نقل و انتقال ثباتها

### حل:





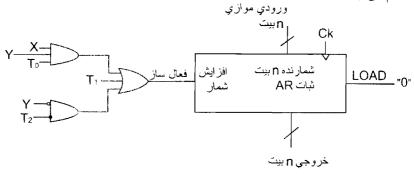
ورودیهای CK از طریق سیم هادی به یکدیگر متصلاند.

۹-۵) سختافزاری را نشان دهید که عبارت زیر را پیادهسازی کند. برای تابع کنترل گیتها و برای شمارنده دودویی با ورودی فعالساز (تواناساز) شمارش، بلاک دیاگرام را رسم کنید.

 $xyT_0 + T_1 + \overline{y} T_2 : AR \leftarrow AR + 1$ 

### حل:

یک شمارنده با ورودی افزایششمار (فعالساز) و ورودی بار کردن موازی (load) هم میتواند شمارنده و هم میتواند ثبات باشد.





برای درک بهتر طرز کار این شمارنده به شکل (۱۱-۲) مراجعه فرمائید.

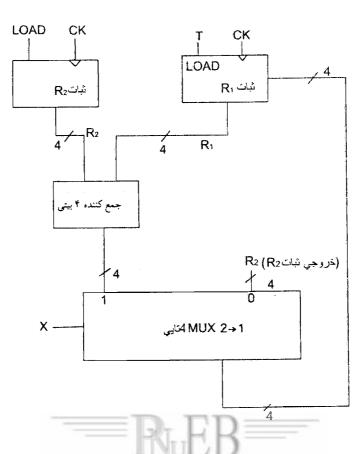
۱۰-۵) عبارت انتقال ثبات زیر را برای دو ثبات ٤ بیتی  $\mathbf{R}_1$  و  $\mathbf{R}_7$  ملاحظه کنید.

 $XT:R_1 \leftarrow R_1 + R_2$ 

 $\overline{X}T:R_1 \leftarrow R_7$ 

هر بار که T=1 است، اگر X=1 باشد، محتوای  $R_1$  به  $R_2$  اضافه می شود و اگر X=1 باشد  $R_3$  به  $R_4$  انتقال می بابد. دیاگرامی رسم کنید که پیاده سازی سخت افزاری دو عبارت را نشان دهد.

برای دو ثبات ٤ بیتی، یک جمع کننده ٤ بیت، و یک مولتیپلکسر چهارتایی m Y که ورودیها  $m R_1$  را انتخاب می کند از بلاک دیاگرام استفاده کنید. در دیاگرام نشان دهید که متغیرهای کنترلی  $m R_1$  و m T چگونه ورودیهای مولتیپلکسر و ورودی بار کردن ثبات  $m R_1$  را انتخاب می کنند.



# فصل چهارم./ عمليات نقل و انتقال ثباتها

\* پایهها و باسهای همنام از طریق سیم هادی به یکدیگر متصل اند.

۱۱-٤) با استفاده از یک شمارنده ٤ بیتی با بار شدن موازی مانند شکل ۲-۱۱ و یک جمع کننده ٤ بیتی مانند شکل ٦-٤، یک بلاک دیاگرام رسم کرده و چگونگی پیادهسازی عبارتهای زیر را نشان دهید.

 $X: \mathbf{R}_1 \leftarrow \mathbf{R}_1 + \mathbf{R}_1$  را به  $\mathbf{R}_1$  اضافه کن  $\mathbf{R}_2$ 

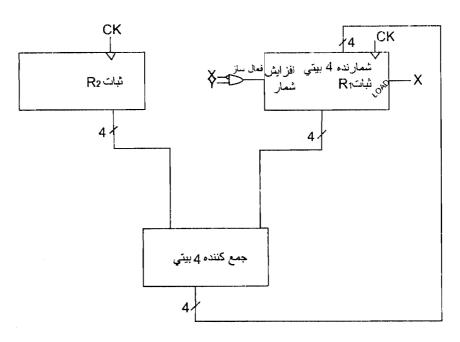
 $\overline{X}v:R_1 \leftarrow R_1 + 1$ 

را افزایش بده  $R_{\scriptscriptstyle \Lambda}$ 

که  $R_1$  یک شمارنده با بار شدن موازی و  $R_7$  یک ثبات 3 بیت است.

#### حل:

همانطور که در سؤال ۹-۶ مطرح شد یک شمارنده با ورودی افزایش شمار (فعالساز) و ورودی بار کردن موازی (Load) هم می تواند شمارنده و هم می تواند ثبات باشد.



شمارنده (ثبات ، الله و ثبات ، الله حساس به لبه کلاک بالس می باشند.

۱۲-۱۷ مدار جمع – تفریق کننده شکل V-3 دارای مقادیر زیر برای ورودی مد M و ورودیهای داده  ${f A}$  و  ${f B}$  میباشد. در هر حالت، مقادیر خروجی  ${f S}_{1}$  ، ${f S}_{1}$  ، ${f S}_{2}$  ،  ${f S}_{3}$  را معین کنید.



	M	A	В
الف	٠	•111	.11.
ب	•	١	11
ج	١	11	1
د	١	.1.1	1.1.
هـ	١	• • • •	•••

#### حل:

M=1 ورودی حالت M عمل را کنترل می کند. اگر M=1 باشد، مدار یک جمع کننده و هر وقت M=1 باشد مدار تبدیل به یک تفریق گر می شود.

الف 
$$M=\cdot \rightarrow C_{\iota}S. S_{\iota} S_{r} S_{r}=A+B=\cdot ۱ \cdot \cdot \cdot 1$$

$$(-)$$
  $M=\cdot \rightarrow C_{\iota}S$ ,  $S_{\iota}S_{r}=A+B=1\cdots+1\cdots=1\cdots$ 

$$(5) M=1 \rightarrow C_{\ell}S. S_{1} S_{r} S_{r}=A-B=A+\overline{B}_{+1}=11...+111+1=1.1..$$

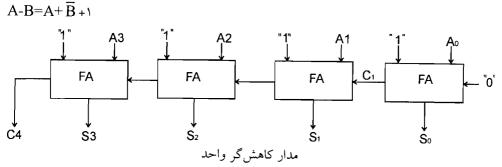
$$) M=1 \rightarrow C_{\epsilon}S. S_{1} S_{r} S_{r}=A-B=A+\overline{B}_{+1}=.1.1+.1.1+1=.1.11$$

۱۷- ٤) یک مدار ترکیبی کاهشگر چهار بیت با چهار مدار تمام جمع کننده بسازید.

### حل:

$$A-1=A+111.+1=A+1111$$

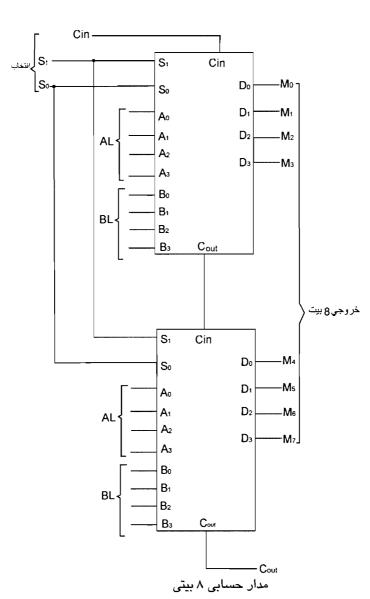
زيرا:



# فصل چهارم./عمليات نقل و انتقال ثباتها

٤-١٤) فرض کنید که مدار چهار بیت شکل ۹-٤ در یک مدار مجتمع قرار گرفتهباشد. اتصالات لازم برای دو IC از این نوع را برای ساختن یک مدار حسابی ۸ بیتی نشان دهید.

### حل:



\* دو IC كاملاً شبيه به هم هستند.



۱۵–۱۵) یک مدار حسابی با یک متغیر انتخاب S و دو خط ورودی I بیتی I و طراحی کنید. مدار چهار عمل حسابی زیر را با توجه به نقلی ورودی I تولید می کند. بلاک دیاگرام را برای دو طبقه اول مدار رسم کنید.

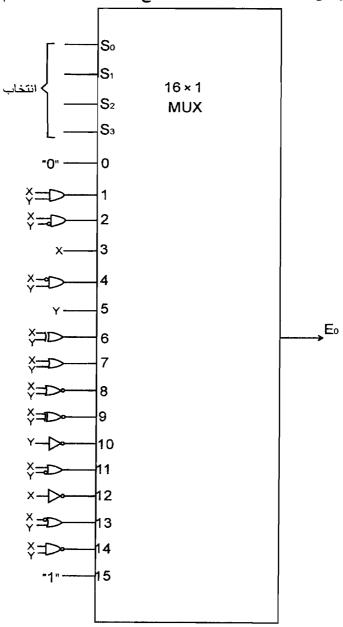
S	C <sub>in</sub> =·	C <sub>in</sub> =1
•	D=A+B(جمع)	(افزایش) D=A+۱
١	(کاهش) D=A-۱	(تفریق) ۱+ D=A+B

حل: Cin \_ S-A0-Si Χo C<sub>0</sub> So -Do 4×1 MUX Yo Ct 0 Cin\_ Χo Si  $C_1$ So  $4 \times 1$ – D₁ MUX Yο  $C_0$ B<sub>1</sub> \_ B₁---> به همین ترتیب برای n بیت ادامه دار د.

فصل چهارم./عمليات نقل و انتقال ثبات.ها

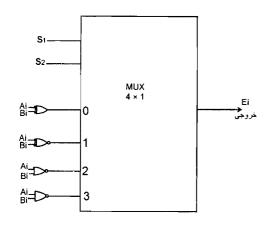
پایههای C<sub>in</sub> و S از طریق سیم هادی به پایههای همنام خود متصلاند.

۱۵-۱۶) مدار ترکیبی انتخاب و تولید هر یک از ۱۶ تابع منطقی جدول ۵-۱ را رسم کنید.



۱۷-٤) یک مدار منطقی که چهار عمل OR انحصاری، NOR انحصاری، NOR و NAND را انجام دهد طراحی کنید. دو متغیر انتخاب به کار برید. دیاگرام منطقی یک طبقه نمونه را نشان دهید

### حل:



S,	S.	خروجي	عمل
•	•	A⊕B	XOR
•	١	A⊙B	XNOR
١		$\overline{AVB}$	NOR
١	١	$\overline{A \Lambda B}$	NAND

\* متغیرهای همنام از طریق سیمهای هادی به یکدیگر متصل اند.

 $\mathbf{A}$ ورودی  $\mathbf{i}$  ام از باس  $\mathbf{A}$ 

۱۱۰۱۱۰۱ منطقی لازم را  ${\bf B}$  عدد هشت بیتی ۱۱۰۱۱۰۰۱ را حفظ می کند. عملوند  ${\bf B}$  و ریزعمل منطقی لازم را برای تغییر  ${\bf A}$  به هر یک از حالات زیر معین کنید.

#### حل:

$$A=11\cdot11\cdot1$$
  $V \rightarrow 0$ ریز عمل  $OR$ ) مطوند  $CR$   $A=111111\cdot1$   $A=111111\cdot1$ 

۱۹-۱۶) ثباتهای ۸ بیتی CR ،BR ،AR، و DR ابتدا دارای مقادیر زیرند



**AR=1111 ....** 

**BR**=1111 1111

CR=1.11 1...1

DR=111.1.1.

محتوای هشت بیتی هر یک از ثباتها را پس از اجرای هر یک از رشته ریز عملها مشخص کنید.

AR←AR+BR

الف) AR و BR را با هم جمع كن.

 $BR \leftarrow BR + 1$ 

ب) DR و CR را AND كسين، BR را افسيزايش بسيده

CR←CR ∧ DR <sub>J</sub>

**AR**←**AR**-**CR** 

ج) CR را از AR كم كن.

حل:

الف AR=۱۱۱۱ ۰۰۱۰

BR=1111 1111 (+)

 $AR=1111\cdots1$ 

BR و CR و DR تغییری نمی کنند

AR=1111 ...1

ر CR=۱۰۱۱ ۱۰۰۱

 $DR=111\cdot 1\cdot 1\cdot (\Lambda)$  (AND)

CR=1.1.1...

\ \(\(\frac{\((+)\)}{\(-\)}\)

BR=1111 1111

BR=....

 $CR=1\cdot1\cdot1\cdot\dots$   $BR=\dots$ 

DR و AR تغییری نمیکنند.

(ج

AR=۱۱۱۱ ۰۰۰۱ (أخرين مقدار)

تفريق (-) CR=۱۰۱۰ ۱۰۰۰ (آخرين مقدار)

AR=-\...

AR=....

CR ،BR و DR تغییری نمیکنند.

٤-٢٠) یک ثبات هشت بیتی حاوی عدد دودویی ۱۰۰۱ ۱۰۰۱ است. پس از یک شیفت به راست حسابی مقدار ثبات چقدر است؟ با شروع از مقدار اولیه ۱۰۰۱۱۱۰۰، مقدار ثبات را پس از یک شیفت به چپ حسابی معین کنید، و بگوئید آیا سرریز وجود دارد؟

### حل:



شیفت به راست حسابی بیت علامت را عوض نمیکند و همه بیتها (از جمله علامت) را به راست شیفت میدهد.

شیفت حسابی به چپ یک ۰ وارد .R مینماید، و کلیه بیتهای دیگر را به چپ شیفت میدهد.

اگر بیت واقع در  $R_{n-1}$  پس از شیفت عوض شود، علامت معکوس شدهاست. این هنگامی رخ می دهد که قبل از می دهد که ضرب در ۲ سبب سرریز گردد. سرریز در شیفت به چپ هنگامی رخ می دهد که قبل از شیفت  $R_{n-1}$  و  $R_{n-1}$  مساوی نباشد.

$$N_S = R_{n-1} \oplus R_{n-2}$$

اگر  $N_S=0$  باشد، سرریز وجود ندارد، ولی اگر  $N_S=1$  گردد، سرریز وجود داشته و پس از شیفت علامت عوض خواهدشد.

چون علامت عوض شده، بنابراین سرریز به وجود آمدهاست.

به وجود آمدن سرریز را قبل از شیفت توسط  $R_{n-1} \oplus R_{n-1}$  پیش,بینی میکنیم.

با شروع از مقدار اولیه R=1۱۰۱۱۰۱ R رشته مقادیر دودویی از در R پس از شیفت به راست چپ منطقی و بدنبال آن یک شیفت به راست چرخشی، و سپس یک شیفت به راست منطقی و نهایتاً یک شیفت به چپ چرخشی تعیین کنید.

### حل:

شیفت منطقی مقدار • را از طریق ورودی سری انتقال میدهد. و با سمبلهای shl و shr مشخص میشود.



## فصل چهارم./ عمليات نقل و انتقال ثباتها

شیفت چرخشی بیتهای ثبات را از طریق دو انتها بدون از دست دادن هر گونه اطلاعات میچرخاند.

و با سمبلهای cil و cir نمایش دادهمی شود

- ① shl R=1.111.1.
- ② Cir=.1.111.1
- ③ shr=......
- 4 cil=.1.111..

 $I_L$ و ۱-۱۰  $I_R$ ا  $I_R$ ا  $I_R$ ا و  $I_R$ =۱ و  $I_R$ =۱ مقدار  $I_R$ ا  $I_R$ ا و  $I_R$ =۱ و  $I_R$ ا و  $I_R$ 

حل:

با توجه به شكل:

 $A=A_{r}A_{r}A_{r}A_{r}A_{r}=\cdots$ 

 $(I_L=\cdot, S=1) \longrightarrow H_rH_rH_1H_2=\cdot 1 \cdot \cdot$ 

H=...

مقدار  $I_{
m R}$  در این نتیجه بی تأثیر است.

۲۳-۷) چه چیزی در عبارات انتقال ثبات زیر غلط است

 $yT: R_1 \leftarrow R_Y, R_1 \leftarrow R_Y$  (  $YT: AR \leftarrow \overline{AR}, AR \leftarrow V$ 

 $ZT: pc \leftarrow AR, pc \leftarrow pc + 1$  (7

حل:

الف) AR در یک لحظه نمی تواند دو مقدار داشته باشد.

ب) R<sub>1</sub> در یک لحظه نمی تواند دو مقدار داشته باشد.

ج) pc در یک لحظه نمی تواند دو مقدار داشته باشد.

از کاما برای جدا کردن دو یا چند عمل که همزمان انجام می شوند استفاده می شود.



# مسائل فصل پنجم : اصول تشکیلات و طراحی کامپیوتر

0-۱) کامپیوتری دارای ۲۵۱ لا ۲۵۱ کلمه حافظه ۳۲ بیتی است و یک دستورالعمل در یک خانه حافظه آن ذخیره می شود. هر دستور نیز دارای چهار قسمت است که عبارتند از: یک بیت دستور غیر مستقیم، کد اجرایی، آدرس حافظه و کد ثبات ها که هر یک از ۱۶ ثبات را مشخص می کند.

الف) چند بیت برای کد اجرایی، ثباتها و آدرس حافظه لازم است؟

ب) فرمت کلمه دستور را بکشید و بیتهای هر قسمت را مشخص کنید.

جند بیت آدرس ورودی و چند بیت داده ورودی برای حافظه خواهد بود؟

حل)

الف) چون  $^{11}=^{11}$   $^{11}$   $^{11}=^{11}$   $^{11}$ 

۱۸ بیت = آدرس 7 بیت = کد ثباتها ۱ بیت = بیت آدرس غیرمستقیم

۲۵بیت جمعاً

لذا باقیمانده بیت بیتهای یک کلمه یا یک دستور برابر ۷=۲۰-۳۲ است، یعنی ۷ بیت باقیمانده، کد اجرا می باشد.

ب) فرمت كلمه دستور مظابق زير مى باشد:

۱ V ٦ ۱۸ آدرس کد ثباتها کد اجرا

ج) تعداد آدرس ورودی ۱۸ بیت و داده ورودی ۳۲ بیت میباشد.



فصل پنجم./ اصول تشکیلات و طراح*ی* کامپیوتر

٥-٢) چه فرقى بين آدرس مستقيم و آدرس غيرمستقيم وجود دارد؟ براى انتقال اطلاعات از حافظه به ثباتها، چند بار مراجعه به حافظه مورد نياز است؟

حل)

آدرس مستقیم، دوبار مراجعه به حافظه نیاز است، یکی بسرای خواندن دستور و دیگسری بسرای خواندن عملوند دستور.

آدرس غیرمستقیم، سه بار مراجعه به حافظه نیاز است، خواندن دستور، خواندن آدرس مؤثر و خواندن عملوند دستور.

۵-۳) کنترلهای ورودی زیر، برای فعال کردن گذرگاه سیستم در شکل (۵-۱) وجود دارد.

برای هر حالت، انتقال اطلاعات ثباتها را، که در پالس ساعت اجرا می شود، مشخص نمایید.

	$S_{\tau}$	$\mathbf{S}_{V}$	So	بار کردن (LD) ثبات	حافظه	جمع كننده
a	١	١	١	IR	خواندن	-
b	١	١	•	PC	-	-
c	١	•	•	DR	نوشتن	-
d	•	•	•	AC	_	جمع

حل)

a- خواندن اطلاعات از باس و باركردن آن به ثبات IR يعنى: [IR←M[AR].

.PC $\leftarrow$ TR بعنی: PC بعنی: PC به باس و بارکردن آن به کنتور  $^{\rm PC}$  بعنی:

-c انتقال ثبات AC به باس، نوشتن در حافظه و بارکردن به ثبات DR.

 $DR \leftarrow AC$  یعنی:  $M[AR] \leftarrow AC$ 

d- اضافه كردن DR (يا INPR) به AC يعني: AC←AC+DR.

۵-۵) عملیات انتقال اطلاعات بین ثباتهای زیر، در سیستم شکل (۵-۵) انجام می پذیرد.

AR←PC (الف AR←PC) M[AR]←TR

به طـور همزمـان انجـام مـیشـود  $DR \leftarrow AC$  و  $DR \leftarrow M[AR]$  (ب

AC←DR(د



برای هر انتقال اطلاعات، مشخص نمایید:

- $S_1$  مقدار عدد باینری که برای ورودیهای انتخاب  $S_1$  ه  $S_2$  و  $S_3$  باید تخصیص دادهشود.
  - ۲- ثباتی که ورودی بار کردن (LD) آن باید فعال باشد (اگر وجود دارد).
    - ٣- عمليات خواندن و نوشتن از حافظه (اگر لازم است).
      - ٤- عملیات روی جمع کننده (اگر وجود دارد).

حل)

جوابهای ۱ و ۲ و ۳ و ٤ در جدول مشخص شدهاند.

	ات)	(برای ثب	باينرى	١ - مقدار	۲- بار کردن	۳- حملیات	1 July 1
	S-	S	S.		(LD) ثبات	احافقه	سع کنید.
AR←PC (الف	•	1	•	(PC)	AR		
IR←M[AR] (ب	١	١	١	(M)	IR	خواندن	
M[AR]←TR	١	١	•	(TR)	_	نوشتن	
DRAC (د	١	٠	•	(AC)	AC و DR		انتقال
AC←DR							DR به AC

(8-0) هر یک از ریزعملیات زیر نمی توانند در زمان یک پالس ساعت در سیستم شکل (8-0) اجرا شوند، ترتیب اجرای ریزعملیات هر یک از عملیات زیر را مشخص کنید. (مقدار AC عوض نمی شود).

الف) IR←M[PC]

ب) AC←AC+TR

 $DR\leftarrow DR+AC$  (7

حل)

الف) IR→M[PC]: كنتور PC نمى تواند آدرس حافظه را بدهد، لـذا آدرس ابتـدا بايـد بـه AR النقال داده شود و سيس محتواى خانه حافظه، به IR انتقال داده شود و سيس محتواى خانه حافظه، به

AR←PC IR←M[AR]



حل)

## فصل پنجم./ اصول تشکیلات و طراحی کامپیوتر

ب) AC+TR ( عملیات جمع باید AC با AC باشد، لذا ابتدا بایـد AC منتقــل فرد، سپس عملیات جمع انجام شود.

 $AC \leftarrow AC + DR$ 

ج) DR+AC: نتیجه عملیات جمع به AC منتقل می شود نه به ثبات DR. لذا ابتدا مجموع در AC قرار می گیرد سپس محتویات AC به DR منتقل می شود. مانند:

AC←AC+DR

DR←AC

۵-۹) فرمت دستورالعمل کامپیوتر مبنای شکل (۵-۵) و لیست دستورات جدول (۵-۳) را در نظر بگیرید. برای هر یک از دستورات ۱٦ بیتی زیر یک عدد چهار رقمی هگزادسیمال مستخص

نمایید و توضیح دهید که هر دستور چه کاری انجام می دهد:

کد اجرا آدرس ۲۶۰ الف) ۱۰۱(۱۰۲۶)= ۱۰۱۰ ۱۰۰۰

دستور فوق معادل ADD ۰۲۶ است، یعنی محتوای خانه حافظه AC را به ثبات AC اضافه کن.

كد اجرا أ**در**س غيرمستقيم

دستور فوق معادل STA۱۱۲۶ است، یعنی ثبات AC را در خانهٔ حافظهای که آدرس خانه حافظه ۱۲۶ است (آدرس غیرمستقیم) ذخیره کن.



دستور فوق معادل INC است، یعنی یک واحد به ثبات AC اضافه کن.

۷-۵) چه دستورالعمل هایی لازم است که فلیپفلاپ  ${\bf E}$  کامپیوتر مبنا، ۱ شود؟

حل)

فلیپفلاپ E را ۰ کن CLE

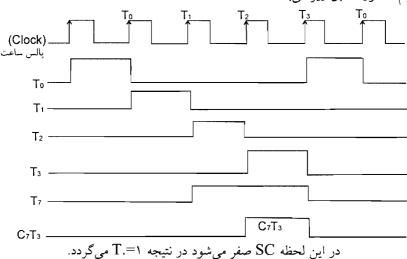
 $\mathsf{CME}$  فلیپفلاپ  $\mathsf{E}$  را مکمل کن

در نتیجه فلیپفلاپ E برابر I میشود.

۵-۸) دیاگرام زمانبندی شبیه شکل (۵-۷) را به شرطی که SC در زمان  $T_r$  برابس  $C_v$  شود (و در صورتی که کنترل  $C_v$  فعال شود) بکشید.  $C_v$  با لبه بالارونده  $C_v$  فعال می شود.

حل)

دیاگرام مذکور مطابق زیر می باشد.





فصل پنجم./ اصول تشکیلات و طراحی دامپیونر

E محتوای ثبات AC در کامپیوتر مبنا، در سیستم هگزادسیمال برابر AC و مقدار اولیسه IR مساوی ۱ اسست. بعد از اجرای دستور CLA، محتوای AR ، PC ، E ، AC و IR را بسه صورت هگزادسیمال تعیین کنید، مقدار اولیه PC برابر ۲۱ است.

حل)

محتوای ثباتهای مذکور مطابق زیر میباشد:

ثباتها	E	AC	PC	AR	IR
مقدار اوليه	١	Agry	٠٢١		
CLA	١		• ۲۲	. ۲1	٧٨٠٠

حل)

محتوای ثباتهای مذکور در انتهای فاز اجسرای دسستورات AND، ADD، STA، LDA، ADD، AND، BUN، STA، LDA، BSA و ISZ مطابق زیر می باشد:

	PC	AR	DR	AC	IR
مقدار اوليه	• ٢١	_		Agry	-
AND	٠٢٢	۰۸۳	BAFT	AATT	۰۰۸۳
ADD	• ۲۲	۰۸۳	BAFY	7779	١٠٨٣
LDA	• ۲۲	۰۸۳	BAFY	BAFT	7.1
STA	• ۲۲	۰۸۳	_	Agry	۳۰۸۳
BUN	۰۸۳	۰۸۳	_	Agrv	٤٠٨٣
BSA	٠٨٤	٠٨٤	-	Agrv	٥٠٨٣
ISZ	• ۲۲	۰۸۳	BAF۳	Agry	٦٠٨٣



. 1

به عنوان مثال، بعد از واکشی دستور AND (محتبوای خانبه حافظه بیه آدرس PC=۰۲۱). کید دستور AND، یعنی ۰۰۸۳ وارد ثبات IR میشود. از کد اجرای دستور، واحد کنترل، محتموای خانمه حافظه به آدرس AR==۰۸۳ را استخراج میکند و در ثبات DR قــرار مــیدهــد، یعنــی AR==۰۸۳ می گردد. حال دستور اجرا می شود، یعنی محتوای AC که برابر A9۳۷ بوده با محتوای خانبه حافظه ۰۸۳ که برابر BAF۲ میباشد AND میگردد و مقدار جدید در AC قرار میگیرد. لذا مقدار جدید AC برابر می شود با:

برای سایر دستورات نیز، همین روش به کار میرود. البته در دستور انستعاب (BUN)، بعـد از اجرای دستور، مقدار PC برابر آدرس دستور انشعاب یعنی ۰۸۳ مسیگردد (PC=۰۸۳) و تــاثیری در شات AC ندار در

۵-۱۱) بعد از اینکه دستور غیرمستقیم ISZ از حافظه واکشی و اجرا شد، مفادیر ثبات.های PC، IR ،DR ،AR و SC كامپيوتر مبنا را تعيين كنيد (مقدار اوليه ثبات PC برابــر و محتوای آدرس VFF مساوی EA9F است. محتوای آدرس C۳۵ در حافظه برابر مى باشد).

جوابها را در جدولی که، در هر ستون، ثباتها و در هر سطر، سیگنالهای زمانبندی باشند، قرار دهيد. محتواي ثباتها را، بعد از لبه بالا رونده پالسساعت تعيين كنيد.

حل ) جدول مذكور مطابق زير مي باشد:



فصل پنجم./ اصول تشکیلات و طراحی کامپیونر

	PC	AR	DR	IR	SC
مقدار اوليه	vFF		<u> </u>		•
T.	vFF	vFF	-	-	١
Τ,	۸۰۰	vFF	-	EA9F	۲
T,	۸۰۰	A۹F	-	EA9F	٣
Т,	۸٠٠	Cro	~	EA۹F	٤
$T_{\iota}$	۸۰۰	Cro	FFFF	EA۹F	٥
Т,	۸۰۰	Cro		EA۹F	٦
$T_{\tau}$	۸۰۱	Cro		EA9F	٠

۵-۱۲) محتوای ثبات PC در کامپیوتر مبنا برابر ۳AF (در کد هگزادسیمال) است. محتوای ثبـات AC نیز برابر ۷AC است. محتوای خانه حافظه بـه آدرس ۳۲E، ۳۲E، و ۹AC بـه ترتیـب برابر ۹AC، ۵۹۲۰ و ۸B۹F می باشد.

الف) دستور بعدی که واکشی و اجرا میشود چیست؟

ب) چه عملیات باینری در AC، موقع اجرای دستور مذکور انجام می شود؟

ج) محتوای ثبات AC ،DR ،AR ،PC و IR را به صورت هگزادسیمال نــشان دهیـــد و در پایان سیکل دستور مقدار f E ، f I و شمارنده f SC را تعیین کنید.



حل) محتوای خانههای حافظه و AC مطابق زیر میباشد:

тτЕ	حافظه ۰۹AC
۳AF	977Е
٩AC	лВ۹F

AC=vECr

الف) چون PC=۳AF است، پس کد دستور از نقشه حافظه فــوق برابــر محتــوای حافظــه ۳AF یعنی ۹۳۲E میباشد، که ۹ کد اجرا و ۳۲E آدرس است یعنی:

یس دستور ADD I ۳۲E می باشد.

 $\cdot$  ۹AC است، پس محتوای خانه حافظه  $^{\circ}$  که برابر  $^{\circ}$  ۱ است، پس محتوای خانه حافظه  $^{\circ}$  که برابر  $^{\circ}$  ۱ است آدرس اطلاعات حافظه می باشد که، باید با ثبات  $^{\circ}$  جمع شود. محتوای خانه حافظه  $^{\circ}$  ۹AC برابر  $^{\circ}$  ۱ است که در ثبات  $^{\circ}$  قرار می گیرد، پس عملیات جمع زیر انجام می پذیرد:

AC=vEC

+

 $DR = \underline{\wedge B \wedge F}$ 

AC=•A٦۲ (مقدار جدید) و E=۱

ج) مقادیر ثباتها و همچنین E و ۱ و شمارنده SC پس از اجرای دستور برابر است با:

PC=rAF+1=rB.

IR=977E

AR=9AC

E=1

DR=AB9F

I=1

AC=.ATY

 $SC = \cdots$ 



(۱۳-۵) فرض می کنیم که اولین شش دستور مراجعه به حافظه جدول ( $\epsilon$ -۵) کامپیوتر مبنا، طبق جدول زیر تغییر نماید و EA مقدار آدرس مؤثری است که در ثبات AR در زمان  $\epsilon$  قرار می گیرد. فرض می کنیم مدار جمع کننده و منطقی شکل ( $\epsilon$ -۵) بتواند عملیات XOR یعنی می  $\epsilon$ -AC $\epsilon$ -DR را انجام دهد. علاوه بر این، فرض بر این است که مدار جمع کننده و منطقی نمی تواند مستقیاً عملیات تفریق را انجام دهد. بلکه عمل تفریق به روش سیستم مکمل  $\epsilon$ - با مکمل کردن AC و افزایش یک واحد به آن انجام می شود. لیست عبارات انتقال اطلاعات بین ثبات ها را برای هر یک از دستورات زیر با شروع از فرمان  $\epsilon$ - بنویسید. بدیهی است که محتوای ثبات می این شود، مگر اینکه تغییر آن در دستور ذکر شده باشد. البته شما می توانید ثبات TR را به عنوان ثبات موقتی، برای ذخیره AC استفاده کنید و یا محتوای DR و  $\epsilon$ - AC را با هم عوض نمایید.

نمادها	کد	فرم نمادين	توضيح
	اجر	<b>0.</b> 13	
XOR	•••	AC←AC⊕M[EA]	AC با حافظه XOR شود
ADM	•••	$M[EA] \leftarrow M[EA] + AC$	AC به حافظه اضافه شود
SUB	• 1 •	$AC \leftarrow AC - M[EA]$	حافظه از AC کسر شود
хсн	•11	AC←M[EA], M[EA] ←AC	جای حافظه با AC عوض شود
SEQ	١	اگر (M[EA]=AC)	اگر مساوی بود یک دستور رها
		- · ·	شود
		آنگاه (PC=←PC+۱)	
BPA	1.1	اگر (AC>۰)	اگر AC صفر نبود و یــا مثبــت بود
		آنگاه (PC←EA)	انشعاب انجام شود

حل)

ليست عبارات انتقال اطلاعات بين ثباتها مطابق زير مى باشد:



 $\underline{XOR}$  D.T<sub>i</sub>: DR $\leftarrow$ M[AR]

D.T<sub>o</sub>:  $AC \leftarrow AC \oplus DR$ ,  $SC \leftarrow \cdot$ 

 $\underline{ADM}$   $D_1T_1$ :  $DR \leftarrow M[AR]$ 

 $D_1T_0$ : DR $\leftarrow$ AC, AC $\leftarrow$ AC+DR

 $D_1T_2$ : M[AR]  $\leftarrow$  AC, AC  $\leftarrow$  DR, SC  $\leftarrow$ 

 $\underline{SUB}$   $D_{Y}T_{1}$ :  $DR \leftarrow M[AR]$ 

 $D_{\nu}T_{\alpha}$ : DR $\leftarrow$ AC, AC $\leftarrow$ DR

 $D_{\gamma}T_{\gamma}$ :  $AC \leftarrow \overline{AC}$ 

 $D_{y}T_{y}$ :  $AC \leftarrow AC + 1$ 

 $D_{Y}T_{A}$ : AC $\leftarrow$ AC+DR, SC $\leftarrow$ 

 $\underline{XCH}$   $D_rT_i$ :  $DR \leftarrow M[AR]$ 

 $D_rT_o$ : M[AR]  $\leftarrow$  AC, AC $\leftarrow$  DR, SC $\leftarrow$ 

 $\underline{SEQ}$   $D_iT_i$ :  $DR \leftarrow M[AR]$ 

 $D_{\iota}T_{\circ}$ :  $TR\leftarrow AC$ ,  $AC\leftarrow AC\oplus DR$ 

 $D_{\epsilon}T_{\gamma}$ :  $AC\leftarrow TR$ ,  $SC\leftarrow {}^{\bullet}$ , $PC\leftarrow PC+{}^{\downarrow}$  آنگاه  $AC={}^{\bullet}$ 

 $\underline{BPA}$   $D_{\circ}T_{i}$ :  $(AC=\cdot ^{\wedge}AC()^{\circ})=\cdot )$  اگر  $\overline{AC}$  و بیت علامت  $\cdot$  است  $\overline{AC}$ 

آنگاه SC←۱, PC←AR

٥-١٤) تغييرات زير را، در كامپيوتر مبنا انجام دهيد:

۱- ثبات شهمارنده CTR را به سیستم گذرگاهی طوری اضافه نمایید که با مقدار

.... SrS،S.=۰۰۰ انتخاب شود.

۲- دستور ISZ را جایگزین دستوری کنید که یک عدد را در CTR وارد کند.

LDC آدرس CTR←M آدرس



فصل پنجم./ اصول تشکیلات و طراحی کامپیوتر

۲-دستور مراجعه به ثبات ICSZ را طوری اضافه کنید که: مقدار CTR را یک واحد افزایش دهد و اگر محتوای آن ۰ شد، دستور بعدی را رها نماید، محاسن این روش را توضیح دهید.

(J>

۱- برای این کار کافی است ثبات CTR را مانند ثباتهای TR یا DR به شکل (۵-۱) اضافه نمود تا به ازاء عدد ۰، انتخاب و اطلاعات آن به باس وارد شود. به ایسن ترتیب دستور بسر روی ثبات CTR، بجای دستور مراجعه به حافظه ISZ، استفاده می شود.

۲- توابع کنترل و ریزعملیات دستور مذکور مطابق زیر میباشد:

دستور  $D_{\tau}T_{i}$ :  $DR \leftarrow M[AR]$ 

LDC آدرس D<sub>7</sub>T<sub>0</sub>: CTR←DR SC←۰

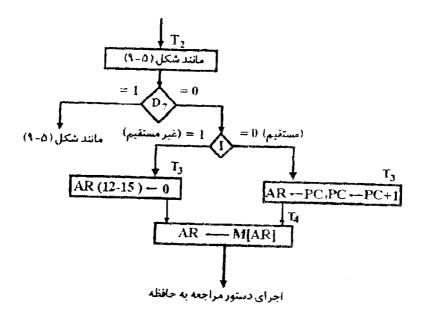
 $^{7-}$  می توان دستور مراجعه به ثبات ICSZ را به جای دستور مراجعه به حافظه ISZ به کار برد، به طوری که این دستور مقدار CTR را یک واحد اضافه کند و اگر محتوای آن  $^{9}$  شد، دستور بعدی را رها کند و دستور بعد از آن را اجرا نماید. یکی از محاسن ایس روش ایس است که چون دستور مراجعه به ثبات می باشد، پس به جای زمان  $^{7}$  در زمان  $^{7}$  اجرا می شود و  $^{7}$  پالس ساعت صرفه جویی می شود.

۱۵-۵) واحد حافظه کامپیوتر مبنا، در شکل (۵-۳)، می بایستی با ۱۲ بیست آدرس و حافظه ۱۸-۲×۲۵۰۳ تغییر یابد. فرمت دستورات مراجعه به حافظه شکل (۵-۵-الیف) بدون تغییر می ماند، یعنی I=۱ (آدرس غیرمستقیم) و قسمت آدرس دستور از بیت ، تا ۱۱ می باشد ولی برای ۱۳=۲ (آدرس مستقیم) آدرس عملوند، کلمه ۱۲ بیتی حافظه بعد از دستور است. ریزعملیات را در زمان ۲۲ و ۳۳ (و اگر لازم است در ۲۵) طوری تغییر دهید که با این ساختار تطبیق کند.

حل)

شكل (٥-٩) مطابق زير تغيير مىنمايد.





در صورتی که I=1 باشد، یعنی آدرس غیرمستقیم حافظه است، پس در زمان  $T_r$  بیتهای ۱۲ تا AR برابر t میشوند و سپس در زمان t آدرس عملوند از حافظه استخراج میشود.

در صورتی که  $^{-1}$ باشد، یعنی آدرس مستقیم به حافظه است و آدرس عملوند در کلمه ۱۳ بیتی حافظه بعد از دستور میباشد، لذا در زمان  $^{-1}$  باید یک واحد به  $^{-1}$  اضافه شود، که آدرس بعدی حافظه را نشان دهد و آدرس جدید  $^{-1}$  به  $^{-1}$  به  $^{-1}$  بار شود و سپس در زمان  $^{-1}$  آدرس عملوند از حافظه استخراج گردد.

مر حله بعد اجرای دستور است، که تغییری نمیکند.

۱۹-۵) کامپیوتری با ۲۵۵۳۱ کلمه ۸ بیتی و ثباتهای AR ،PC و TR و ۱۲ (۱۹بیتی) و ثباتهای ایران میلوتری با ۱۹۵۳ کلمه ۸ بیتی و ثباتهای DR ،AC و IR (۸ بیتی) وجود دارد. یک دستور مراجعه به حافظه: شامل ۸ بیت کد اجرا (یک کلمه) و ۱۲ بیت آدرس (دو کلمه بعدی) است. و تمام عملوندها ۸ بیتی هستند و بیت غیرمستقیم نیز وجود ندارد.

الف) دیاگرام بلوکی کامپیوتری با حافظه و ثباتها را، شبیه شکل (۵–۳) بکشید (به کستیدن باس نیازی نیست).



### فصل پنجم./ اصول تشکیلات و طراحی کامپیونر

ب) دیاگرام بلوکی حافظهای را بکشید. که یک دستور ۳ کلمهای ۸ بیتسی را در خسود جسای دهد.

ج) لیست ریزعسلیات لازم. برای واکشی یک دستور مراجعه به حافظه، کسه عملونسد آن در DR قرار دارد را، بنویسید (از رمان .T شروع نمایید).

حل)

الف) دیاگرام بلوکی کامپیوتر مطابق شکل زیر است:

۱٥.	*	
	PC	حافظه
\	AR	٦٤k×٨
10	TR	V .
b	V	V DR

ب) دیاگرام بلوکی حافظه مطابق شکل زیر میباشد:

حافظه
کد اجرا
نصف آدرس عملوند
نصف آدرس عملوند
عملوند
عملوند
حملوند

ج) ریزعملیات برای واکشی دستور مراجعه به حافظه، مطابق زیر میباشد:



• T.:  $IR \leftarrow M[PC]$ ,  $PC \leftarrow PC + V$ 

 $T_1: AR(\cdot - \vee) \leftarrow M[PC],$ •PC $\leftarrow$ PC+ $\vee$ 

 $T_{*}: AR(\land - \land \circ) \leftarrow M[PC],$ •PC \leftarrow PC \leftarrow PC \leftarrow \le

•  $T_r$ :  $DR \leftarrow M[AR]$ 

• کد اجرا در ثبات IR قرار می گیمرد و یک واحد به PC اضافه می شود که آدرس اولین هشت بیت آدرس دستور است.

• اولین هشت بیت قسمت آدرس دستور، در بیتهای • تا ۷ ثبات AR قرار میگیرد و به PC یک واحد اضافه می شود.

• دومین هست بیت قسمت آخیر آدرس دستور در بیتهای ۸ تا ۱۵ ثبات AR قرار میگیرد و به PC یک واحد اضافه می شود. •عملونید دستور استخراج و در DR قرار

۱۵-۱۷) کامپیوتری دارای حافظه ای با ظرفیت ۱۹۳۸۷ کلمه ٤٠ بیتی است. فرمت دستور شامل ۲ بیت برای کد اجرا و ۱۶ بیت جهت آدرس می باشد (بیت غیرمستقیم وجود ندارد). دو دستور نیز در یک کلمه قرار دارد و ثبات ٤٠ بیتی IR در واحد کنترل است. چگونگی واکشی و اجرای دستورالعمل ها را در این کامپیوتر توضیح دهید.

حل)

مي گير د.

فرمت دستور مطابق زير مي باشد:



#### فصل پنجم./ اصول تشكيلات و طراحي كامپيوتر

	٦ بيت	۱٤ بيت	٦ ہیت	٤٠ بيت = ١٤ بيت
IR=	کد اجرا ۱	آدرس ۱	کد اجرا ۲	آدرس ۲
	<b>\</b>		<b>↓</b>	
	دیکدر ۱		دیکدر ۲	

واكشى و اجراى دستورالعملها مطابق زير مىباشد:

۱- دستورات ٤٠ بيتی (هر دستور ٢٠ بيت) را از حافظه بخوان و در ثبات IR قرار بــــده، ســـپس PC را یک واحد اضافه کن.

۲- کد اجرای ۱ را دیکد کن.

۳- دستور ۱ را با به کار بردن آدرس ۱، اجرا کن.

٤- كد اجراى ٢ را ديكد كن.

٥- دستور ۲ را با به کار بردن آدرس ۲، اجرا کن.

٦- به مرحله ۱ برگرد.

۵-۱۸) یک برنامه خروجی، از آدرس حافظه ۲۳۰۰ شروع می شود. این برنامه موقعی که کسامپیوتر وقفه را تشخیص می دهد اجرا می شود (موقعی کسه FGO برابسر ۱ اسست و ۱۳E=۱ می باشد).

الف) چه دستوری باید در آدرس ۱ اجرا قرار دادهشود؟

ب) دو دستور آخر برنامه خروجی چیست؟

حل)

الف) انشعاب به آدرس ۲۳۰۰ برای اجرای دستورات روتین وقفه: ۲۳۰۰ BUN

ب) فعال کردن وقفه، که کامپیوتر آماده برای پذیرش وقفه جدید باشد. ION

 $0 \;\; \mathsf{BUN} \; 1$  و انشعاب غیرمستقیم به آدرس  $\, \cdot \, \mathsf{DUN} \; 1$ 

برگشت به برنامه اصلی، در آنجا قرار دارد.

= Ri-EB==

۵-۱۹) عبارات انتقال اطلاعات. بين ثبات R و حافظه كامپيوتر به قرار زير است (x تابعي كنترلي است):

 $\overline{x}_3 x_1 : R \leftarrow M[AR]$ 

از حافظه بخوان و در ثبات R، قرار بده.

 $\overline{x}_1 x_2 : R \leftarrow AC$ 

محتوای ثبات AC را، به R منتقل کن.

 $\overline{x}_1 x_3 : M[AR] \leftarrow R$ 

محتوای ثبات R را در حافظه قرار بده.

حافظه دارای ورودی های داده، خروجی های داده، ورودی های آدرس و ورودی های کنتسرل خواندن و نوشتن مطابق شکل (۲-۱۲) می باشد. مدار منطقی ثبات  $\mathbf{R}$  و همچنسین حافظه را به صورت دیاگرام بلوکی بکشید. نشان دهید چطور توابع کنترلی  $\mathbf{x}_1$  تا  $\mathbf{x}_2$ :

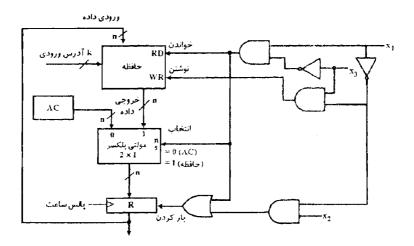
۱- ورودی کنترل بارکردن ثبات R را انتخاب میکند؟

۲- ورودیهای انتخاب مولتی پلکسر را که در دیاگرام بلوکی وجود دارد انتخاب میکند؟

۳- چگونه ورودی های خواندن و نوشتن حافظه را انتخاب می کند؟

حل)

مدار حافظه و ثبات R مطابق زیر میباشد:



در مدار مذکور توابع کنترلی خواندن و نوشتن و همچنین کنترل بارکردن ثبات R مطابق صورت مسأله مشخص شده است. علاوه بر این در موقع خواندن از حافظه، ورودی ۱ مولتی پلکسر، انتخاب می شود. تا اطلاعات حافظه به ثبات R بار گردد، در غیر این صورت ورودی ۰ مولتی پلکسر، انتخاب می شود و اطلاعات AC به ثبات R بارمی گردد.

### فصل پنجم./ اصول تشکیلات و طراحی کامپیوتر

ه وسیله  $\mathbf{F}$  عملیاتی که در فلیپفلاپ  $\mathbf{F}$  انجام میشود (در کامپیوتر مبنــا وجــود نــدارد) بــه وســیله

عبارت انتقال اطلاعات زير مشخص مىشود:

XTr:F←\

F را ۱ کن

**YT**<sub>1</sub>:**F**←•

F را ۰ کن

ZTy:F← F

F را مکمل کن

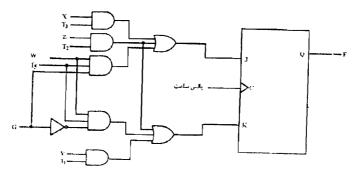
مدار منطقی تابعهای کنترلی و ورودی فلیپ $\mathbf{J}\mathbf{K}$  به کار برده شده را، با حداقل گیت بکشید. حل)

وروديهاي فليپفلاپ با عبارات زير مشخص ميشوند:

 $J_f = XT_r + ZT_r + WT_oG$ 

 $K_f = YT_1 + ZT_2 + WT_0G$ 

و مدار آن مطابق شکل زیر میباشد:



۵-۲۱) گبتهای کنترلی که برای کنتور برنامه (PC) در کامپیوتر مبنا لازم است را، تعیین کنید. حل)

ابتدا فرض می کنیم: اگر ثبات DR=0 باشد متغیر  $Z_{DR}=1$  و در صورتی که ثبات AC=0 باشد، متغیر  $Z_{AC}=1$  است، در غیر این صورت متغیرهای مذکور مساوی  $Z_{AC}=0$  باشند.

از جدول (۵–۵)، برابر ۰ می شود که به ازاء RT، کنتور برنامه (PC)، برابر ۰ می شود (۰ $\rightarrow$ PC)، پس ورودی ۰ کردن (CLR) کنتور برنامه برابر است با:

CLR(PC)=RT



از جدول مذکور مشاهده می شود که به ازاء  $D_{t}T_{t}$  یا  $D_{o}T_{o}$ ، کنتور برنامه (PC) بار می شود، پـس ورودی بارکردن (LD) کنتور برنامه برابر است با:

 $LD(PC)=D_{\iota}T_{\iota}+D_{\circ}T_{\circ}$ 

به همین ترتیب از جدول (۵-۵) بررسی می شود. به ازاء چه مقادیری کنتور برنامه (PC) یک  $RT_{\gamma}$  یا  $RT_{\gamma}$  است) یا  $RT_{\gamma}$  است با: یک واحد افزایش می یابد، در نتیجه ورودی افزایش یک واحد (INR) به کنتور برنامه برابر است با:

 $INR(PC)=R'T_1+RT_1+D_1T_2D_R+PB_4(FGI)+PB_4(FGO)$  $+rB_1(AC_{10})'+rB_1(AC_{10})+rB_1Z_{AC}+rB_1E'$ 

با توجه به معادلات فوق، دیاگرام منطقی کنتور برنامه (PC) مشابه شکل (۵-۱۹) می باشد.

۵-۲۲) گیتهای کنترلی را، که برای ورودی نوشتن (write) حافظهٔ کهامپیوتر مبنها لازم است تعیین کنید.

حل)

از جدول(٥-٦) ملاحظه می شود که، به ازاء کدام یک از توابع کنترلی، اطلاعات در حافظه نوشته می شود. با بررسی جدول مذکور مشاهده می شود:

به ازاء تابع کنترلی  $D_{\tau}T_{\iota}$  محتوای AC در حافظه نوشته می شود.

یا

به ازاء تابع کنترلی  $D_{\mathfrak{o}}T_{\mathfrak{t}}$  محتوای PC در حافظه نوشته می شود.

يا

به ازاء تابع کنترلی  $D_{\tau}T_{\tau}$  محتوای DR در حافظه نوشته می شود.

يا

به ازاء تابع کنترلی RT'۱ محتوای TR در حافظه نوشتهمی شود.

یس برای نوشتن در حافظه معادله زیر لازم می باشد:

Write= $D_rT_i+D_oT_i+D_\tau T_\tau+RT_\tau$  (M[AR]  $\leftarrow$  XX)

که دیاگرام منطقی آن را میتوان به سادگی رسم نمود.



# فصل پنجم./ اصول تشکیلات و طراحی کامپیوتر

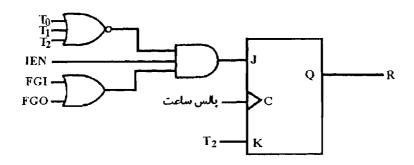
۵-۲۳) در کامپیوتر مبنا، مدار کامل فلیپفلاپ (نوع JK) وقفه R را، با حداقل گیت بکشید.

حل)

از جدول (۵-۱) ملاحظه می شود که فلیپ فلاپ R به ازاء:

 $(T.+T_1+T_7)'(IEN)(FGI+FGO)$ 

برابر ۱ می شود و به ازاء RTr، مساوی ۰ می شود، پس مدار آن مطابق شکل زیر می باشد:



۱۵–۵) عبارت بولی  $x_7$  را از جدول (۵–۷) استخراج کنید و ثابت نماییــد کــه  $x_7$  بــا یــک گیــت AND و یک گیت OR می تواند تولید شود.

( )-

از جدول (۷-۵) ملاحظه می شود، موقعی که X۲ فعال است (۱ است)، مقدار PC روی باس گذارده می شود. با بررسی جدول (۵-۵) نیز مشاهده می شود:

 $AC \leftarrow PC$  عملیات R'T. به ازاء تابع کنترلی

 $TR \leftarrow PC$  عملیات RT. به ازاء تابع کنترلی

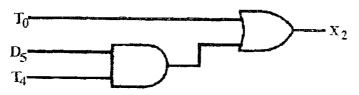
 $M[AR] \leftarrow PC$  عمليات  $D_{\mathfrak{d}}T_{\mathfrak{t}}$  به ازاء تابع كنترلى

انجام میشود، پس معادله X۲ برابر است با:

 $x_{\gamma} = R'T_{\cdot} + RT_{\cdot} + D_{\circ}T_{\varepsilon} = (R' + R)T_{\cdot} + D_{\circ}T_{\varepsilon} = T_{\cdot} + D_{\circ}T_{\varepsilon}$ 

و مدار أن مطابق شكل زير مي باشد:





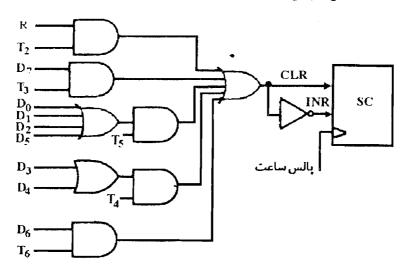
۵-۲۵) یک عبارت بولی، که شمارنده SC را، ۰ کند، بـه دست آوریـد. مـدار منطقـی آن را بـا حداقل گیت بکشید و نشان دهید که چطور خروجی آن، به ورودیهای INR (نضافه کـردُن ۱ واحد) و الحد) و CLR (۰ کردن) شمارنده SC متصل شدهاست (شکل (۵-۲)).

حل)

 $D.T_{\circ}$  ،  $D_{v}T_{r}I$  ،  $D_{v}T_{r}I'$  ،  $RT_{v}$  کنترلی کنترلی می شود که، به ازاء تابعهای  $D.T_{\circ}$ 

، می شود، پسس تابع ۰ کنتور  $D_\tau T_\tau$  می شود، پسس تابع ۰ کسردن  $D_\tau T_\tau$  می شود، پسس تابع ۰ کسردن  $D_\tau T_\tau$  می شود، پسس تابع ۰ کسردن (CLR) کنتور  $D_\tau T_\tau$  برابر است با:

 $CLR(SC)=RT_{r}+D_{v}T_{r}(I'+1)+(D_{v}+D_{v}+D_{v}+D_{o})T_{o}+(D_{r}+D_{t})T_{t}+D_{v}T_{v}$ و مدار آن مطابق شکل زیر می باشد:



در مدار فوق مشاهده می شود که INR معکوس CLR است، چون موقعی که CLR • باشد، باید INR مساوی ۱ باشد که با یالس ساعت کنتور SC شماره بیندازد.



# مسائل فصل ششم: برنامه نویسی با کامپیوتر

۱-۱) برنامه زیر در واحد حافظه کامپیوتر پایه ذخیره شدهاست. محتوای PC ،AC و IR را به شانزده شانزده شانزدهی در پایان اجرای هر دستورالعمل نشان دهید. تمام اعداد در جدول به شانزده شانزدهی هستند.

مكان	دستوراالعمل
• 1 •	CLA
• • • • •	ADD · \7
• 1 ٢	BUN 112
.14	HLT
.12	AND · w
.10	BUN 11
٠١٦	CIAO
• 1 ∨	9 <b>°C</b> 7

حل)

پس از اجرای دستورالعمل سطر m محتوای  $\operatorname{PC}$  برابر با m+1 خواهد بود.

PC_	AC	IR
•11		٧٨٠٠
.17	$C \setminus A \circ$	1.17
.12	CIAo	٤٠١٤
.10	۸۱۸٤	• 1 • ٧
٠١٣	1112	٤٠١٣
.18	ΛΙΛΈ	٧٠٠١

۱۰۰ برنامه زیر لیستی از دستورالعملها در مبنای شانزده است. کامپیوتر با شروع از آدرس ۱۰۰ دستورالعملها را اجرا می کند. محتوای AC و کلمه حافظه درون آدرس ۱۰۳ بهنگام توقف کامپیوتر چیست؟

مكان	دستوراالعمل
1	٥١٠٣
1.1	<b>V</b> Y••
1.7	٧١٠٠
1.4	***
١٠٤	٧٨٠٠
1.0	V·Y•
1.7	CIOT

حل)

١	BSA ۱۰۳	/	انشعاب و ذخيره أدرس
1 • 1	CMA	/	دستورالعمل بعدي در خانه ۱۰۳
1.7	HLT	/	پس ۱۰۱←۱۰۳
1.5		/	
١٠٤	CLA	/	
1.0	INC	1	** محتوى AC پس از اجراى دستورات
7.1	BUNI ۱۰۳	/	FFFE مىباشد.

- در ابتدا ۰۰۰۰ مپس یک واحد افزایش INC یعنی AC←AC(۰) پس AC←۰۰۰۰ و الاخره در سطر ۱۰۱، محتوی AC مکمل خواهدشد و پس از دستور HLT محتوی AC برابر با FFFE خواهدشد. و مقدار کلمه موجود در آدرس ۱۰۳، برابر با ۱۰۱ خواهدبود.

۱۷ منظود حل المسائل www.pnueb.com فصل ششم / برنامه نویسی با ۱۷مپیوتر مبنا

۳-۹) لیست برنامه زبان اسمبلی تولید شده بوسیله یک کامپایلر را از برنامه فرترن زیر بنویسیدمتغیرها را عدد صحیح تصور کنید.

SUM=∙

SUM=SUM+A+B DIF=DIF-C SUM=SUM+DIF ORG \...

( |-

- · · · CLA
- ··· STA SUM/SUM=•
- 1.Y LDA A
- ۱۰۳ ADD B
- 1.E ADD SUM
- 1.0 STA SUM/SUM=SUM+A+B
- 1.7 LDAC
- VV CMA
- NA INC
- 1.9 ADD DIF
- VA STA DIF DIF=DIF-C
- **III** LDA SUM
- VC ADD DIF
- VD STA SUM SUM=SUM+DIF
- VE HLT
- **いF** SUM HEX ⋅
- · DIF HEX •
- 111 A.DEC A.
- 117 B.DEC T.
- 11" C.DEC- T.
- 111 END

 $\Sigma$ ۱) آیا از حرف  $\Sigma$  می توان بعنوان یک آدرس سمبلیک در برنامه زبان اسمبلی برای کامپیوتر پایه استفاده کرد؟ توضیح دهید.

حل)



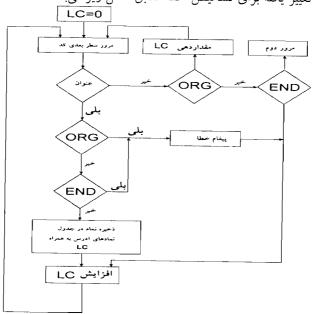
خیر، زیرا، اسمبلر در صورت تشخیص آ، آن را جزء بازه دستور تلقی کرده و در IR، مکان SET، IR(۱۵) می شود.

۵-۵) اگر سطری از کد که حاوی شبه دستورالعمل ORG یا END است عنوان نیز داشته باشد در مرور اول اسمبلر (شکل ۱-۱) چه رخ خواهد داد. فلوچارت را تغییر دهید تا در این صورت پیغام خطا بدهد.

حل)

الف) عنوان در جدول نماد آدرس ذخیره می شود، اما شبه دستورالعمل ORG و END تشخیص داده نمی شود.

ب) فلوچارت تغییر یافته برای تشخیص خطا مطابق شکل زیر میباشد.



٦-٦) سطری از کد در یک برنامه اسمبلی بصورت زیر است:

DEC-TO

الف) نشان دهید که برای ذخیره سطر کد به چهار کلمه حافظه نیاز است و محتوای دودویسی آنها را بنویسید.

ب) نشان دهید که یک کلمه حافظه کد ترجمه شده دودویی را ذخیره مینماید. محتوای دودویی آنها را بنویسید.



دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نیر دانلود خلاصه دروس دانلود نمونه سوال چندین دوره با جواب دانلود حل المسائل www.pnueb.com خبزنامه اس

فصل ششم / برنامه نویسی با کامپیوتر مبنا

حل) الف)

			١	۲		٣			٤
DEC-	-40	٤٤	٤٥	٤٣	۲٠	۲D	٣٣	20	·D
	HEX				В	INARY	7		
DE	٤٤٤٥		• 1	• •	• ) •	•	١	٠١.	1
C	٤٣٢.		• 1	• •	•••		٠١٠	• • •	•
-٣	$^{7}D^{77}$		• •	١.	١١.	• •	• 11	•••	1
٥CR	ro.D		• •	11	٠١.	• •	• • •	١١.	1

ب) كد ترجمه شده:

 $(-70)_{1} = (FFDD)_{HEX}$ 

	]	F			J	7			I	)			I	)	
١	١	١	١	١	١	١	١	١	١	٠	١	١	١	•	١

۲-۷) الف) جدول سمبل آدرس تولید شده برای برنامه جدول ۱۳-۱ در حین مرور اول بوسیله اسمبلر را بدست آورید.

ب) برنامه ترجمه شده را به شانزده شانزدهی بنویسید.

حل)

الف)

خانه حافظه				
كلمه	نماد	کد شانزدهی	کد دودویی	
1	LO	٤C٤F	•1••11•••1•111	
۲	Р,	0.7C	• • • • • • • • • • • • • • • • • • • •	
٣	(LC)	.1.0		
٤	AD	212	.1	
٥	S,	OTTC	• • • • • • • • • • • • • • • • • • • •	
٦	(LC)	• <b>\ • B</b>		
V	PT	0.05	.1.1	
٨	R,	OTTC	• • • • • • • • • • • • • • • • • • • •	
٩	(LC)	•1•C		
١٠	NB	٤٣٥٤		



11	R,	OTTC	.1.111.11
17	(LC)	• <b>• • D</b>	••••••
١٣	CT	£E£7	• 1 • • • • 1 1 • 1 • 1 • 1 • •
١٤	R,	OTTC	.1.111.11
10	(LC)	٠١ <b>٠</b> E	••••••
17	SU	0000	• 1 • 1 • • 1 1 • 1 • 1 • 1 • 1
١٧	M,	£C7C	.1111.11
١٨	(LC)	• <b>• • F</b>	

۲.

ADDR	OP.CODE	_ADDR	OP.CODE
١	11.B	۱۰۸	٤١٠٥
1.1	71 · C	1 • 9	71.F
1.7	71.D	1 · A	٧٠٠١
1.5	71.E	\•B	.10.
1.8	٧٨٠٠	1 · C	• • • •
1.0	91 · C	۱ <b>٠</b> D	FFaC
۲۰۱	71.C	۱ <b>.</b> E	• • • •
1.٧	71.E	<b>\.F</b>	• • • •
		:	
		10.	٠٠٤B
		:	
		۱B٤	•• 1٧

N مثبه دستورالعمل N BSS (بلاک آغاز شده بوسیله سمبل) گاهی برای رزرو N کلمه حافظ برای گروهی از عملوندها به کار میرود. مثلاً سطر کد

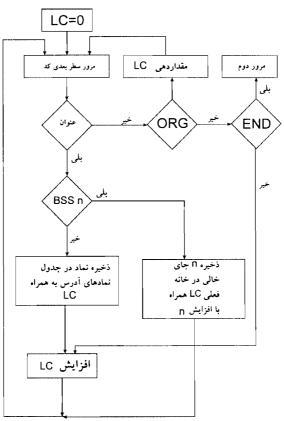
#### A. BSS V

به اسمبلر اطلاع می دهد که بلاکی از ۱۰ (دهدهی) مکان را، با شروع از مکان متناظر با سمبل A خالی بگذارد. این مشابه جمله A (۱۰) DIMENSION در فرترن است. فلوچارت شکل A را برای پردازش این شبه دستور تصحیح کنید.



فصل ششم / برنامه نویسی با کامپیوتر مبنا

حل)

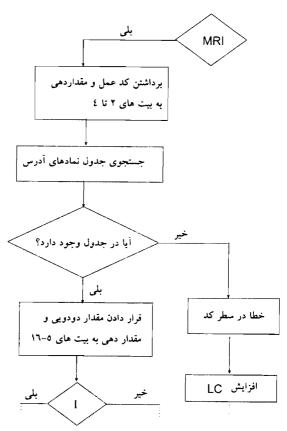


۹-۹) فلوچارت شکل ۲-۲ را تصحیح کنید بطوری که اگر یک دستور سمبلیک با عنوان تعریف نشده باشد یک پیام خطا تولید شود.

حل)

در این شکل فقط قسمتی از فلوچارت که باید تغییر داده شود ترسیم شدهاست.

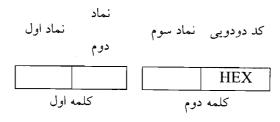




٦-١٠) نشان دهید که چگونه جداول MRI و non-MRI می توانند در یک حافظه ذخیره شوند.

حل)

جدول MRI به شکل زیر: هر سطر در ۲ کلمه ذخیره می شود.



که برحسب شانزده شانزدهی در ستون ۳ آمدهاست.



فصل ششم / برنامه نویسی با کامپیوتر مبنا

كلمه حافظه	نماد دستورالعملها	کد شانزدهی			
1	AN	EIEE			
۲	D(CODE)	٤٤٠٠			
٣	AD	8188			
٤	D(CODE)	٤٤٠١			
٥	LD	٤C٤٤			
٦	A(CODE)	7 - 13			
٧	ST	0702			
٨	A(CODE)	21.7			
٩	BU	2700			
Α	N(CODE)	٤E٠٤			
В	BS	2707			
C	A(CODE)	٤١٠٥			
D	IS	8900			
Е	Z(CODE)	٥Α٠٦			
				ا به شکل زیر:	جدول غير MRI
كلمه	نماد	کد	كلمه	نماد	کد
حافظه	دستورالعملها	شانزدهي	حافظه	دستورالعملها	شانزدهي
1	CL	ereC	17	CODE	٧.٤.
٢	Α	٤١٢٠	12	IN	٤٩٤F
٣	CODE	VA••	١٤	C	٤٣٢٠
٤	CL	ereC	10	CODE	V• Y•
٥	E	٤٥٢٠	17	SP	000.
7	CODE	٧٤	١٧	Α	٤١٢٠
٧	CM	٤٣٤D	١٨	CODE	V•1•
٨	Α	117.	19	SN	oreE
٩	CODE	٧٢٠٠	١A	A	٤١٢٠
A	CM	ereD	۱B	CODE	٧٠٠٨
В	Е	٤٥٢٠	١C	SZ	oroA
C	CODE	<b>V1</b>	١D	Α	٠٢١٤
D	C١	2829	١E	CODE	٧٠٠٤
Е	R	077.	١F	SZ	oroA
F	CODE	٧٠٨٠	۲.	E	٤٥٢٠
١.	C١	2829	71	CODE	V••Y
11	L	¿CY.	77	HL	٤٨٤C



كلمه	نماد	کد	كلمه	نماد	کد
حافظه	دستورالعملها	شانزدهي	حافظه	دستورالعملها	شانزدهي
75	T	057.	۲D	CODE	Fr
7 £	CODE	V•••	۲E	SK	ore ${f B}$
70	IN	٤٩٤E	۲F	O	٤F٢٠
77	P	0.7.	٣.	CODE	F۱۰۰
<b>YV</b>	CODE	$F \wedge \cdots$	۲۱	IO	٤٩٤F
47	••	٤F٥٥	٣٢	N	٤E۲٠
79	T	087.	٣٣	CODE	F·A·
۲A	CODE	Fi	37	IO	٤٩٤F
۲B	SK	oreB	30	F	٤٦٢٠
۲C	1	897.	٣٦	CODE	F٠٤٠

در جدول غیر MRI هر سطر در سه کلمه پی در پی که حرف اول و دوم در کلمه اول و حرف سوم با جای خالی در کلمه دوم و کد دستورالعمل در کلمه سوم قرار گرفته است.

نماد اول : نماد دوم	جای خالی: نماد سوم	مقدار دودویی دستور
WORD+1	WORD+۲	WORD+٣

۱۱–۱۱ لیست برنامه زبان اسمبلی (معادل دودیی دستورالعملها) تولید شده بوسیله کامپایلر را برای عبارت زیر بدست اورید:

برنامه به عبارت ۱۰ انشعاب می کند اگر A-B<0 باشد؛ یا به ۲۰ اگر A-B=0 باشد؛ و یا به A-B>0 باشد.



# فصل ششم / برنامه نویسی با کامپیوتر مبنا

حل)

		دودویی	معادله
	LDAB	• • •	71.1
•••	CMA	••1	٧٢
••٢	INC	•• ٢	٧٠٢٠
•••	ADDA		11
٠.٤	SNA	٠٠٤	٧٠٠٨
•••	BUN ONE	• • •	٤٠٠٧
۲٠٠	BUN 1.	٠٠٦	٤٠١٠
••٧	ONE,SPA	••٧	٧٠١٠
••۸	BUN Y.	••۸	٤٠٢٠
••٩	BUN r.	٠.٩	٤٠٣٠
٠١٠		• 1 •	
.11		•11	
:		:	
٠٢٠		٠٢.	
:		:	
٠٣٠		٠٣٠	
:		:	
١	A.DECW	١	••11
1.1	B.DEC£0	1.1	٠٠٢D

۲-۲۱) الف) توضیح دهید که برنامه زیر وقتی که اجرا شود چه کاری را انجام میدهد. مقدار خانه CTR وقتی که کامپیوتر متوقف می شود چیست؟



ORG \...

**CLE** 

**CLA** 

**STA CTR** 

LDA WRD

**SZA** 

**BUN ROT** 

**BUN STP** 

ROT.

CLIL.

**SZE** 

**BUN AGN** 

**BUN ROT** 

AGN.

**CLIE** 

**ISZ CTR** 

**SZA** 

**BUN ROT** 

STP.

**HLT** 

CTR.

**HEXO** 

WRD.

HEX 77C1

**END** 

ب) جدول سمبلهای آدرس بدست آمده در مرور اول اسمبلر را بنویسید.

ج) کد شانزده شانزدهی برنامه ترجمه شده را بنویسید.

حل)



# فصل ششم / برنامه نویسی با کامپیوتر مبنا

الف) مقدار خانه CTR، برابر ۲ خواهد شد و آن برابر با تعداد ۱های عدد شانزده شانزدهی ذخیره شده در برچسب WRD میباشد.

ب) جدول نمادهای آدرس بدست آمده در مرور اول اسمبلر:

كلمه حافظه	نما <b>د</b>	که شانزده شانزدهی	کد دودویی
1	RO	OTEF	•1•1 ••1• •1•• 1111
۲	T.	EETC	.11
٣	(LC)	• \ • V	
٤	AG	ELEV	.1
٥	N.	٤E٢C	.1 111 11
7	(LC)	•1•B	1.11
٧	ST	0702	.1.111.1.1.1.
٨	P.	0. TC	•1•1 •••• ••1• 11••
٩	(LC)	• 1 1 •	
1.	CT	٤٣٥٤	.1
11	R.	OTTC	.1.111. 11
17	(LC)	+111	
١٣	WR	7070	• 1 • 1 • 1 1 1 • 1 • 1 • • 1 •
1 &	D.	££YC	.1
10	(LC)	.117	
		به شده:	<b>ح)</b> کد شان دھے پرنامہ ترجم

ج) کد شانزدهی برنامهٔ ترجمه شده:

1	٧٤.,
1 • 1	٧٨٠٠
1.7	7111
1.4	7117
١٠٤	٧٠٠٤
1.0	٤١٠٧
r • 1	٤١١٠
1.7	٧٠٤٠
١.٨	٧٠٠٢
1.9	٤١ <b>٠</b> B
۱ <b>٠</b> A	٤١.٧
1 • B	٧٤
\ <b>·</b> C	1111
۱ <b>٠</b> D	٧٠٠٤
۱ <b>.</b> E	£1.V
۱ <b>.</b> F	٧٠٠١
:	:
111	

حل)

#### تشريح مسائل معمارى كامپيوتر

۱۳-۱۸) یک حلقه برنامه با استفاده از اشاره گر و شمارنده بنویسید تا محتویات مکان شانزده شانزدهی ۵۰۰ تا FF را ۰ کند.

```
ORG 111
١..
                LDA ADS
1.1
                STA PTR
1.7
                LDA NBR
1.5
                STA CTR
1.2
         LOP.
                CLA
1.0
                STA PTR I
1.7
                ISZ PTR
۱.۷
                ISZ CTR
1 • ٨
                BUN LOP
1.9
                HLT
         PTR
١٠Α
                HEX .
        CTR.
۱.B
                HEX .
1.C
        ADS.
                HEX o..
۱.D
        NBR.
                طول بلوک ۱۲۸(۵۰۰-۵FF) مطول بلوک ا
```

۱۵-۱۰) برنامه ای بنویسید تا دو عدد را با روش جمع تکراری، در هم ضرب کند. مثلاً، برای ضرب  $0 \times 0$ . برنامه 0 را چهار بار با هم جمع کند، یعنی 0 + 0 + 0 + 0 + 0.

```
ORG 1...
١..
              LDA B
1.1
              CMA
1.1
              INC
1.5
              STA CTR CTR← -B
1.5
              INC
1.0
              SZA
                                      در صورت یک بودن B از برنامه خارج میشود./
1.7
              BUN LAB
1.7
              BUN EXT
١.٨
       LAB.
              LDAA
1.9
              ISZ CTR
۱.A
       LOP.
              ADD A
۱.B
              ISZ CTR
1.C
              BUN LOP
۱.D
              STA A
1.E
       EXT.
              HLT
١٠F
              DEC<sub>0</sub>
          A.
11.
          B.
              DEC £
111
        MR.
              HEX ·
```



فصل ششم / برنامه نویسی با کامپیوتر مَبّناً

توضیح: بعد از علامت "/" توضیحات سطر برنامه میباشد و جزء کد برنامه برای ترجمه نمیباشد. ۱۵-۱ برنامه ضرب جدول ۱۶-۲ مقداردهی اولیه نشدهاست. پس از یکبار اجرای برنامه، مکان CTR مقدار صفر می گیرد. نشان دهید که اگر برنامه مجدداً از مکان ۱۰۰ شروع شود، حلقه ٦٥٥٣٦ بار تكرار خواهد شد. دستورات لازم براى مقداردهي اوليه را براي برنامه اضافه كنيد.

حل)

با توجه به اینکه پس از یک بار عمل ضرب کامل مقدار خانه CTR برابر صفر خواهد شد، در اجرای بار دوم بعلت آنکه ثباتها ۱٦ بیتی هستند ۲<sup>۱۱</sup> بار مرحله افزایش CTR انجام خواهدشد تا شرط ISZ CTR محقق شده و با يرشي از دستور BUN LOP، برنامه خاتمه بيذيرد. براي اين كار بهتر است در ابتدای برنامه همیشه مقدار ۸- را قبل از ساختار حلقه، به CTR اختصاص دهیم لیست کامل برنامه تصحیح شده در ذیل آمدهاست:

ORG 1.. STA CTR Lop. CLE LDA Y CIR STA Y SZE BUN ONE **BUN ZRO** ONE. LDA X ADD P STA P CLE ZRO. LDA X CIL STA X ISZ CTR **BUN LOP** HLT CTR. HEX ·

X. HEX ···F

Y. HEX ···B

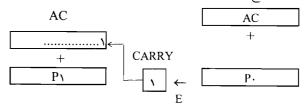
P. HEX ·

NBR. DEC-A **END** 

۱-۱۳) برنامهای برای ضرب دو عدد مثبت بدون علامت ۱۲ بیتی بنویسید و حاصلضرب آنها را بصورت یک عدد بدون علامت با دقت مضاعف به دست آورید.

حل)

پس از انجام عمل ضرب، چون دقت مضاعف مد نظر است کلمه کم ارزشتر نتیجه در  $P^0$  و با ارزش در  $P^1$  قرار می گیرد هنگام عمل جمع عدد  $E^1$  هرگاه  $E^1$  هرگاه  $E^1$  داشته باشیم با چک کردن آن با دستور  $E^1$  در صورت صفر بودن  $E^1$  به برچسب  $E^1$  پرش کرده، و برنامه ادامه می یابد اما در صورت  $E^1$  بودن  $E^1$  آنرا به درون  $E^1$  شده با  $E^1$  شده با  $E^1$  جمع نموده و بدین ترتیب کلمه باارزشتر در  $E^1$  تشکیل می شود.



و همینطور شمارنده ۱٦ رقم را خواهدشمرد.

	ORG VII		STA P
LOP.	LDA NBR STA CTR CLE LDA Y CIR STA Y	ZRO.	CLE LDAX CIL STA X ISZ CTR
ONE.	SZE BUN ONE BUN ZRO CLE LDA X ADD P•	CTR. X. Y.	BUN LOP HLT HEX • HEX •FDC HEX •9FA
	STA P. SZE	P·.	HEX.
	BUN TWO	P١	HEX ·
TWO.	BUN ZRO CLA	NBR.	DEC-17
	CIL ADD P		END



٦-١٧) برنامه ای برای ضرب دو عدد علامت دار بنویسید. عدد منفی ابتدا بصورت متمم ۲ علامت دار نشان داده می شود. حاصلضرب باید با دقت منفرد باشد و در صورت منفی بودن هم بصورت متمم ۲ علامت دار نشان داده شود.

حل)

می باشند هرگاه هر دو منفی یا مثبت باشند در علامت

Pتأثیری نگذاشته و در صورتیکه یکی از آنها منفی باشند،

P به صورت مکمل ۲ درآمده و ذخیره میشود.

	ORG 1		D.	LDA NBR	LDA X	
	LDA X			STR CTR	SPA	
	STA XV		LOP.	CLE	CME	
	SPA			LDA Y		
	BUN A			CIR	LDAY	
	BUN B			STA Y	SPA	
A.	CMA			SZE	CME	
	INC	بخش اول		BUN ONE	SZE	
<b>D</b>	STA X			BUN ZRO		
В	LDA Y					بخش دوم
	STA Y		ONE.	LDA X		
	SPA			ADD P		
	BUN C			STA P		
C	BUN D		ZD.O	CLE		
C.	CMA INC		ZRO.	LDA X		
	STA Y			CIL STA X		
	517(1			ISZ CTR		
				BUN LOP		
				CLE		

BUN BUN NEG.	NEG POS LDA P	این برنامه ۳ بخش دارد: در بخش اول، از محتوای خانههای X و Y. درون X۱
POS. CTR.	CMA INC STA P HLT HEX ·	و Y۱ کپی گرفته می شود و در صورت منفی بودن عدد، مکمل ۲ آن در همان خانه یعنی در محتوی X، منفی باشد، مکمل ۲ شده و در X ذخیره می شود و همینطور
X. Y.	HEX FDAC HEX Datt خش سوم	در مورد Y. در بخش دوم، عملیات ضرب دو عدد مثبت، انجام و در ب
X١.	HEX ·	X ذخیره می $شود بدون در نظر گرفتن علامت دو عدد P$
Y۱.	HEX ·	<i>Y</i> ,
P.	HEX ·	در بخش سوم با مرور در اعداد X۱ و Y۱ که علامتدار

NBR.

DEC-A

**END** 



## ۱۸-۱۱) برنامه ای بنویسید که دو عدد با دقت مضاعف را از هم تفریق کند.

### حل)

ORG VII

LDA YL

CMA
INC
SZE
BUN ONE
LDA YH
CMA
INC
BUN TOW
ONE LDA YH

CMA
INC

INC

TWO. CLE LDA XL

ADD YL

STA ZL SZE

BUN TRE

LDA XH

ADD YH STA ZH

**BUN EXT** 

TRE. LDA XH

INC

ADD YH STA ZH

EXT. HLT

XL HEX 90.8

XH HEX rFDA

YL HEX mff

YH HEX Dor.

ZL HEX ·

ZH HEX ·

**END** 

ابتدا ۱۲ بیت کم ارزش عدد اول که در ۱۲ فخیره شده، مکمل ۲ شده در صورت داشتن دخیره شده، مکمل ۲ شدن XH، مقدارش ۱ واحد افزایش می بابد.

پس ابتدا XL با YL جمع شده در لا خبره می شود و XH با XH جمع شده و در ZH ذخیره می شود، در صورت داشتن Carry در جمع XL با XL با XL منگام جمع XH با XH یک واحد نیز افزایش یافته و در ZH ذخیره می شود.

فصل ششم / برنامه نویسی با کامپیوتر مینا

۲-۱۹) برنامهای بنویسید که OR انحصاری منطقی دو عملوند منطقی را بدست آورید.

حل)

```
XOR(x,y) = (x'y')'.(xy)'
تات:x⊕y=xy'+x'y=(x'y'+xy)'
    x+y=(x'y')'\Longrightarrow(x'y'+xy)'=\{[(x'y')'(xy)']'\}'=(x'y')'.(xy)'
    ORG 1...
    LDA X
    AND Y
    CMA
    STA Z/Z=(x.y)'
    LDA Y
    CMA
    STA Y Y←Y'
    LDA X
    ∠IVIA AC←X'
AND Y
    CMA
    STA W/W = (x'y')'
    LDA Z
    AND W
    STA Z Z=X⊕Y:Z Return Result
     HLT
X.
     HEX CDEF
Y.
     HEX 919F
Ζ.
     HEX .
W.
     HEX ·
```

۲۰-۱ برنامهای برای شیفتحسابی به چپ بنویسید که در صورت سرریز به OVF انشعاب کند. حل)

CLE:

**END** 

SPA  $/if AC > \cdot OR AC(10) = \cdot$ 

BUN NEG SZE /if E=•

BUN OVF/E≠AC(\o)then OVER FLOW

HLT

NEG. SZE /if E=•

HLT

BUN OVF/E≠AC(\o)then OVER FLOW



۲-۱۲) برنامه ای برای تفریق دو عدد بنویسید. در برنامه فراخواننده، مفروق و مفرق منه بدنبال دستورالعمل BSA آمده اند. تقاضل به سومین مکان پس از BSA در برنامه اصلی باز می گردد.

حل)

BSA SUB
Y HEX TFE
X HEX TECT
R HEX

SUB HEX .

LDA SUBI CMA INC

/AC←-Y

ISZ SUB

ADD SUB I /AC←X-Y

ISZ SUB

STA SUB I /R←AC

ISZ SUB

BUN SUB I /Return

**END** 

۲-۲۲) برنامه ای بنویسید که هر داده را در یک بلاک متمم کند. در برنامه فراخواننده، دو پارامتر آدرس شروع بلاک و تعداد کلمات در بلاک بدنبال دستورالعمل BSA آمده اند.

فصل ششم / برنامه نویسی با کامپیوتر مبنا

: BSA COM

ADD HEX Y ..

NBR DEC 1.

COM, HEX ·

LDA COM I

STA PTR /PTR←ADD

ISZ COM /COM←NBR

LDA COM I

**CMA** 

**INC** 

STA CTR /CTR←-\.

CLA /AC←·

LOP, LDA PTR I

**CMA** 

STA PTR I

ISZ PTR /PTR←PTR+\

ISZ CTR /CTR←CTR+\

ادامه حلقه تا يايان عمليات/ BUN LOP

**ISZ COM** 

BUN COM I/Return to main program

برابر AC برنامهای بنویسیدکه E و AC را چهار بار به راست بچرخاند. اگر ابتدا محتوای AC برابر

برروال چیست؟ E=1 محتوای آنها پس از اجرای زیرروال چیست؟



CRC, HEX · CIR AC=.vaC, E=1 **CIR** .... . 111 1... 11.. CIR CIR BUN CRC ۱۱۰۰ ۱۱۱۰ E=۰ چرخش ۸۳CE ۰۱۰۰ ۲ ۱۱۱۰ ۱۱۱۰ ۲ چرخش E=۰ ٤١E٧ ۳ چرخش ···· ··· //// ··// E=/ T.Fr E=1 ۱۰۰۱ ۲۰۰۱ ۱۰۰۱ کے چرخش 9.79

۲-۲) برنامه ای بنویسید که کاراکترهای ورودی را بپذیرد، آنها را بصورت یک کلمه فشرده کند و متوالیاً در بافر حافظه ذخیره نماید. اولین آدرس بافر ۱۲(٤٠٠) و اندازه آن ۱۰(۵۱۲) است. اگر بافر سرریز کند کامپیوتر متوقف شود.

حل)

ORG \...

قرار دادن آدرس ابتدای آرایه LDA HED /PTR

STA PTR /PTR←٤··

انشعاب به زیرروال دریافت ورودی ۲/ LOP, BSA IP۲

که دو ورودی را دریافت و فشرده می کند./STA PTR I

**CIL** 

ISZ PTR

ISZ MEM

BUN LOP

HLT CIL

IPY HEX. CIL

FST, SKI CIL

BUN FST BUN SHE I

INP HED, HEX  $\varepsilon$ ..

### فصل ششم / برنامه نویسی با کامپیوتر مبنا

OUT MEM, DEC-017

BSA SHE PTR, HEX o

BSA SHE END

SCD, SKI

BUS SCD

INP

OUT

BUN IPY I

SHE HEX.

۲-۳۵) برنامهای بنویسید که دو کاراکتر واقع در مکان WRD را نیز فشرده کرده و آنها را در بیتهای ۰ تا ۷ از مکانهای CH۱ و CH۲ ذخیره کند. بیت ۹ تا ۱۵ باید صفر باشد.



حل)

ORG 1...

LAD WRD /AC←WRD

AND MS\  $/AC \leftarrow AC \land \cdot \cdot F$ 

STA CH\ /CH\←AC

LDA WRD /

AND MSY /AC←ACAFF..

STA CHY /CHY←AC

BSA CRA

STA CHY /

HLT

CRA. HEX •

LDA NBR

STA CTR

LDA CHY

LOP, CLE

CIR

ISZ CTR

BUN LOP

BUN CRA I

WRD, HEX CAD9

CH\ HEX •

CHY HEX.

MSL HEX ·· FF

MSY HEX FF..

NBR DEC-A

CTR HEX.

۲-۲-) فلوچارتی را برای برنامهای بنویسید که کد OD) CR در مبنای شانزده) را در بافر حافظه جستجو کند. بافر دارای ۲ کد در هر کلمه است. وقتی به کد CR برخورد شود، برنامه آن

را به بیتهای ۰ تا ۷ مکان LNE منتقل میسازد بدون آن که بیتهای ۸ تا ۱۵ تغییر کنند.

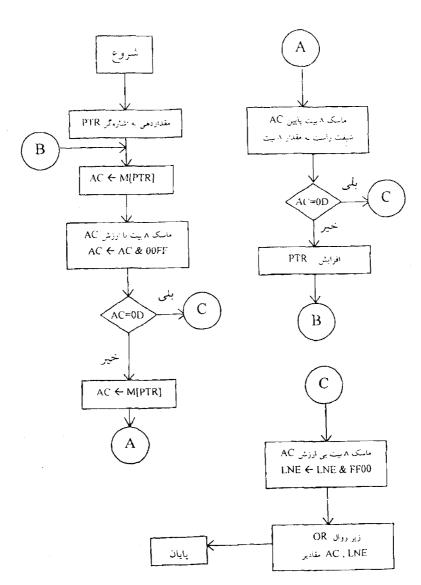
حل)

كاراكتر دوم هشت بيت به سمت راست

شیفت داده شده و در CH۲ ذخیره می شود.



فصل ششم / برنامه نویسی با کامپیوتر مبنا



۲-۲۷) روال سرویسدهی SRV را از جدول ۲۳-۳ به کد شانزده شانزدهی معادلش ترجمه کنید.فرض کنید که روال از مکان ۲۰۰ شروع شدهباشد.



•	ZRO, SRV,	- STA SAC	HEX
:	D.C.,	CIR	
7		STA SE	٧٠٨٠
7.1		SKI	3177
7.7		BUN NXT INP	F۲۰۰
7.4		OUT	64.4
7.5		STA PT\\	$F_{\wedge \cdots}$
Y.0	NXT.	ISZ PT	F٤٠٠
7.7		SKO BUN EXT	Втто
Y•V		LDA PTY 1	0175
۲•۸		OUT	F۱۰۰
7.9		ISZ PTY	٤٢٠E
<b>r.A</b>		LDA SE CIL	Arra
7.B		LDA SAC	F٤٠٠
r.C		ION	T175
۲ <b>٠</b> D	SAC SE	BUN ZRO \	3177
<b>7.</b> E	PT1		٧٠٤٠
7•F	PT7		7717
71.			$F \cdot \lambda \cdot$
711			$C\cdots$
717			-
717			-
317			-
710			
717			

۲-۸۲) یک روال سرویسدهی وقفه که تمام عملیات لازم را انجام دهد بنویسید ولی وسیله ورودی فقط اگر مکان MOD تماماً ۱ باشد سرویسدهی شود. وسیله خروجی هم فقط اگر مکان MOD تماماً O باشد سرویسدهی گردد.



### فصل ششم / برنامه نویسی با کامپیوتر مبنا

```
ZRO
                       BUN
                 SRV
                       بر نامه
                        SRV.
                 STASAC
                              CIR
                        STA SE
                                              اگر ۱+AC=۰=MOD
                        LDA MOD
                                      آنگاه از ورودی دریافت و آنبرا در
                        INC
                        SZA
                                                           میانگیر
                        BUN ONE
                                                   ورودي قرار بده.
                        INP
                                      در غیر این صورت اگر MOD باشد
                        OUT
,ONE در غیـــــر
                                      از میانگیر خروجی بـردار و در بـاس
اينصورت اگرر
                        STA PT\ I
                                                          قرار بده.
MOD صفر باشد.
                         ISZ PT
از میسانگیر خروجسی
بردار و در BUS قرار
                                      در غیر این صورت بازیابی مقدار
                         LDA
                 MOD/
                                            قبلی AC و E و بازگشت
                         SZA
          EXT,
                         BUN EXT
                         LDA PTY
                 I
                         OUT
                         ISZ PT
                         LDA SE /
                         CIL
                          CDA
                 SAC
                          ION
                         BUN
                 ZRO I
                 SAC. -
                 SE,
                 PT1, -
                PTY, -
```

# مسائل فصل هفتم : كنترل ميكرو پرو گرام

۷-۱) چه فرقی بین میکروپروسسور و میکروپروگرام وجود دارد، آیا امکان دارد یک میکروپروگرام طراحی نمود؟ آیا تمام کامپیوترهای میکروپروگرام میکروپروسسور هستند؟

حل)

میکروپروسسور یک پروسسور یا CPU کوچک است. ولی میکروپروگرام برنامهای است که از تعدادی عملیات جزیی یا ریزعمایات تشکیل شدهاست. واحد کنترل میکروپروسسور میتواند نوع کنترل سخت فراری و یا کنترل میکروپروگرام، لزوماً میکروپروسسور نیست.

۲۰۷) فرق بین کنترل سختافزاری و کنترل میکروپروگرام را توضیح دهید. آیا امکان دارد که یک کنترل سختافزاری با حافظه کنترل همراه باشد؟

حل)

فرق بین آنها در متن کتاب آورده شدهاست ولی طبق تعریف کنترل سختافزاری شامل حافظه کنترل یست.

٧-٣) مطالب زير را تسريف كنيد:

الف) ریزعملیات یا عملیات جزئی

ب) ریزدستور یا دستور جزئی– میکروپروگرام، میکروکل<sup>ا</sup>

حل)

الف) همانطور که از نام آن مشخص است، عملیات جزئی، جزئی ترین عملیات کامپیوتر است.

ب)

• دستور جزئی یا ریزدستور، دستوری است که در یک کلمه حافظه کنترل، ذخیره میشود.



<sup>\.</sup>Hardwired Control

<sup>&</sup>lt;sup>\*</sup> Microcode

## فصل هفتم / كنترل ميكروپروگرام

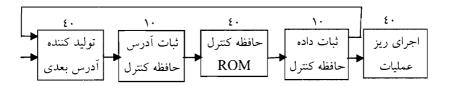
- میکروپروگرام از یک سری دستورات جزئی تشکیل میشود.
  - میکروکد همان میکروپروگرام است.

٤-٧) تشكيلات ميكروپروگرام نشان دادهشده در شكل (١-٧) دارای تأخيرهای انتشار زير است:

٤٠ نانوثانیه برای تولید آدرس بعدی -۱۰ نانوثانیه برای انتقال آدرس به ثبات آدرس حافظه کنترل -۱۰ ROM برای دستیابی به اطلاعات حافظه کنترل ۱۰۰ ROM نانوثانیه برای انتقال ریزدستورات به ثبات داده واحد کنترل -٤٠ نانوثانیه برای اجرای ریزعملیات که توسط کلمه کنترل مشخص شده است. حداکثر فرکانس پالسساعتی که، واحد کنترل می تواند به کار برد چیست؟ اگر ثبات داده واحد کنترل به کار برده نشود، فرکانس پالسساعت جه خواهد بود؟

حل)

با توجه به شکل (۱-۷) تشکیلات میکروپروگرام با تأخیرهای آن مطابق شکل زیر است:



كل تأخير واحد كنترل ميكروپروگرام برابر است با:

١٠٠=١٠٠،٤+٠١+٠٤ نانوثانيه

$$\frac{1}{1 \cdot 1 \cdot 1} = \frac{1 \cdot 1 \cdot 1}{1 \cdot 1 \cdot 1} = \frac{1 \cdot 1 \cdot 1}{1 \cdot 1 \cdot 1} = \frac{1}{1 \cdot 1$$

• اگر ثبات داده، برداشته شود، کل تأخیر ۹۰ نانو ثانیه می شود و فرکانس پالس ساعت مساوی

۱ می گردد.

۱ می گردد.



- ۷-۵) سیستمی که در شکل (۷-۲) نشان داده شده است، دارای حافظه کنترلی با ۱۰۲۶ کلمه ۳۲ بیتی است. ریزدستور دارای سه قسمت است و قسمت ریزعملیات ۱۹ بیتی می باشد (مانند شکل (۷-۲)).
- الف) چند بیت در قسمت آدرس انشعاب و قسمت انتخاب مولتی پلکسر (MUX) وجود دارد؟
- ب) اگر ۱۹ وضعیت در سیستم وجود داشته باشد، چند بیت از مدار انشعاب برای انتخاب یک بیت وضعیت لازم است؟
  - ج) چند بیت برای انتخاب یک ورودی مولتی پلکسر (MUX) باقی ماندهاست؟

حل)

الف) چون حافظه کنترل ۱۰۲۶ کلمه دارد، پس ۱۰ بیت برای آدرس لازم است ( $^{1\cdot 1\cdot 1\cdot 1}$ ). با توجه به این که ۱۲ بیت برای نوع ریزعملیات در نظر گرفته شده، پس باقیماندهٔ  $^{17}$  بیت ( $^{17+1\cdot 1}$ )، یعنی ۲ بیت برای انتخاب می ماند. لذا فرمت ریزدستور  $^{17+1\cdot 1}$ )، یعنی ۲ بیتی مطابق شکل زیر می باشد.

٦	1.	بیت ۳۲ = ۱٦
انتخاب	آدرس	ريزعمليات

فرمت ريزدستور

- ب) چون ۱۹ وضعیت در سیستم وجود دارد، پس 3 بیت ریزدستور برای انتخاب هر وضعیت، لازم می باشد (۱ $7^{-1}$ ).
  - ج) و بالاخره، ۲ بیت باقیمانده از ٦ بیت، برای انتخاب ورودی مولتی بلکسر (MUX) است.
    - ۷-۷) حافظه کنترل شکل (۷-۷) دارای ٤٠٩٦ کلمه ۲۲ بیتی است.
      - الف) ثبات آدرس حافظه كنترل چند بيت دارد؟
      - ب) هر یک از چهار ورودی مولتی پلکسر، چند بیتی است؟
    - ج) چند مولتی پلکسر لازم است و تعداد ورودی های هر مولتی پلکسر چقدر است؟ ل)
      - الف) چون حافظه کنترل ٤٠٩٦ کلمه دارد، پس ۱۲ بیت آدرس (٤٠٩٦=۲۱۲) لازم است.

فصل هفتم / كنترل ميكروپرو درام

ب) هر یک از ورودیهای مولتیپلکسر، باید ۱۲ بیت باشد تا به ثبات آدرس حافظه کنترل، سنتقل شود.

ج) تعداد ۱۲ مولتی پلکسر ٤ به ۱ لازم است.

۷-۷) با در نظر گرفتن روش نگاشت شکل (۷-۳)، اولین آدرس ریزدستور کدهای اجرای زیر را تعیین کنید:

حل)

با توجه به شکل (۷-۳)، برای تعیین آدرس اولین ریزدستور، باید دو ۰ در کمارزش ترین و یک ۰، در پرارزش ترین محل کدهای اجرای مذکور قرار داد، لذا آدرس اولین ریزدستورهای مذکور به شرح زیر می باشد:

۷-۸) روش نگاشتی پیشنهاد کنید که برای هر روتین، هشت ریزدستور مهیا کند. کد اجرا، شش بیتی و حافظه کنترل ۲۰٤۸ کلمهای است.

حل)

حافظه کنترل ۲۰٤۸ کلمه دارد، پس ۱۱ بیت آدرس لازم می باشد ( $\Upsilon^{1}=\Upsilon^{1}$ ). از طرفی کد اجرا  $\Upsilon$  بیتی است، پس ۵ بیت، باید به کد اجرا اضافه نمود، تا کلاً ۱۱ بیت آدرس تشکیل شود. چون هر روتین میکروپروگرام هشت ریزدستور دارد( $\Lambda^{2}$ ) بنابراین سه '۰' در سمت راست آدرس قرار می دهیم و اولین آدرس حافظه کنترل به صورت زیر به دست می آید:

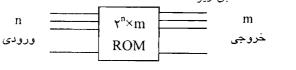
$$00 \begin{vmatrix} \times \times \times \times \times \\ \times \times \times \times \times \end{vmatrix} 000$$

و زمانی که سه بیت کم ارزش تر، از ۰۰۰ تا ۱۱۱ تغییر کند، به هشت ریزدستور میکروپروگرام دسترسی پیدا میکنیم.

۹-۷) چطور با حافظه ROM، می توان نگاشت کد دستور را، به آدرس ریزدستورات تبدیل نمود. این روش چه محاسنی نسبت به روش شکل (۷-۳) دارد.

حل)

با استفاده از حافظه ROM مطابق زير:





می توان به ازاء هر ترکیب ورودی (یا کد دستور)، ROM را طوری برنامه ریزی کرد، که خروجی هر مقدار (یا هر آدرس ریزدستور مورد نظر) را داشته باشد بدین ترتیب که در خانه ای از حافظه مورد استفاده که شماره آن برابر با کد دستور است، آدرس ریزدستور را قرار دهیم که این موضوع یکی از محاسن این روش می باشد.

۷-۱۰) چرا در سختافزار کامپیوتر شکل (۷-۱)، ما به دو مولتی پلکسر نیاز داریم؟ آیا راه دیگری وجود دارد که اطلاعات چنین منبعی، به مقصد مشترک انتقال یابد؟

حل)

چون دو مقصد، یکی برای آدرس و دیگری برای داده وجود دارد. پس به دو مولتیپلکسر نیاز است. در ضمن به جای مولتیپلکسر میتوان از گیتهای سه حالته ٔ نیز استفاده نمود.

۷-۱۱) با به کار بردن جدول (۷-۱)، یک قسمت ۹ بیتی برای ریزعملیات تعیین کنید (مانند شکل

(۷-۷)) که، ریزعملیات زیر را انجام دهد.

الف) AC←AC+۱ DR←DR+۱ الف)
PC←PC+۱ DR←M[AR] (ب)
DR←AC AC←DR (ج)

حل)

کد باینری و سمبول هر یک از ریزعملیات فوق، مطابق زیر میباشد:

	F٣	F۲	F١
الف) INCAC INCDR NOP	•••	11.	•11
NOP READ INCPC (ب	1.1	١	• • •
DRTAC ACTDR NOP (	•••	1.1	١

به عنوان مثال با استفاده از جدول (۷-۱)، کد ریزعملیات  $AC \leftarrow AC + 1$ ، در حوزه  $F_1$  برابر  $F_1$  برابر  $F_2$  متاوی  $F_3$  میاشد و کد ریزعملیات  $F_3$  که  $F_4$  که  $F_5$  مساوی  $F_6$  مساوی  $F_6$  مساوی  $F_6$  مساوی  $F_8$  مساوی  $F_8$  مساوی  $F_8$  مساوی  $F_8$  مساول  $F_$ 

READ, INCPC

الف)

ACTDR, DRTAC

ب)

AR T PC, DRTAC, WRITE (

حل)

کد باینری و عبارت انتقال بین ثباتهای سمبولهای فوق، مطابق زیر میباشند:

سمبولهاي	عبارت انتقال	کد باینری	مقادیر Fr ،Fr ،Fr
ريز عمليات	بين ئباتها		(باینری)
READ	DR←M[AR]	Fr=r	الف) ابنا الف
INCPC	PC←PC+\	Fr=1.1	FI FT FT
			1 1.1
ACTDR	RD←AC	$F_{\tau=1}$ .	
DRTAC	AC←DR	$F_1=1$	
ARTPC	DC←AR	Fr=11.	ج)
DRTAC	AC←DR	$F_1=11.$	در یک حوزه ۴۱ نمیتوان دو کد قرار داد.
WRITE	M[AR]←DR	$F_1=111$	پس ريزعمليات مذكور غير ممكن است.

به عنوان مثال با توجه به جدول (۱-۷)، سمبول ریزعملیات READ دارای کد PT=1.0 و عبارت انتقال عبارت انتقال PT=1.0 است و سمبول PT=1.0 دارای کد PT=1.0 و عبارت انتقال PT=1.0 میباشد. به طور مشابه بقیه عبارات انتقال و کد باینری از جدول (۱-۷) به دست می آیند، برای حوزه هایی که خالی می مانند، عمل PT=1.0 را در نظر گرفته و PT=1.0 مربوطه را با مقدار PT=1.0 بر می کنیم.

۱۳-۷)فرض کنیم روتین ADD که در جدول (۷-۲) آمدهاست را، به دو ریزدستور زیر تبدیل کنیم.

ADD: READ I CALL INDRY/

ADD U JMP FETCH/o

در این صورت سابروتین INDR۲ چطور خواهد بود؟

حل)

میکروپروگرام دستور ADD جدول (۷-۲)، که محتوای خانه حافظه را به AC اضافه میکند دارای ریزدستورات زبر است:

- ADD NOP I CALL INDRCT /\
  - READ U JMP NEXT /r
  - ADD U JMP FETCH /r

در ریزدستور ۱، اگر ۱=۱ باشد، سابروتین محاسبه آدرس مؤثر (INDRCT) فراخوانی می شود که آدرس مؤتر را می خواند و در AR قرار می دهد. در ریزدستور ۲، اطلاعات از حافظه خوانده شده، و در DR قرار می گیرد. در ریزدستور ۳، ثبات DR به AC اضافه می شود و به میکروپروگرام واکشی انشعاب پیدا می کند.

حال اگر میکروپروگرام یا روتین ADD به صورت فوق تغییر کند، در این صورت اگر I=1 باشد، مدر ریزدستور I، عملوند خوانده می شود و در I قرار می گیرد. و در ریزدستور I، عملوند به I=1 باشد در اضافه می شود و به میکروپروگرام واکشی انشعاب پیدا می کند. ولی در صورتی که I=1 باشد در ریزدستور I آدرس مؤثر خوانده می شود و در I قرار می گیرد و کنترل به سابروتین I می رود. سابروتین مذکور باید عملوند را بخواند و در ثبات I قرار دهد. بنابراین به صورت زیر باید باشد:



## فصل هفتم / كنترل ميكروپروگرام

INDRY: DRTAR U JMP NEXT

READ U RET

اولین ریزدستور سابروتین INDR۲ انتقال آدرس مؤثر از DR به AR میباشد و به ریزدستور بعدی (NEXT) میرود. در ریزدستور بعدی عملوند خوانده می شود و در DR قرار می گیرد و به میکروپروگرام اصلی دستور ADD در ریزدستور ۵، برمی گردد (توسط RET)، که در آنجا محتوای خانه حافظه با AC جمع می شود و بالاخره به روتین واکشی (FETCH) پرش می کند.

۷-۷) برای کامپیوتری که در بخش (۷-۳) معرفی شد، عبارات زیر، میکروپروگرام یک دستور آن است.

#### ORG &

NOP	S	JMP	FETCH/\
NOP	Z	JMP	FETCH/Y
NOP	I	CALL	INDRCT/r
ARTPC	U	JMP	FETCH/S

الف) وقتی دستور مذکور اجرا گردد چه عملی، انجام میشود؟

ب) چهار ریزدستور فوق را به مقدار باینری آنها تبدیل کنید.

### حل)

الف) وقتی میکروپروگرام فوق اجرا شود، دستور انشعاب (BRANCH) اگر محتوای اکومولیتور (AC) مثبت یا مخالف صفر باشد، اجرا می شود.

زیرا در ریزدستورات ۱ و ۲. اگر ۱=:S یا ۱=:Z باشد به روتین واکشی (FETCH) برمیگردد، یعنی اگر محتوای اکومولیتور منفی باشد و یا ۰ باشد کاری انجام نمیشود.

در صورتی که ۰=۰ و ۰=۲ باشد. ریزدستور ۳ اجرا میشود که سابروتین INDRCT را برای محاسبه آدرس مؤثر فراخوانی میکند (جدول (۷-۲))، تا آدرس مؤثر را در AR قرار دهد.

ریزدستور ٤، آدرس مؤثر در AR را به PC منتقل میکند، یعنی دستور انشعاب (اگر اکومولیتور مثبت است و • نیست) اجرا میشود و بدون شرط. به روتین واکشی (FETCH) میرود. ب) با توجه به جدول (۷-۱) برای F1 و F1 کامپیوتر برای F1 و F1 معادل باینری ریزدستورات F1 ، F1 و F1 ارتیا F1 و F1 است) مطابق زیر می باشد.

آدرس	F١	F۲	F٣	CD	BR	$AD_{r}$ آدرس	
٤٠:	•••	•••	•••	1.	•••	آدرس AD آدرس (آدرس ٦٤)	ریزدستور ۱:
٤١:	• • •	• • •	• • •	11	• •	(آدرس ٦٤) ۱۰۰۰۰۰۰	ريزدستور ٢:
٤٢:	• • •	• • •	• • •	• 1	• 1	(آدرس ٦٤) ۱۰۰۰۰۱۱	ريزدستور۳:
٤٣:	• • •	• • •	11.	• •	• •	(آدرس ٦٤) ۱۰۰۰۰۰۰	ريزدستور٤:

۷-۱۵) کامپیوتر بخش (۷-۳) دارای میکروپروگرام باینری زیر است:

آدرس								ي	اينرو	رام ب	بر و گ	کر و پ	میک							
٦٠	٠	١	•	•	•	•	•	١	•	•	•	•	•	١	•	•	•	•	١	١
71	١	١	١	١	٠	•		٠			١	•	١	١	•					
77	٠	٠	١	•		١	•	٠		١	•	١		٠	١	١	١	١	١	١
٦٣	١	•	١	١	١	•	٠	•	٠	١	١	١	١	٠	١	١	١	١		

الف) میکروپروگرام مذکور را، به میکروپروگرام سمبولیک، شبیه جدول (۲-۲)، تبدیل کنید (FETCH) در آدرس ۶۲ است).

ب) موقعی که این میکروپروگرام در کامپیوتر اجرا میشود، اشتباههای آن را ذکر کنید.

حل)

الف) با توجه به جدول (۷-۱)، (۷-۲) و (۷-۳) و جدولهای صفحه ۲۱۵ کتاب معماری کامپیوتر، میکروپروگرام مذکور با حروف سمبولیک، مطابق زیر است:

آدرس				
٦.	CLRAC COM	U	JMP	INDRCT
17	WRITE READ	I	CALL	FETCH
77	ADD SUB	S	RET	T(NEXT)
75	DRTAC INCDR	Z	MAP	٦.



# فصل هفتم / کنترل میکروپروگرام

ب) ریزدستور آدرس ۱۰: این ریزدستور نمی تواند در یک لحظه هم اکومولیتور را مکمل کنید و هم آن را ۰ کند. علاوه بر این، با ریزدستور JMP به INDRCT، کنترل به دستور ۱۲ برنمی گردد. برای این کار باید ریزدستور CALL غیرمستقیم استفاده گردد.

ریزدستور آدرس ۱۱: این ریزدستور نمی تواند در یک لحظه هم بنویسد و هم بخواند. علاوه بسر این CALL مانند JMP عمل می کند، چون در میکروپروگرام FETCH (صفحه ۲۱۷ کتاب معماری کامپیوتر) برگشت به برنامه اصلی، پیش بینی نشده است.

ریزدستور آدرس 77: این ریزدستور نمی تواند در یک لحظه هم جمع و هم تفریق کند، علاوه بسر ایس مطابق جدول صفحه S کتاب معماری کامپیوتر، S صرفنظر از S اجسرا مسی شسود و S اجسرا مست.

ریزدستور MAP بدون توجه به Z یا X اجرا می شود، به عبارت دیگر حوزه آدرس X و نماد X در X خالی است.

۷-۱۷) دستورات زیر را، به کامپیوتر بخش (۳-۷) اضافه کنید (آA آدرس مؤثر). برای هر دستور، مانند جدول (۳-۷) میکروپروگرام آن را بنویسید (البته مقدار AC نباید تغییر کند مگر این که، در دستور ذکر شدهباشد).

سمبول	کد اجرا	نوع عمليات	توضيح
AND	• 1 • •	$AC \leftarrow AC \Lambda M[EA]$	AND
SUB	• • • • •	$AC\leftarrow AC-M[EA]$	تفريق
ADM	•11•	$M[EA] \leftarrow M[EA] + AC$	جمع با حافظه
BTCL	•111	$AC \leftarrow AC \Lambda M[EA]$	۰ کردن بیت
BZ	1	If(AC=·) then(PC←EA)	اگر ۰=AC است انشعاب کن
SEQ	11	If(AC=M[EA])then(PC←PC+\)	اگر مساوی است یکی رها کن
BPNZ	1.1.	if(AC>·)then(PC←EA)	اگر مثبت است یا غیرصفر است انشعاب کن

حل)

همانطور که قبلاً بحث شد برای میکروپروگرام هر دستور، ٤ خانه حافظه کنترل لازم است. مطابق STORE ،OVER ،BRANCH ،ADD و جدول (۲-۷)، تا خانه ۱٦ برای دستورات EXCHANGE (با ۱۲ ORG) میکروپروگرام



AND قرار داده شده و از خانه های ۲۰، ۲۵، ۲۸، ۳۲ و ۶۰، به ترتیب میکروپروگرام های دستورات SEQ ،BZ ،BTCL ،ADM ،SUB مطابق زیر قرار داده شده اند.

AND: NOP		ORGIT			
ANDOP: AND	AND:	NOP	I	CALL	INDRCT
ORG Y-   SUB:   NOP					
SUB: NOP	ANDOP:		U	<u> </u>	FETCH
READ   U		ORG TO			
SUB	SUB:	NOP	I	CALL	INDRCT
ADM:   NOP		READ	U	IMP	NEXT
ADM: NOP I CALL INDRCT READ U IMP NEXT DRTAC, ACTDR U JMP NEXT COM U JMP NEXT  ORG YA  BTCL: NOP I CALL INDRCT READ U IMP NEXT DRTAC, ACTDR U JMP NEXT COM U JMP NEXT COM U JMP NEXT COM U JMP ANDOP  ORG YY  BZ: NOP Z JMP ZERO NOP U JMP FETCH ARTPC U JMP FETCH ORG YY  SEQ: NOP I CALL INDRCT READ U JMP FETCH ORG YOU JMP NEXT DRTAC, ACTDR U JMP NEXT DRTAC, ACTDR U JMP NEXT DRTAC, ACTDR U JMP NEXT NOP I CALL INDRCT READ U JMP NEXT DRTAC, ACTDR U JMP NEXT XOR(or SUB) U JMP NEXT XOR(or SUB) U JMP BEQ\(\) ORG YO  BEQ\(\): DRTAC, ACTDR Z JMP EQUAL NOP U JMP FETCH ORG \(\frac{1}{2}\)  BPNZ: NOP S JMP FETCH ORG \(\frac{1}{2}\)  BPNZ: NOP S JMP FETCH NOP Z JMP FETCH NOP Z JMP FETCH		SUB	U	JMP	FETCH
READ		ORG YE			
DRTAC, ACTDR	ADM:	NOP	I	CALL	INDRCT
ORG 7A			U	IMP	NEXT
BTCL: NOP		DRTAC, ACTDR	U	JMP	NEXT
BTCL: NOP		COM	U	JMP	EXCHANGE+*
READ	-	ORG YA			
READ   U	BTCL:	NOP	I	CALL	INDRCT
COM					
COM		DRTAC, ACTDR		JMP	
BZ:         NOP NOP U JMP FETCH FETCH INDRCT           ZERO:         NOP I CALL INDRCT INDRCT FETCH           ORG τη         I CALL INDRCT           BEQ1:         DRTAC, ACTDR Z JMP EQUAL INDRCT INDRCT INDRCT           BPNZ:         NOP S JMP FETCH INDRCT           NOP Z JMP FETCH INDRCT			U	JMP	
ZERO:         NOP NOP I CALL INDRCT           BEQ1:         DRTAC, ACTDR Z JMP EQUAL INDRCT INDRCT           BPNZ:         NOP I JMP FETCH INDRCT           BPNZ:         NOP I CALL INDRCT		ORG TY			
ZERO:         NOP ARTPC         I U JMP         CALL INDRCT FETCH           ORG 77         ORG 77           SEQ:         NOP I CALL INDRCT READ U JMP NEXT DRTAC, ACTDR U JMP NEXT XOR(or SUB) U JMP BEQ1           ORG 74         ORG 74           BEQ1:         DRTAC, ACTDR Z JMP EQUAL NOP U JMP FETCH FETCH ORG £.           EQUAL:         INCPC U JMP FETCH FETCH NOP Z JMP FETCH NOP I CALL INDRCT	BZ:	NOP	Z	JMP	ZERO
ARTPC U JMP FETCH  ORG 77  SEQ: NOP I CALL INDRCT READ U JMP NEXT DRTAC, ACTDR U JMP NEXT XOR(or SUB) U JMP BEQ\(\)  ORG 74  BEQ\(\): DRTAC, ACTDR Z JMP EQUAL NOP U JMP FETCH ORG \(\frac{\chi}{\chi}\)  EQUAL: INCPC U JMP FETCH ORG \(\frac{\chi}{\chi}\)  BPNZ: NOP S JMP FETCH NOP Z JMP FETCH NOP I CALL INDRCT			U	JMР	FETCH
ORG ↑↑           SEQ:         NOP I CALL INDRCT READ U JMP NEXT DRTAC, ACTDR U JMP NEXT XOR(or SUB) U JMP BEQ↑           ORG ↑٩         ORG ↑٩           BEQ↑:         DRTAC, ACTDR Z JMP EQUAL NOP U JMP FETCH INCPC U JMP FETCH ORG ℓ.           BPNZ:         NOP S JMP FETCH NOP Z JMP FETCH NOP I CALL INDRCT	ZERO:	NOP		CALL	INDRCT
SEQ:  NOP READ U JMP NEXT DRTAC, ACTDR U JMP NEXT XOR(or SUB) U JMP BEQ\(\)  ORG \(\gamma\)  BEQ\(\):  DRTAC, ACTDR Z JMP EQUAL  NOP U JMP FETCH ORG \(\ell\)  ORG \(\ell\)  BPNZ:  NOP S JMP FETCH NOP Z JMP FETCH NOP I CALL INDRCT		ARTPC	U	JMP	FETCH
READ		ORG ٣٦			1
DRTAC, ACTDR U JMP NEXT XOR(or SUB) U JMP BEQ1  ORG 74  BEQ1: DRTAC, ACTDR Z JMP EQUAL  NOP U JMP FETCH  EQUAL: INCPC U JMP FETCH  ORG £-  BPNZ: NOP S JMP FETCH  NOP Z JMP FETCH  NOP I CALL INDRCT	SEQ:	NOP	I	CALL	INDRCT
XOR(or SUB)   U   JMP   BEQ\    ORG 74			U	JMP	NEXT
ORG 79  BEQ1: DRTAC, ACTDR Z JMP EQUAL  NOP U JMP FETCH  INCPC U JMP FETCH  ORG £.  BPNZ: NOP S JMP FETCH  NOP Z JMP FETCH  NOP I CALL INDRCT			U	JMP	NEXT
BEQ\: DRTAC, ACTDR Z JMP EQUAL  NOP U JMP FETCH  INCPC U JMP FETCH  ORG \(\ell\)  BPNZ: NOP S JMP FETCH  NOP Z JMP FETCH  NOP I CALL INDRCT		XOR(or SUB)	U	JMP	BEQ
NOP U JMP FETCH INCPC U JMP FETCH ORG &  BPNZ: NOP S JMP FETCH NOP Z JMP FETCH NOP I CALL INDRCT		ORG 79			•
EQUAL: INCPC U JMP FETCH  ORG $\varepsilon$ .  BPNZ: NOP S JMP FETCH  NOP Z JMP FETCH  NOP I CALL INDRCT	BEQ1:	DRTAC, ACTDR	Z	JMP	EQUAL
EQUAL: INCPC U JMP FETCH  ORG $\varepsilon$ .  BPNZ: NOP S JMP FETCH  NOP Z JMP FETCH  NOP I CALL INDRCT		NOP	U	JMP	FETCH
ORG &	EQUAL:				
NOP Z JMP FETCH NOP I CALL INDRCT					
NOP Z JMP FETCH NOP I CALL INDRCT	BPNZ:	NOP	S	JMP	FETCH
NOP I CALL INDRCT					
		NOP			
		ARTPC	U		



### فصل هفتم / كنترل ميكروپروگرام

۱۷–۷۱) برای دستور ISZ (خانه حافظه را یک واحد اضافه کن، اگر ۱۰ است یک دستور رها کن، و به دستور بعدی برو مانند ISZ CTR که CTR را یک واحد اضافه می کند، اگر ۱۰ بود یک دستور رها می کند و به دستور بعدی می رود) که در فصل ۱۵ تعریف شده است (جدول یک دستور رها می کند و به دستور بعدی می رود) که در فصل ۱۵ تعریف شده است (۴–۵))، یک روتین میکروپروگرام بنویسید. فرمت ریزدستورات بخش (۳–۷) را به کار برید. البته توجه دارید در کامپیوتری که در بخش (۳–۳) معرفی شد، اگر ۱۸- باشد، برید. البته توجه دارید در قسمت CD تشخیص داده نمی شود (جدول صفحه ۲۱۵) ولی بیتهای وضعیت در قسمت CD تشخیص داده نمی شود (جدول صفحه ۲۱۵) ولی کنید آبا شاه AC و DR را جابجا کرده و با بیت تشخیص (Z) برای AC کنید آبا - AC است با نه ۹

حل)

زير است:	مطابق	مذكور	دستور	ميكروپروگرام
----------	-------	-------	-------	--------------

ISZ:	NOP	I	CALL	INDRCT	/1
	READ	U	JMP	NEXT	/۲
	INCDR	U	JMР	NEXT	/٣
	DRTAC, ACTDR	U	JMP	NEXT	/٤
	DRTAC, ACTDR	Z	JMP	ZERO	/0
	WRITE	U	JMP	FETCH	/٦
ZERO:	WRITE, INCPC	U	JMP	FETCH	/V

ریزدستورات ۱ و ۲: محتوای آدرس مقابل دستور ISZ را میخوانند و در ثبات DR قرار میدهند. ریزدستور DR: یک واحد به DR اضافه میکند و به ریزدستور بعدی (یعنی ٤) میرود.

ریزدستورات  $\mathfrak z$  و  $\mathfrak o$ : مقدار  $\mathfrak a$  و  $\mathfrak D$  و  $\mathfrak D$  را جابجا میکنند و تشحیص میدهند که آیا  $\mathfrak D$  اصلی  $\mathfrak o$  است یا نه؟اگر  $\mathfrak o$  باشد به ریزدستور  $\mathfrak o$  میرود، در غیر این صورت به ریزدستور  $\mathfrak o$  میرود.

ریزدستور 7: مقدار جدید DR را در حافظه مینویـسد و بـه میکروپروگـرام واکـشی (FETCH) میرود.

ریزدستور ۷: مقدار جدید DR را در حافظه مینویسد و یک واحد به PC اضافه میکند (یعنـی بـه دستور بعد از ISZ میرود) و به میکروپروگرام واکشی (FETCH) برمیگردد.



## تشریح مسائل معماری کامپیوتر

۷-۱۸ برای دستور BSA (انشعاب کن و آدرس را ذخیره کن یا انشعاب به ساروتین) که در فصل ۵ جدول (۵-۱) تعریف شدهاست، با به کار بردن فرمت ریزدستورات بخش (۷-۳)، یک روتین میکروپروگرام، یا حداقل ریزدستورات بنویسید.

حل)

همانطور که میدانیم، دستور اشعاب به سابروتین باعث می شود آدرس برگشت، در حافظه نوشته شود و آدرسی که جلوی دستور BSA است، وارد کنتور برنامه (PC) شود. لذا ریزدستورات BSA مطابق زیر می باشد:

BSA:	NOP	I	CALL	INDRCT	/1
	PCTDR, ARTPC	U	JMP	NEXT	/۲
	WRITE, INCPC	U	JMP	FETCH	/٣

ریزدستور ۱: آدرس سابروتین را در AR قرار میدهد.

ریزدستور ۲: مقدار PC یعنی آدرس برگشت را در DR قرار میدهد و همچنین مقدار آدرس سابروتین را که در AR بوده وارد PC میکند.

ریزدستور ۳: آدرس برگشت را در حافظه مینویسد و به PC یک واحد اضافه میکند تا سابروتین اجرا شود و بالاخره به روتین واکشی برمیگردد.

۷–۱۹) خروجیهای ۵ و ۲ دیکدر ۴۳ شکل (۷-۷) چگونه به کنتور برنامه (PC) متصل میشوند؟

حل)

ریزدستوراتی که روی کنتور برنامه (PC) عمل میکنند، از جدول (۱-۷) عبارتند از:

- INCPC (یعنی ۱+PC←PC) با کد نظیر ه=۱۰۱=۳
- ARTPC (یعنی ARTPC) با کد نظیر ۲=۱۱۰۰

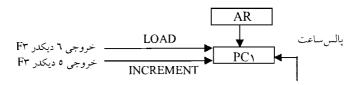
لذا کد نظیر  $F^{*}$  یک واحد به کنتور برنامه (PC) اضافه میکند یعنی به ورودی  $F^{*}$  الذا کد نظیر  $F^{*}$  ثبات INCREMENT (یک واحد اضافه کن) کنتور برنامه (PC) متصل می شود. و کد نظیر  $F^{*}$  ثبات  $F^{*}$  بار میکند، یعنی به ورودی بار کردن (LOAD) کنتور برنامه (PC) متصل می شود.

لذا خروجیهای ۵ و ۲ دیکدر نظیر ۴۳ شکل (۷-۷)، به طریق زیر به کنتور برنامه (PC) متصل می شوند.



(J-

### فصل هفتم /. كنترل ميكروپروگرام



۷-۷) قسمت ۹ بیتی زیزعملیات در یک ریزدستور را، چطور می توان به چند قسمت مجزا، برای مشخص نمودن ٤٦ ریزعملیات تقسیم نمود. در یک ریزدستور چند ریزعملیات می توان مشخص کرد؟

اگر قسمت ۹ بیتی ریزعملیات را، به دو حوزه ۴۱ و F۲ مطابق زیر تقسیم کنیم:

- ♦ ۲۱ با ٥ بیت که ۳۱=۱-۲ عملیات جزئی را مشخص میکند.
- F۲ با ٤ بيت كه ١٥=١- ۲٠ عمليات جزئي را مشخص ميكند.

الف) یک کلمه کنترلی برای ریزعملیات ایجاد کنید.

در این صورت تعداد F1 = F1 + 10 = 87 عملیات جزئی با دو حوزه F1 و F1 داریم، لذا دو ریزعملیات را، در یک ریزدستور، می توان مشخص نمود.

۷-۲۱) کامپیوتری دارای ۱۹ ثبات، یک دستگاه ریاضی و منطقی (ALU) با ۳۲ عملیات و یک شیفت دهنده با ۸ عملیات، که همه به یک گذرگاه مشترک سیستم متصل شده اند، می باشد.

ب) تعداد بیتهای هر یک از قسمتهای کلمه کنترلی را مشخص کنید.

ج) بیتهای کلمه کنترل را، برای مشخص کردن ریزعملیات R1+R0+R7 تعیین کنید.

## حل)

الف و ب: با توجه به شكل (۸-۲):

• چون ۱٦ ثبات داريم، پس ٤ بيت براي انتخاب هر يک از آنها لازم است.

تعداد کل بیت ۲۰=

- چون ALU، ۳۲ عملیات انجام میدهد، پس ٥ بیت برای انتخاب هر یک از عملیات لازم میباشد.
- چون شیفتدهنده ۸ عملیات انجام میدهد، پس ۳ بیت برای انتخاب هر یک از عملیات آن لازم میباشد.

با توجه به کلمه کنترلی شکل (۸-۲-ب)، کلمه کنترلی این مسأله مطابق زیر میباشد:

SRC\ SRC\ DEST ALU SHIFT

٤

٤

یک کلمه کنترلی



### تشریح مسائل معماری کامپیوتر

که  $^*SRC1^*$  آدرس ثبات ٤ بیتی منبع ۱،  $^*SRC1^*$  آدرس ثبات ٤ بیتی منبع ۲ و  $^*SRC1^*$  آدرس ثبات ٤ بیتی مقصد میباشد و با توجه به ٥ بیت برای  $^*ALU$  و  $^*$  بیتی مقصد میباشد. کنترلی ۲۰ بیتی مطابق فوق میباشد.

ج) كلمه كنترلى براى ريزعمليات R٤←R٥+R٦، مطابق شكل زير مىباشد:

R٥	R٦	Rε	ADD	SHIFT
. 1 . 1	.11.	. )		• • •

که کدهای ۰۱۰۱، ۱۱۰۰ و ۰۱۰۰ به ترتیب آدرسهای ثبیاتهای R۱،R۵ و R۱ و ۰۰۰۰ کید دستور ADD است و چون شیفت نداریم پس کد SHIFT برابر ۰۰۰ میباشد.

V-V فرض کنیم ورودی ترتیبدهنده آدرس میکروپروگرام <sup>۱</sup> شکل ( $V-\Lambda$ )، دارای چهار ورودی V-V و  $V-\Lambda$  و  $V-\Lambda$  و  $V-\Lambda$  و این واحد انجام  $V-\Lambda$  و این واحد انجام می شود در جدول ذیل آورده شده است. مدار ورودی آن را با حداقل گیت طراحی کنید.

حل)

$a \cdot \mathbf{I}_{\mathbf{v}}$	Ī.	, l.,,	عمليات
١.	•	•	اگر ۱=۲ است به CAR یکی اضافه کن و اگر صفر است به AD انشعاب کن
Х		١	به AD انشعاب کن
١	•	•	به CAR یکی اضافه کن
	1	٠	اگر ۱=۲ است به AD انشعاب کن و اگر ۲=۰ است به CAR یکی اضافه کن
١	1		اگر T=۱ است سابروتین را فراخوان و اگر T=۰ است به CAR یکی اضافه کن
	١	1	از سابروتین برگرد
١,	١	١	آدرس خارجي را نشان بده

با توجه به جدول فوق و چهار ورودی ۰ و ۱ و ۳ و ۳ مولتیپلکسر ۱ (MUX۱)، مقادیر .S، .S و ل، مطابق جدول زیر مشخص می شوند:

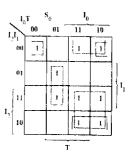
 $<sup>^*</sup>$  SCR۱ بجای SELA و SCR۲ بجای SELB و SELD بجای SELD شکل (۲-۸) در نظر گرفته شدهاند.



## فصل هفتم / كنترل ميكروپروگرام

į.	Į, lý	L	T	· <b>S</b> ,	S.	L.	MUX).	ی انتخاب شد	ورود
	,	٠	•		١	•	AD		(1)
İ٠			١	٠	•		INC		(•)
		ı		,	١		AD		(١)
۱.		١	١	٠	١		AD		(1)
١.	١						INC		<b>(·)</b>
١.	i		١		١		AD		(1)
۱.	١	١					RET		(٢)
۱.	١	١	١	١		.	RET		(٢)
١				١			INC		(•)
,			١	•	•		INC		(•)
1		١		•	١		AD		(١)
1		١	١		١		AD		(1)
١,	١					,	INC		(•)
,	١		١		١	١	CALL		(١)
,	•	١		١	١	,	МАР	ثبت	(T)
١	١	١	١	١	١	,	MAP	خارجي	(٢)

	l <sub>o</sub>	т ;	$S_1$	I,	)	
,	`	00	01	11	10	•
*2	90					
	01			1	1	
	11			1	1	
12	10					
			·	ř	•	
		5	S, = 1,1	υ		



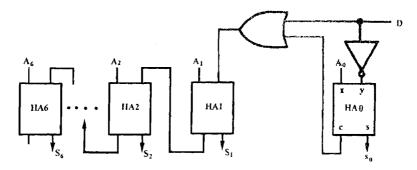
 $S = I_{x}I_{x} +   $L=I_{*}I_{*}I_{*}I_{*}T$ 

مدار ورودی با توجه به معادلات  $S_{v}$  ه $S_{v}$  و L مطابق فوق مشخص می شود.

۷-۲۳) یک مدار افزایش دهنده ۱ ((شکل ٤-۸) ترکیبی ۷ بیتی، برای ترتیب دهنده میکروپروگرام شکل (۷-۸) طراحی کنید. افزایش دهنده مذکور را طوری طراحی نمایید که دارای ورودی کنترل D باشد به طوری که اگر D=0 باشد افزایش دهنده یک واحد اضافه کند و در صورتی که ا=D باشد، افزایش دهنده دو واحد اضافه نماید.



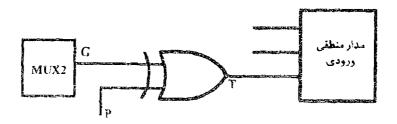
اگر در شکل ( $A-\xi$ ) تغییری مانند شکل زیر اعمال کنیم به ازاء D=0، یک واحد به اولین بیت اضافه می شود، یعنی به افزایش دهنده یک واحد اضافه می گردد. و در صورتی که D=1 باشد، یک واحد به افزایش دهنده اضافه می گردد.



XOR بین مولتیپلکسر ۲ (MUX۲) و مدار منطقی ورودی شکل (V-۸)، یک گیت V-۸ قرار دهید، یک ورودی گیت مذکور، از خروجی تست مولتیپلکسر می آید و ورودی دیگر گیت مزبور از بیتی به نام V2 که در ریزدستور است، (از حافظه کنترل) می آید. خروجی گیت مذکور به ورودی V3 مدار منطقی ورودی متصل می شود، توضیح دهید کنترل V4 چه کار می کند؟

حل)

مدار مذکور مطابق شکل زیر میباشد:



به این ترتیب اگر P=0 باشد، چون G=0 است، پس وضعیت انتخابی مورد استفاده قرار می گیرد و اگر P=1 باشد چون G=0 است، پس نقیض وضعیت انتخابی، مبنای تصمیم گیری می شود.



فصل هشتم ./ پردازشگر یا پروسسور (cpu)

# مسائل فصل هشتم : پردازشگر یا پروسسور (cpu)

۸-۱)یک CPU با سازمان گذرگاه مشابه با شکل ۲-۸ دارای ۱۹ ثبات ۳۲ بیتی، یک ALU و یک دیکدر مقصدیاب است؟

الف) چند مولتی پلکسر در گذرگاه A وجود دارد و سایز هر مولتی پلکسر جقدر است؟ ب) چند انتخاب کننده ورودی برای MUXA و MUXB لازم است؟

ج) در دیکدر چند ورودی و چند خروجی وجود دارد؟

د) چند ورودی و خروجی داده، منجمله ورودی و خروجی رقم نقلی، در ALU وجود دارد؟

هـ) با فرض وجود ۳۵ عمل در ALU، كلمه كنترل را براى سيستم فرموله كنيد؟

حل)

با توجه به اینکه ما دارای ۱٦ ثبات ۳۲ بیتی هستیم از اینرو:

الف) به تعداد ۳۲ مالتی پلکسر ۱×۱۹ در گذرگاه A نیاز داریم.

ب) چون مالتی پلکسرها ۱×۱۶ می باشد بالطبع به ٤ خط انتخاب نیاز می باشد.

ج) با توجه به اینکه تعداد ثباتها، ۱٦ عدد می باشد به یک کدگشای ۱٦ به ٤ نیاز می باشد.

د) مجموعاً 77 خط ورودی شامل 77 خط ورودی گذرگاه A، 77 خط ورودی گذرگاه B و 7 و رودی نقلی برای هر گذرگاه که مجموعاً 77 خط ورودی میباشد و همچنین 77 خط خروجی که یکی از آنها خروجی نقلی میباشد. مجموعاً 77 خط ورودی و خروجی نیاز است.

هـ) چون ALB، ۳۵ عمل دارد پس ٦ بیت برای مشخص کردن نوع عمل مورد نیاز است.

٤ بيت SELA يكي از ١٦ ثبات را براي ورودي A از ALU انتخاب ميكنند.

٤ بیت SELB یک ثبات را برای ورودی B از ALU انتخاب میکنند و ٤ بیت SELD یک
 ثبات مقصد را با استفاده از کدگشای ٤ به ١٦ انتخاب مینماید (ورودی باردهی را) مجموعاً کلمه
 کنترل ۱۸ بیت خواهد شد.

٤ ٤ ٤ ٦ | SELD | SELB | SELA | OPR | | کلمه کنترل



۲-۸) سیستم شکل ۲-۸ دارای تأخیرهای زمانی زیر است: ۳۰ns برای انتشار در MUX محمد برای انتشار در ۲۰ns برای ورود داده به ثبات برای عمل جمع در ۲۰ns تأخیر در دیکدر مقصدیاب و ۱۰ns برای ورود داده به ثبات مقصد. حداقل سیکل زمانی برای پالسساعت جقدر است؟

حل)

با توجه به اینکه عمل انتخاب کدگشا می تواند در خلال اجرای عمل ADD انجام گیرد از اینرو حداقل زمان ۱۲۰ns - ۱۲۰ns می باشد.

 $\Lambda-\Lambda$ ) کلمه کنترلی را که باید به پردازشگر شکل  $\Lambda-\Lambda$  اعمال شود تا اعمال زیر را انجام دهد مشخص کنید.

 $R \leftarrow R + R$ الف)

ب) R**ધ←R** 

Ro←Ro-1 (₹

R7←SH1R1 (2

R∨←input (\_\_a

حل)

	<u>SELA</u>	<u>SELB</u>	<u>SELD</u>	<u>OPR</u>	كلمه كنترلي
(الف	R۲	R۳	R١	ADD	.1111
(ب	R٤	-	R٤	TSFA	1
(ج	R٥	-	R٥	DECA	1.1
(د	R١	-	R٦	SHLA	
(هــ	ورودى	ورودى	Rv	TSFPA	

3-4)عملیات جزئی قابل اجرا در پردازشگر شکل 3-4 را وقتی که کلمات کنترل 18 بیتی زیر اعمال می شود معین کنید.

الف) ۱۰۱۰۰۱۱۰۰۱۱۰۰۱

ب) ۰۰۰۰۰۰۰۰۰ (ب

ج) ۱۰۰۱۰۰۱۰۰۱۰۰

د) ۱۰۰۰۰۱۰۰۰۰۱۰ (۵

هـ) ۱۱۱۱۰۰۰۱۱۱۰۰۰۰ (ـه



# فصل هشتم ./ پردازشگر یا پروسسور (cpu)

	<u>SELA</u>	<u>SELB</u>	<u>SELD</u>	<u>OPR</u>	صورت نمادين دستورالعمل
(الف	R١	R۲	R۳	SUB	$Rr\leftarrow Rr\leftarrow Rr$
(ب	ورودى	ورودي	-	TSFA	ورودی ← خروجی
(ج	R۲	R۲	R۲	XOR	R ۲←·
(د	ورودى	R١	-	ADD	ورودی + R۱ ← خروجی
(ھ_	Rv	R٤	R۳	SHRA	R۳←shr R∨

۵-۸)اجازه بدهید SP=۰۰۰۰۰ در پشته شکل ۳-۸ باشد. چند مقدار در پشته وجود دارد اگر:

FULL=+, EMPTY=\ (

حل)

FULL=۱ با توجه به اینکه SP، ۲ بیتی میباشد، سایز پشته  $T^{-1}$ ۶ میباشد، در حالت الف چون EMPTY=0 و EMPTY=0

در قسمت ب چون ۴ULL=۰ و EMPTY=۱. یشته خالی می باشد و دادهای را دربرندارد.

SP به مکان خالی در پشته اشاره می نماید. این SP به مکان خالی در پشته اشاره می نماید. این بدان معنی است که مقدار اولیه SP در شکل SP می تواند SP بوده و اولین کمیت در مکان SP از پشته ذخیره شود. برای اعمال پوش و پاپ عملیات جزیی را لیست نمائید.

$$PUSH$$
 عمل POP
$$\begin{cases}
M[SP] \leftarrow DR \\
SP \leftarrow SP + 1
\end{cases}$$

$$IF(SP = \cdot) Then(FULL \leftarrow 1)$$

$$EMPTY \leftarrow \cdot$$

$$POP$$

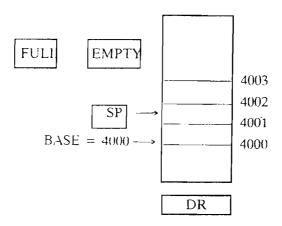
$$SP \leftarrow SP - 1$$

$$DR \leftarrow M[SP]$$

$$IF(SP = \cdot) Then(EMPTY \leftarrow 1)$$

$$FULL \leftarrow \cdot$$





۷-۸)عبارت محاسباتی را از میانوندی به RPN تبدیل کنید.

$$A*B+A*(B*D+C*E)$$
 ( $\smile$ 

$$A+B*[C*D+E*(F+G)]]$$

$$\frac{A^*[B+C^*(D+E)}{F^*(G+H)]} ($$

حل)

- ر) AB\*BD\*CE\*+A\*+
- $_{\tau}$ ) AFG+E\*CD\*+B\*+
- د) ADE+C\*B+\*GH+F\*/

۸-۸) عبارت محاسباتی زیر را از RPN به میانوندی تبدیل کنید.

الف) /-\*+ABCDE

ب/ +ABCDE\*/-+

ABC\*/D-EF/+ (¿

د) \*\*+\*+ABCDEFG



فصل هشتم ./ پردازشگر یا پروسسور (cpu)

(الف 
$$\frac{A}{B-C*(D+E)}$$

پ) A+B-C/D\*E

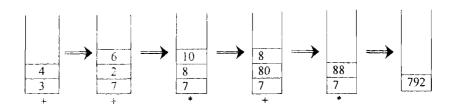
¿) D-A/B\*C+E/F

د) A\*B+D\*C+E\*(F+G)

۹-۸) عبارت محاسباتی عددی زیر را به RPN تبدیل و عملیات پشته را برای بدست آوردن نتیجه نشان دهید.

$$(\Upsilon+\xi)[\Upsilon+\Upsilon]+\Lambda$$

حل)



با سه FIFO سازمان یک حافظه به شکل FIFO است. نشان دهید چگونه یک حافظه FIFO با سه شمارنده کار می کند. یک شمارنده نوشتن FIFO آدرس نوشتن در حافظه را نگه می دارد. یک شمارنده خواندن FIFO آدرس خواندن در حافظه را حفظ می نماید. یک شمارنده فضای موجود در حافظه FIFO تعداد کلمات ذخیره شده در FIFO را معین می نماید. FIFO برای هر کلمه ذخیره شده یک واحد حافظه می شود و برعکس برای کلمات دریافت شده یک واحد کم می گردد.



<sup>\.</sup>Write Counter

<sup>\*</sup>Read Counter

<sup>&</sup>lt;sup>₹</sup>.Available

READING:

WRITING:

 $DR \leftarrow M[RC]$ 

 $M[WC] \leftarrow DR$ 

RC←RC+\, ASC←ASC-

WC←WC+\,

١

ASC←ASC+\

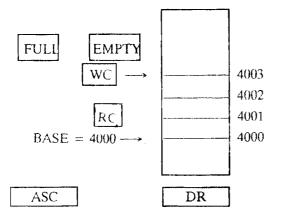
if(ASC=+)Then

If(ASC=+)then FULL=1

EMPTY=1

EMPTY=.

FULL=.



فرض می کنیم WC

7 بيتى باشد.

۸۰۰۱۱) کامپیوتری دارای دستورات ۳۲ بیتی و آدرس ۱۲ بیتی است. اگر ۲۵۰ دستور دوآدرسی باشد، چند دستور یک آدرسی خواهد بود؟

حل)

با ترجه به اینکه دستورالعملها ۳۲بیتی و آدرسها ۱۲بیتی میباشند و این کامپیوتر ۲۰دستورالعملی ۲ آدرسی دارد پس قالب دستورالعمل به صورت ذیل است.

ADR \ ADR \ OPR

حال برای دستورالعملهای تک آدرسی مابقی ۲۰ بیت باقیمانـده را مـیتـوان بـازه OPR در نظـر گرفت که در این صورت '۲۰=OPR عدد دستورالعمل تک آدرسی میتوان تنظیم کرد.

۸-۱۲ برنامه ای بنویسید که عبارت ریاضی زیر را ارزیابی کند.

## فصل هشتم ./ پردازشگر یا پروسسور (cpu)

A-B+C\*(D\*E-X=

الف) با استفاده از کامپیوتر با ثباتهای عمومی و دستورات سه آدرسه ب) با استفاده از کامپیوتر با ثباتهای عمومی و دستورات دو آدرسه ج) با استفاده از کامپیوتر نوع انبارهای با دستورات یک آدرسه د) با استفاده از کامپیوتر با سازمان پشته ودستورات صفر آدرسه

حل)

			•
(الف	MUL	R1, D, E	ب) MOV R۱, D
	SUB	R۱, F	MUL RI, E
	MUL	RI, C	SUB RI, F
	SUB	Rr, A, B	MUL RI, C
	ADD	R1, R7	ADD R1, A
			SUB R1, B
	MUL	Rr, H, K	MOV RY, K
	ADD	Rr, G	ADD Ry, G
	DIV	X, R1, R*	DIV RI, RY
			MOV R1, X
(ج	<u> </u>	DA=LOAD	3) TOS=TOP OF STACK

MUL

STA=STORE LDA H MUL K ADD G STA X LDA D E MUL SUB F  $\mathbf{C}$ **MUL** В SUB ADD Α  $X : AC \leftarrow AC/X$ DIV X :X←AC STA

PUSH D: TOS←D PUSH E: TOS←E

> TOS←D\*E PUSH F: TOS←F TOS←D\*E-F SUB PUSH C: TOS←C

MUL  $TOS \leftarrow C^*(D^*E-F)$ PUSH B: TOS←B **SUB**  $TOS \leftarrow C^*(D^*E-F)-B$ 

PUSH A: TOS←A ADD  $TOS \leftarrow A-B+C*(D*E-F)$ 

PUSH H: TOS←H PUSH K: TOS←K MUL TOS←H\*K

PUSH G: TOS←G  $TOS \leftarrow G + (H*K)$ ADD

DIV  $TOS \leftarrow A-B+C*(D*E-F)$ G+(H\*K)

POP X :X←TOS ۱۳-۸)واحد حافظه یک کامپیوتر ۲۰۱K کلمه ۳۲ بیتی دارد. کامپیوتر دارای قالب دستورات چهارمیدانی است: میدان کدعملیات، میدان روش آدرس دهی برای هفت روش موجود میدان آدرس ثبات برای انتخاب یکی از ۲۰ ثبات پردازشگر، و آدرس حافظه. قالب دستور و تعداد بیتها در هرمیدان را اگر دستور در یک کلمه حافظه باشد معین کنید.

حل)

٥	Т	7	١٨
OPR	Addr Method	REG.S	ADDR.

چون ظرفیت حافظه ۲۰۹۲ میباشد پس  $^{''}$  یعنی ۱۸ بیت برای آدرسدهسی حافظه موردنیاز است. و برای مشخص کردن یکی از ۲۰ ثبات نیاز به ۲ بیت یا در واقع  $^{1}$  حالت میباشدو برای مشخص کردن یکی از ۷ شیوه آدرسدهی نیاز به ۳ بیت یا  $^{-7}$  (حداکثر) میباشد پس در مجموع  $^{2}$  بیت از ۲۳بیت اختصاص به سه قسمت یادشده دارد پس تنها ۹ بیت برای قسمت کد عمل باقی میماند که این کامپیوتر حداکثر  $^{2}$  عمل را میتواند از هم تمیز و تشخیص دهد. برای قسمت کد عمل باقی میماند که این کامپیوتر حداکثر  $^{2}$  عمل را میتواند از هم تمیز و تشخیص دهد. میدان آدرس دستور دو کلمهای در حافظه و در آدرسی که با  $^{2}$  معین شدهاست. عملوند بکار رفته در میدان آدرس دستور (ذخیره شده در  $^{2}$  با  $^{2}$  با  $^{2}$  معین شدهاست. عملوند بکار رفته در هنگام اجرای دستور در آدرس  $^{2}$  میباشد. یک ثبات شاخص دارای مقدار  $^{2}$  است. نشان دهید که چگونه  $^{2}$  از سایر آدرسها محاسبه میشود اگر که روش آدرسدهی دستور برابر زیر باشد.

ج) نسبی د) شاخ	ب) غيرمستقيم ج) نس	الف) مستقيم
		حل)
	$Z \leftarrow M[Y]$	الف) در روش مستقیم
	$Z \leftarrow M[M[Y]]$	ب) در روش غیرمستقیم
	$Z\leftarrow M[Y]+PC$	ج) روش نسب <i>ی</i>
	$Z\leftarrow M[Y]+X$	- د) روش شاخصدار

۸-۱۵) یک دستور انشعاب از نوع نسبی در آدرس دهدهی ۷۵۰ از یک حافظه ذخیره شدهاست. انشعاب به آدرس ۵۰۰ صورت گرفتهاست.



فصل هشتم ./ پردازشگر یا پروسسور (cpu)

الف) مقدار میدان آدرس نسبی دستور (به اعشاری) چقدر است.

ب) مقدار میدان آدرس نسبی را به دودویی در ۱۲ بیت نشان دهید (چرا باید عدد بفرم مکمل ۲ باشد).

ج) مقدار دودویی در PC را پس از فاز برداشت (واکشی) بدست آورید و مقدار PC را محاسبه کنید. سپس نشان دهید که مقدار دودویی در PC بعلاوه آدرس نسبی محاسبه شده در قسمت (ب) برابر عدد دودویی PC است.

حل)

الف) با توجه به اینکه پس از فاز واکشی مقدار PC=۷۵۱ و آدرس مؤثر برابر ۵۰۰ میباشد در نتیجه مقدار میدان آدرس نسبی ۲۵۱–۷۵۱–۵۰۰ خواهد بود که عددی منفی است.

ب) (1111111)=.1(101) و چون عددی منفی است بایستی این عدد متمم ۲ شود یعنی  $(701)_{1,1}=(111100001)$ 

ج)

۱۹-۱۸) واحد کنترل وقتی که یک دستور با آدرس غیرمستقیم را برداشت و اجرا می کند چند بار به حافظه مراجعه می نماید اگر: (الف) دستور از نوع محاسباتی بوده و یک عملوند را از حافظه لازم داشته باشد.

حل)

الف) در دستورات محاسباتی، ۱ بار هنگام واکشی دستورالعمل به حافظه مراجعه می شود، ۲ بار هم برای بدست آوردن آدرس موثر و داده (عملوند) که مجموعاً ۳ بار به حافظه مراجعه می شود.

ب) در دستورالعمل انشعابی ۱ بار هنگام واکشی خود دستورالعمل (که اگر دستور انشعاب غیرشرطی باشد) ۱ بار هم برای بدست آوردن آدرس مؤثر انشعاب که مجموعاً ۲ بار مراجعه میشود.

۸-۱۷ میدان آدرس یک دستور با آدرس شاخص دار چه باشد تا مشابه یک دستور غیر مستقیم ثباتی گردد.



حل)

بایستی دارای میدان آدرس نباشد.

۸-۱۸) یک دستور در مکان ۳۰۰ با میدانی در مکان ۳۰۱ ذخیره شده است. میدان آدرس ۴۰۰ است. یک ثبات پردازشگر R۱ نیز دارای عدد ۲۰۰ است. آدرس مؤثر را اگر رونس آدرس دهی دستور

(الف) مستقیم؛ (ب) بلافصل؛ (ج) نسبی؛ (د) غیرمستقیم ثباتی؛ (هـ) شاخصدار با R۱ بعنوان ثبات شاخص باشد بدست آورید.

حل)

الف) آدرس مؤثر ٤٠٠

ب) آدرس مؤثر ۳۰۱ یعنی ٤٠٠ خود عملوند حساب می شود.

ج) آدرس مؤثر ۷۰۲=۲۰۰۹+۳۰۲

د) آدرس مؤثر ۲۰۰ محتوي R۱

هـ) آدرس مؤثر ٦٠٠=٢٠٠٠

۱۹-۸) با فرض داشتن یک کامپیوتر ۸ بیتی، یک جمع با دقت مضاعف برای اعداد بدون علامت ۳۲ بیتی زیر با استفاده از دستور جمع با رقم نقلی را انجام دهید. هر بایت بصورت عدد دو رقمی مبنای ۱۲ می باشد.

(7E Cr 07 VA)+(1r 00 7B AF)

حل)

Carry	Carry			
4 .	<b>)</b>	ADD	٧A, ۸F	
7E CT	AY FO	ADDC	07, 7B	دستو رالعملها
NT 00	7B AF +	ADDC	C7, 00	
AY 1A	C7 • 9	ADD	7E, 18	

فرض می کنیم ۲ عملوندی باشند.



## فصل هشتم ./. پردازشگر یا پرومسور (cpu)

۸-۲۰) برای دو رشته اعداه دودویی ۱۰۰۱۱۱۰ و ۱۰۱۰۱۰۱ اعمال AND و OR و XOR را انجام دهید.

خل)

 $(1 \cdot \cdot 1 \cdot 1 \cdot \cdot)$  AND  $(1 \cdot 1 \cdot 1 \cdot \cdot) = 1 \cdot \cdot \cdot 1 \cdot \cdot \cdot$ 

 $(\cdots)$  OR  $(\cdots)$   $(\cdots)$ 

 $(\cdots)$  XOR  $(\cdots)$   $=\cdots$ 

۲۱–۸) عدد ۱۲ بیتی ۱۰۱۱۰۱۱۰۱۱۰۱ مفروض است. چه عملی باید انجام داد تا:

الف) هشت بیت اول ، شود.

ب) هشت بیت آخر ۱ شود.

ج) هشت بيت وسط مكمل شود.

خل)

الف) برای آنکه هشت بیت اول مقدار ۱۰۰۱۱۰۱۱۰۱۱۰۱ که همان (۱۱۰۰۱۱۰۱) می باشد صفر شود آنرا با این عدد ۸۸، ۱۱۰۱۱۰۱۰، میکنیم.

(1...1).1...) AND (1...1)......)=1...1......

ب) با مکمل هشت بیت (۱۱۰۰۱۱۰۱)، OR خواهیم نمود یعنی ۰۰۱۱۰۰۱ یا با (۱۱۱۱۱۱۱۱) ۱۰۰۱۱۰۱۱۱۱۱۱۱۱ =(۱۰۰۱۱۰۱۱۱۱۱۱۱) OR (۰۰۰۰،۰۰۰)

ج) برای متمم کردن هشت بیت وسط بایستی این عدد با عدد ۲۰۰۰۱۱۱۱۱۱۱۱۱۰۰۰۰، XOR شود.

(1...11.1.11.11) XOR (.... 1111 1111 ....)=1...1.1.1111.1

۸-۲۲ یک ثبات  $\Lambda$  بیتی دارای مقدار  $\Lambda$ ۱۱۱۰۱۱ است و بیت نقلی نیز  $\Lambda$  است. هشت عمل شیفت موجود در جدول  $\Lambda$ - $\Lambda$  را روی آنها پیاده کنید. هر بار مقدار اولیه، عدد فوق باشد.

خل)



	مقدار اوليه	بعد از اجرای دستور	شرح
SHR	•1111•11	1111.1	شیفت به راست
SHL	•1111•11	1111.11.	شیفت به چپ
SHRA	•1111•11	••1111•1	شیفت حسابی به راست
SHLA	•1111•11	• 111 • 11 •	شیفت حسابی به چپ
ROR	•1111•11	1.1111.1	چرخش به راست
ROL	•1111•11	1111.11.	چرخش به چپ
RORC	1/•1111•11	1/1 • 1 1 1 1 • 1	چرخش به راست با نقلی
ROLC	1/•1111•11	•/1111•111	چرخش به چپ با نقلی

۲۲-۸)عدد علامتدار زیر را به دودویی بصورت ۸ بیت نمایش دهید، ۱۲۸– ۸۳٫ – ۹۳٫ + ۹۳٫ – ۹۳٫

الف) جمع (٦٣+)+(٨٣-) را به دودویی انجام و نتیجه را تفسیر کنید.

ب) تفریق (۸۳+)-(۸۳-) را به دودویی انجام و نشان دهید که سرریز رخ میدهد.

ج) عدد دودویی ۷۸- را یکبار به راست شیفت دهید و مقدار شیفت دادهشده را به دهدهی بدست آورید.

د) عدد دودویی ۸۳– را یکبار به چپ شیفت دهید و ببینید آیا سرریز وجود دارد یا نه؟ حل)

$$(+\Lambda \Upsilon)_{\gamma} = (\cdot \cdot \cdot \cdot \cdot \cdot \cdot \cdot)_{\gamma}$$
  $(-\Lambda \Upsilon)_{\gamma} = (\cdot \cdot \cdot \cdot \cdot \cdot \cdot \cdot)_{\gamma}$ 

$$(+\mathbb{T}) = (+\mathbb{T}) = (+\mathbb{$$

الف)

$$-\Lambda \Upsilon + (+ \Lambda \Lambda) = \frac{1 \cdot 1 \cdot 1 \cdot 1}{(1 \cdot 1 \cdot 1 \cdot 1)_{\gamma}} = (-1)_{\gamma}$$

ملاحظه می شود که نتیجه بدست آمده، عددی است منغی، و هر گاه در سیستم دهـدهی نیـز، ایـن جمع را انجام دهیم، نتیجه بدست آمده ۱۵- خواهد شد که به صورت دودویی هم، نتیجه بدست آمده است.

## فصل هشتم ./. پردازشگر یا پروسسور (cpu)

ب)

هر دو عدد منفی میباشند ولی چون جواب عددی مثبت است نـشانگر آن است کـه سـرریز رخ دادهاست. از طرفی چون نقلی دو رقم ما قبل آخر ۱ میباشد و رقم آخر صفر و نتیجهٔ ایانحصاری این دو ۱ میباشد میتوان نتیجه گرفت که سرریز رخ دادهاست.

$$(-74)_1$$
 =  $(1 \cdot 1111 \cdot 1)_7$   $\xrightarrow{SHR}$   $(\cdot 1 \cdot 1111 \cdot 1)_7$  =  $+92$ 

د)

ج)

$$(-\Lambda \Upsilon)_1.=(1\cdot 1\cdot 1)\cdot 1)_{\Upsilon} \xrightarrow{\mathrm{SHL}} (\cdot 1\cdot 1)\cdot 1\cdot 1)_{\Upsilon}$$

چون علامت عدد تغییر پیدا کرده است، سرریز رخ دادهاست.

۲۵-۸) نشان دهید مداری که خروجی ۰ را در شکل ۸-۸ چک میکند یک گیت NOR است. حل)

با توجه به خروجی گیت NOR، زمانیکه تمامی ورودیهای آن صفر باشد، ۱ خواهد بود. میتوان از آن به عنوان واریسگر خروجی صفر استفاده نمود.

X	Y	$Z=NOR(X_{\mathcal{Y}}Y)$	8
•	•	1	10
•	١	•	0
1	•		
١	١	•	



V و Z ،S ،C یک کامپیوتر ۸ بیت دارای یک ثبات R است. مقادیر بیتهای وضعیت R در هر مورد R (شکل R) را پس از اجرای هر یک از دستورات زیر معین کنید. مقدار اولیه R در هر مورد R در مبنای شانزده است. اعداد زیر نیز در مبنای شانزده هستند.

الف) عملوند بلافصل C٦ را با R جمع كنيد.

ب) عملوند بلافصل IE را با R جمع نمائيد.

ج) عملوند بلافصل ۹A را از R كم كنيد.

د) R را با XOR نمائيد.

حل)

۱۹-۸) دو عدد بدون علامت توسط رابطه A-B با هم مقایسه شده اند. بیت نقلی بعنوان بیت قرض A < B پس از مقایسه در بیشتر کامپیوترهای تجاری در نظر گرفته می شود، بطوری که اگر A > B



# فصل هشتم ./ پردازشگر یا پروسسور (cpu)

باشد C=1 است. نشان دهید که نسبت اندازه A نسبت به B از وضعیت C و Z طبق جدول مربوط به این مسئله و (A-11) قابل استنتاج است.

جدول مسئله ٢٦-٨

رابطه	حالت بيتهاي وضعيت
A>B	C=· and Z=·
A≥B	C=•
A <b< th=""><th>C=1</th></b<>	C=1
A≤B	C=\ or Z=\
A=B	Z=\
A≠B	<b>Z=·</b>

حل)

اگر A>B باشد پس از انجام تفریق، چون رقم قرضی نخواهیم داشت پس C=0 و از طرفی نتیجه عمل چون صفر نخواهید شد پس Z=0 خواهید بیود و می تیوان ایس نتیجه را از عمل A-B گرفت که A>Bم باشد.

هر گاه C=0 باشد، می توان نتیجه گرفت که رقم قرضی نداشته و A>B می باشد و همچنین چون  $A\ge B$  بررسی نمی شود و امکان دارد A=B نیز باشد از اینرو مجموعـاً نتیجـه خـواهیم گرفـت کـه  $A\ge B$  می باشد.

هرگاه C=1 باشد می توانیم نتیجه بگیریم که رقم قرضی داشته پس A < B می باشد.

هرگاه C=۱ و Z=۱ باشد، چون امکان صفر شدن نتیجه وجود دارد پس A=B و از طرفی چــون C=۱ میباشد، A≥B و مجموعاً A≥B میباشد.

و در نهایت هرگاه Z=1 باشد A=B و هرگاه Z=1 باشد  $A\neq B$  میباشد.

A-B مقایسه شدهاند. با توجه به نتیجه مقایسه بیتهای وضعیت A B و A A B و A B با خواهند شد. (دقت کنید که اگر سرریز رخ دهد تغییر علامتی وجود خواهدداشت). نشان دهید که اندازه نسبی A نسبت به B با توجه به بیتهای وضعیت در جدول مربوط به این مسئله (و جدول A A) قابل استنتاج است.



جدول مسئله ۲۷-۸						
را <b>بطه</b>	حالت بیتهای وضعیت					
A>B	(S⊕V)=• and Z=•					
A≥B	(S⊕V)=•					
A <b< td=""><td>(S⊕V)=\</td></b<>	(S⊕V)=\					
A≤B	$(S \oplus V) = 1$ or $Z = 1$					
A=B	Z=\					
A≠B	Z=•					

حل)

هرگاه  $(S \oplus V = V)$  باشد یا هر دو صفر می باشند که یعنی نتیجه عمل A - B نه سرریز داشته است و نه منفی است که در این صورت می توان نتیجه گرفت که  $A \in B$  هر دو مثبت و A > B می باشد.

در صورتیکه هر دو ۱ باشند می توان نتیجه گرفت که سرریز داشته ایم پس B منفی می باشد و باز S=1 می باشد اما در حالیکه A منفی باشد و B مثبت امکان آنک V=1 شده نیست ولی S=1 خواهد د S=1 بس S=1 نیست.

A- هرگاه فقط V=V بررسی شود میتوان نتیجه گرفت که A میتواند با B برابر و در نهایت B نتیجه صفر دربرداشتهباشد از اینرو A

هرگاه  $V=V\oplus S$  باشد یا V=V و V=S است یا V=V و V=S که هر دو حالت را بررسی می نمائیم. هرگاه V=S و V=V باشد نشانگر آن است که S عددی مثبت و از S کوچکتر بوده است و نتیجه عمل منفی شده است. مثل V=V=V [هردو عدد مثبت هستند].

هرگاه V=V و S=0 می توان نتیجه گرفت که A عددی منفی و V=1 عددی مثبت است و مجموعاً سرریز داشته ایم که در آن صورت نیز A<B می باشد مثال:

A=-11.

В=м.

سرريز ۱۹۰=A-B

هرگاه Z=1 باشد شرط Z=B نیز به Z=A افزوده و در نتیجه Z=A خواهدبود. و در نهایت Z=1 به تنهایی بیانگر Z=A و Z=1 بیانگر Z=A میباشد.



## فصل هشتم ./ پردازشگر یا پروسسور (cpu)

V = X قرار است یک سیستم دیجیتال با چهار ورودی V = X و V = X و V = X با ۱۰ خروجی طراحی شود. که هر یک مربوط به یک شرط انشعاب در مسئله V = X = X است. (حالات مساوی و نامساوی در هر دو جدول یکی است). دیاگرام منطقی مدار با استفاده از دو گیت V = X = X یک V = X = X و پنج معکوس کننده را رسم کنید.

$$(Z=\cdot \text{ AND } C=\cdot)=\overline{Z} \wedge \overline{C}=(\overline{Z} \wedge C)$$

$$(Z=\cdot \text{ OR } C=\cdot)=Z \text{ V } C$$

$$(Z=\cdot \text{ AND } (S\oplus V)=\cdot)=\overline{Z} \wedge \overline{(S\oplus V)}=[\overline{Z} \vee (S\oplus V)]$$

$$(Z=\cdot \text{ OR } (S\oplus V)=\cdot)=Z \text{ V } (S\oplus V)$$

A=00000 مفروضند. A=000000 مفروضند.

الف) معادل دهدهی هر عدد را با فرض اینکه (۱) آنها بدون علامت هستند و (۲) آنها علامت دارند بدست آورید.

ب) دو عدد دودویی را جمع کنید و نتیجه را تفسیر کنید با این فرض که (۱) آنها بدون علامتند (۲) آنها علامت دارند.

ج) مقادیر بیتهای  ${f C}$  و  ${f Z}$  و  ${f C}$  را پس از جمع مشخص کنید.

د) دستورات انشعابی شرطی که شرط آنها برقرار است را از جدول ۱۱-۸ لیست کنید.



حل) الف)

 $A=\cdots$ ,  $B=\cdots$ 

$$(A_1) = (A_1) = (A_2) = (A_1) = (A_2)$$

ب)

$$\frac{1 \cdots 1 \cdots + 1 \text{ Tr}}{(11 \cdots 1 \cdot 1)_{Y}} = \frac{70}{(19V)_{1}}$$

چون اعداد علامتدار نیستند، مجموع آنها در ۸ بیت میگنجد و برابر عدد ۱۹۷ میباشد.

۲)

$$+\frac{1111111}{(1111111)} = (-79)$$

هرگاه اعداد علامت دار باشند، بیت هشتم، بیت علامت است در نتیجه آنهائیکه بیت هشتم آنها ۱ می باشد مکمل ۲ می نمائیم و با علامت منفی در سیستم دسیمال نمایش می دهیم.

چون عدد بزرگتر منفی است بالتبع نتیجه عمل جمع منفی خواهد بود که عدد ٦٩– در مبنای ۱۰ میباشد.

YSZC

د)

ج)

 $BNZ(Z=\cdot)$ ,  $BNC(C=\cdot)$ ,  $BM(S=\cdot)$ ,  $BNV(V=\cdot)$ 



## فصل هشتم ./ پردازشگر یا پروسسور (cpu)

A-B و انجام عمل A-B و تصحیح A-۳۰ برنامه ای در یک کامپیوتر دو عدد بدون علامت A-B و A-۱۰۰۰۱۰۰ برنامه و ضعیت مقایسه می کند. اگر A-۱۰۰۰۰۱۰ و A-۱۰۰۰۱۰۰ باشد،

الف) اختلاف را محاسبه و نتیجه دودویی را تفسیر کنید.

ب) مقادیر بیتهای وضعیت C (قرض) و Z را معین کنید.

ج) دستورات انشعاب شرطی را از جدول ۱۱-۸ که اتفاق می افتند لیست کنید.

حل) الف)

با توجه به اینکه اعداد بدون علامت میباشند، در نتیجه تفریق صحیح نخواهد بسود. زیسرا اولاً رقسم قرضی از بیت نقلی گرفته شده است که خود نشانگر آن است که مفروق از مفروق منه بزرگتر است. ثانیاً نمی توان نتیجه این تفریق را که عددی منفی است نشان داد.

ج)

BC . BNZ . BLO

 ${f A}$  برنامه ای در یک کامپیوتر دو عدد علامت دار  ${f A}$  و  ${f B}$  را ابا انجام عمل  ${f A}$  و تصحیح بیت های وضعیت مقایسه می کنند اگر  ${f A}$  =  ${f A}$  و  ${f A}$  =  ${f A}$  باشند،

الف) اختلاف را محاسبه و نتیجه دودویی را تفسیر کنید.

ب) مقادیر بیتهای 🛭 و 🗷 و 🕅 را معین کنید.

ج) دستورات انشعاب شرطي راءاز جدول ٢١-٨ كه اتفاق مي إفتند ليست كنيد.

حل) الف)

$$A=0 \longrightarrow B=1 \longrightarrow 0$$

$$A-B: 0 \longrightarrow 0$$

$$+ \frac{0.1111100}{(1.111100)_{T}} \longrightarrow 0$$

$$-7$$

$$-7$$

$$-7$$

$$-7$$



نتیجه تفریق عددی منفی است چرا که عدد B بزرگتر از A می باشد.

70-177=-77

<u>ب</u>)

A<B چون ۱=۰, Z=۰, S=۱ ، چون ۱

ج)

BNZ, BM, BNV, BLT

۳۷-۸)محتویات بالاترین مکان حافظه یک پشته ۵۳۲۰ است. محتوای اشاره گر پشته SP نیز ۳۵۰۰ میباشد. یک دستور فراخوانی دو کلمهای در آدرس ۱۱۲۰ حافظه قرار دارد و در آدرس میباشد. یک دستور فراخوانی دو کلمهای در آدرس ۱۱۲۰ حافظه قرار دارد و در آدرس میباشد. یک دستور فراخوانی ۲۷۲۰ ذخیره شده است. محتوای SP ،PC و بالاترین مکان پشته جیست؟

الف) قبل از برداشت دستور فراخوانی از حافظه

ب) پس از اجرای دستور فراخوانی

ج) پس از بازگشت از زیرروال

( )-

TOS=orr ; SP=roz ; PC=111.

الف) قبل از واکشی:

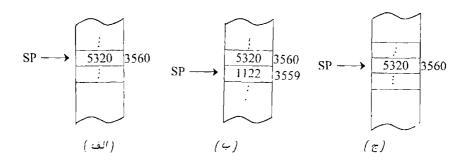
TOS=1177; SP=rooq; PC=7V7.

ب) پس از اجرای دستورالعمل

فراخواني:

TOS=orr.; SP=roz.; PCzvr.

ج) پس از بازگشت از زیرروال:



٣٣-٨) اختلاف عمده بين دستور انشعاب، فراخواني و وقفه برنامه چيست؟

فصل هشتم ./. پردازشگر یا پروسسور (cpu)

### حل)

تفاوت دستورالعمل انشعاب با دستورالعمل فراخوانی زیرروال تنها در مورد ذخیره کردن آدرس دستورالعمل بعد از دستورالعمل فراخوانی زیرروال میباشد تا پس از اجرای زیرروال و بازگشت از آن، اجرای دستورات از محل انشعاب دوباره از سرگرفته شود ولی در مورد دستورالعمل انشعاب نیازی به ذخیره کردن آدرس بازگشت نمی باشد.

تفاوت دستورالعمل فراخوانی زیرروال و انشعاب با وقفه در موارد زیر میباشد:

الف) وقفه معمولاً از یک سیگنال داخلی یا خارجی ناشی میشود و نه از اجرای یک دستورالعمل (جز در مورد وقفه نرمافزاری)

ب) آدرس برنامه سرویسدهی به وقفه را سختافزار تعیین مینماید نه میدان آدرس دستورالعمل. ج) رویه وقفه معمولاً همه اطلاعات لازم برای مشخص کردن وضعیت CPU را ذخیره میکند و نه فقط شمارنده برنامه را.

۸-۳۶) پنج مثال از وقفه خارجی و پنج مثال از وقفه داخلی را ارائه نمائید. فرق بین وقفه نرمافزاری و فراخوانی چیست؟

حل)

وقفههای خارجی: درخواست انتقال داده از طرف وسیله I/O

اعلام اتمام انتقال داده از طرف وسیله I/O

اعلام تمام شدن کاغذ از طرف چاپگر

اعلام اشكال در منبع تغذيه

اعلام پر شدن میانگیر صفحه کلید

وقفه های داخلی: سرریز ثبات – تقسیم بر صفر – سرریز پشته – پرشدن حافظه، کد عمل نامعتبر وقفه نرم افزاری یک دستورالعمل فراخوانی مخصوص است که مانند وقفه عمل مینماید نه مانند فراخوانی زیرروال، زیرا در فراخوانی زیرروال فقط محتوی PC ذخیره می شود ولی در وقفه

۱) محتوی ۲ PC) محتوی همه ثباتهای پردازنده ۳) محتوی بعضی بیتهای وضعیتی ذخیره می شوند.



۸-۳۵ کامپیوتری با انتقال PC و PSW به یک وقفه پاسخ می دهد. سپس PSW جدیدی را از مکان IAD که توسط آدرس وقفه مشخص می شود می خواند. اولین آدرس برنامه سرویس وقفه از ۱AD+۱ خوانده می شود.

الف) رشته عملیات جزیی را برای سیکل وقفه لیست کنید.

ب) رشته عملیات را برای بازگشت از زیرروال وقفه لیست کنید

حل)

الف)

I SP←SP-1

II  $M[SP] \leftarrow PC$ 

III SP←SP-\

IV M[SP]←PSW \_\_\_\_ V PSW←M[IAD]

محتوای ایس خانه حافظه حاوی PSW جدید

مى باشد.

VI  $PC \leftarrow M[IAD+1]$ 

ب)

I  $PSW \leftarrow M[SP]$ 

II SP←SP+\

III  $PC \leftarrow M[SP]$ 

IV SP←SP+\

۷AX۱۱ و IBM۳۷۰ مثالهایی از کامپیوترهای دارای قالب دستورات متغیر عبارتند از ۱BM۳۷۰ و ۷AX۱۱ و ۸-۳٦ Intel ۳۸۶ و ۱۸



## فصل هشتم ./ پردازشگر یا پروسسور (cpu)

#### حل)

معماری این کامپیوترها CISC میباشد که از قالبهای دستور با طول متغیر استفاده شدهاست به عنوان مثال دستورالعملهایی که عملوندهای آنها ثبات است ممکن است فقط دو بایت طول داشتهباشند اما در دستورالعملهایی که به دو آدرس حافظه نیاز دارند، برای کل کد دستورالعمل به ۵ بایت نیاز داشتهباشند. ولی در مورد کامپیوتر RISCI قالب دستورالعمل که ۳۲ بیتی ثابت میباشد از سه شیوه ثباتی بلافاصل و شیوه نسبت به PC استفاده می شود.

۸-۳۷) سه کامپیوتر از دریچههای ثبات زیر استفاده میکنند. سایز دریچهها و تعداد کل ثبات در هر ثبات جفدر است؟

	کامپیوتر ۱	کامپیوتر ۲	کامپیوتر ۳
ثباتهای عام	1.	٨	17
ثباتهای محلی	١٠	٨	17
ثباتهای مشترک	٦	٨	17
تعداد دريچهها	٨	٤	١٦

#### حل)

$$L+ZC+G$$
 :مجموعه ثباتها که اندازه پنجره  $(L+C)W+G$  با توجه به فرمول

G: تعداد ثباتهای عام

L: تعداد ئباتهاي محلي

C: تعداد ثباتهای مشترک

W: تعداد ينجرهها داريم:

$$G=1., L=1., C=7, W=A \Rightarrow \begin{cases} 0.0 & 0.$$

۸-۳۸ مثالی از یک دستور کامپیوتر RISCI که اعمال زیر ار انجام دهد ارائه کنید.

الف) یک ثبات را کاهش دهد.

ب) یک ثبات را مکمل کند.

ج) علامت محتوای ثبات را معکوس می کند.

د) یک ثبات را ۰ کند.

هـ) یک عدد علامتدار را به ٤ تقسیم کند.

و) هیچ کاری انجام ندهد.

حل)

الف) كاهش يك ثبات:

SUB R,  $\neq$  1, R

ب) متمم کردن یک ثبات: R۱ SUB R۰,  $\neq$  ۱, R۱ یا تمامی بیتهای آن ۱ XOR R, R۱ ,R میگردد. برای متمم کردن R

ج)

R۲ صفر کردن XOR R۲, R۲, R۲ R۲ کردن بیت علامت R۲ کردن بیت علامت بات R0 AVOR R, R۲, R

XOR R, R, R

SRA R,  $\neq$  Y, R

د) ه\_)

NOP

و)

۳۹-۸) دستوری از RISCI را به زبان اسمبلی بنویسید که سبب پرش به آدرس ۳۲۰۰ گردد Z=1 باشد.

الف) با استفاده از روش بلافصل

ب) با استفاده از روش نسبی(۳٤٠٠=PC فرض شود)

حل)

JMP  $Z, \neq rr$ ..

الف) شيوه بلافصل:

JMPR  $Z, \neq - \gamma \cdots$ 

ب نسبی:

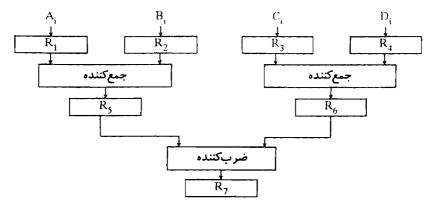


فصل نهم / خطوط لوله و پردازش موازی

# مسائل فصل نهم: خطوط لوله و پردازش موازی

۹-۱) در برخی از محاسبات علمی، به عملیاتی محاسباتی نظیر  $(A_i+B_i)(C_i+D_i)$  نیاز است. خط لولهای برای این محاسبات طراحی و محتوای تمام ثباتها را، بهازاء i، از ۱ تا  $\Gamma$  تعیین نمایید.

حل) خط لوله مطابق شكل زير مىباشد.



عملیات جزئی که در هر قسمت خط لوله انجام می شود به قرار زیر می باشند:

 $R_1 \leftarrow A_i, \; R_7 \leftarrow B_i, \; R_7 \leftarrow C_i, \; R_4 \leftarrow D_i$  و  $D_i$  به این ترتیب وارد ثبات می شوند:  $D_i$  به این ترتیب وارد ثبات می شوند:

• در مرحله بعد، حاصل جمعهای  $A_i+B_i$  و  $C_i+D_i$  وارد ثباتهای ه $R_1$  و  $R_1$  می شوند یعنی:

$$R_{\circ}\leftarrow A_i+B_i$$
,  $R_{\uparrow}\leftarrow C_i+D_i$ 

• مرحله بعد، دو حاصل جمع در هم ضرب می شوند و نتیجه در  $R_{
m v}$  قرار می گیرد:

$$R_{\nu} \leftarrow R_{\circ} \times R_{1} \cup R_{\nu} \leftarrow (A_{i} + B_{i})(C_{i} + D_{i})$$

اطلاعات جدید در هر پالسساعت وارد ثبات مذکور می شوند که نتیجه آن در جدول زیر نشان داده شده است:

تعداد يالس		1	قطعه		مه ۲	قعا	قطعه ۳		
ساعت	$\mathbf{R}_{i}$	$R_{\tau}$	$R_{\tau}$	$R_{\iota}$	$R_z = R_{\tau}$		$\mathbf{R}_{v}$		
1	A۱	$\mathbf{B}'$	C'	$\mathbf{D}'$	-	-	_		
۲	$A_{r}$	$\mathbf{B}_{r}$	$C_{\tau}$	$\mathbf{D}_{r}$	A'+B'	C'+D'	-		
	Αr		$\mathbf{C}_{\mathtt{r}}$	$D_r$	$A_{\tau}+B_{\tau}$	$C^{4}+D^{4}$	$(A_1+B_1)$ $(C_1+D_1)$		
٤	Αί	$\mathbf{B}_{\mathfrak{t}}$	$\mathbf{C}_{\mathtt{i}}$	$\mathbf{D}_{i}$	$A_r + B_r$	$C^{+}D^{-}$	$(A_r+B_r)$ $(C_r+D_r)$		
٥	A.	$\mathbf{B}_{\bullet}$	$C_{\circ}$	$D_{\circ}$	$A_i + B_i$	$C_{\mathfrak{i}} + D_{\mathfrak{i}}$	$(A_r + B_r)  (C_r + D_r)$		
٦	A٦	$\mathbf{B}_{\tau}$	$C_{\tau}$	$D_{\tau}$	$D_1$ $A_0+B_0$ $C_0+$		$(A_{\mathfrak{t}}+B_{\mathfrak{t}})$ $(C_{\mathfrak{t}}+D_{\mathfrak{t}})$		

### تشریح مسائل معماری کامپیوتر

در جدول فوق در اولینساعت، مقادیر  $R_1$  می  $C_1$  به ثباتهای  $R_2$  ه  $R_3$  و اورد  $R_4$  و  $R_5$  و اورد می شوند.

در دومین پالسساعت، نتیجه جمع  $A_1+B_1$  و  $C_1+D_1$  به ثبــاتهــای ه $R_1$  و ارد مــیگــردد و همچنین  $A_1$ , و  $D_2$  به ثباتهای  $D_3$ , و  $D_4$  به ثباتهای  $D_3$ , و  $D_4$  و ارد میشوند.

در سومین پالسساعت، خط لوله پر شده و هر سه قطعه به طور همزمان عمل می کنند، یعنی مقادیر  $A_7+B_7$  و  $C_7$ ,  $C_7$ ,

۹-۲) دیاگرام زمانی یک خط لوله ٦ قسمتی را رسم کنید و زمانی که برای اجرای ۸ کار ۱ (یا وظیفه) نیاز دارد را، نشان دهید.

حل)

دیاگرام زمانی خط لوله ٦ قسمتی (k=٦) برای ۸ وظیفه (n=۸) با سیکل ساعت (tp) در شکل زیر نشان دادهشدهاست.

قسمتها (k)	١	۲	٣	٤	٥	١	V	٨	٩	١.	11	17	15	سیکل ساعت (tp)
1	T,	T,	Τr	Tı	T,	T,	Τ <sub>ν</sub>	T,			<u> </u>			
۲		T,	T,	Tr	Τι	т.	T,	T <sub>v</sub>	T,					
٣			T,	T,	Tr	Τι	T.	T,	T <sub>v</sub>	T,				1
٤				T,	T,	Τ <sub>τ</sub>	T,	T.	T,	T <sub>v</sub>	T,	1		
٥					T,	T,	T,	T <sub>t</sub>	T.	T,	Τ <sub>ν</sub>	T,		
٦ [						T,	T,	T,	T,	T,	T,	Tv	T,	

دیاگرام زمانی برای خط لوله ٦ قسمتی

همانطور که ملاحظه می شود، وظیفه  $T_1$  به T قسمت، زمان نیاز دارد ( $kt_p=\tau t_p$ ) که در این مدت خط لوله پر می شود، یعنی  $T_1$  در قسمت اول،  $T_2$  در قسمت سوم،  $T_3$  در قسمت سوم،  $T_4$  در قسمت پنجم و بالاخره  $T_4$  در قسمت ششم می باشد. از این به بعد در هر سیکل ساعت



## فصل نهم / خطوط لوله و پردازش موازی

یک وظیفه انجام می شود، پس برای N=1-A=1-n وظیفه باقیمانده  $Vt_p$  زمان لازم است لذا کل زمان اجرای  $\Lambda$  وظیفه برابر با:

امی باشد.  $(k+n-1)t_p=(7+\Lambda-1)t_p=1 \ T_p$ 

۹-۳) تعداد پالسساعتی را، که برای اجرای ۲۰۰ کار (یا وظیفه)، در یک خط لوله ٦ قسمتی لازم است، تعیین نمایید.

حل)

همانطور که در صفحه ۲۹۶ کتاب معماری کامپیوتر و همچنین مسأله قبل بحث شد، زمان لازم برای ۳=۲۰۰ وظیفه، در یک خط لوله شش قسمتی (k=-۱) برابر با:

$$K+n-1=1+1\cdots-1=1\cdot 0$$

سيكل ساعت مىباشد.

۹-٤) یک سیستم بدون خط لوله برای اجرای کاری ٥٠ نانوثانیه زمان لازم دارد. همین کار را می توان با یک خط لوله ۲ قسمتی با پالسساعت ۱۰ نانوثانیه ای اجرا نمود. میزان افزایش سرعت خط لوله را، برای ۱۰۰ کار تعیین نمایید. حداکثر افزایش سرعتی را، که می توان به آن رسید، تعیین کنید.

حل)

همانطور که در صفحه ۲۹۱ کتاب معماری کامپیوتر بحث شده، داریم:

• زمان اجرای هر کار:  $t_n=0۰$  نانوثانیه

• تعداد خط لوله: k=٦

•  $t_n=1$  نانوثانیه

در این صورت افزایش سرعت، از رابطه زیر محاسبه می شود:

$$s = \frac{nt_n}{(k+n-1)t_p} = \frac{1 \cdot \cdot \times 0}{(1+1 \cdot \cdot -1) \cdot \cdot} = \xi. \forall 1$$

و حداكثر افزايش سرعت برابر است با:

$$S_{\max} \frac{t_n}{t_p} = \frac{\circ \cdot}{\cdot \cdot} \approx \circ$$

- ۹-۵) خط لوله شکل (۹-۲) تأخیر انتشاری به شرح زیر دارد:
- $\mathbf{R}_{\mathsf{Y}}$  و  $\mathbf{R}_{\mathsf{Y}}$  و نانو ثانیه جهت خواندن اطلاعات از حافظه و قرار دادن آنها در ثباتهای  $\mathbf{R}_{\mathsf{Y}}$ 
  - ٤٥ نانو ثانيه براى عمليات ضرب.
  - ٥ نانوثانيه براى وارد شدن اطلاعات خروجي، در ثبات Rr.
  - ♦ ۱۵ نانوثانیه جهت جمع دو عدد با هم و قرار دادن نتیجه، در ها
    - الف) حداقل زمان بالسساعت مورد نياز، چقدر است؟
- ب) یک سیستم بدون خط لوله، می تواند همین کار را بدون ثباتهای  $\mathbf{R}_{\iota}$  و  $\mathbf{R}_{\iota}$  انجام دهد، در این صورت زمان اجرای ضرب و جمع مذکور چقدر خواهدبود؟
  - ج) افزایش سرعت خط لوله را برای ۱۰ و ۱۰۰ کار شبیه هم تعیین کنید.
  - د) در این حالت حداکثر سرعتی که سیستم می تواند داشته باشد، چقدر است؟

#### (J>

شکل (۲-۹) دارای سه قسمت (K=۳) به شرح زیر است:

قسمت اول، خواندن از حافظه و قرار دادن مقدارهای  $A_i$  و  $B_i$ ، در ثباتهای  $R_1$  و  $R_7$  میباشد.

قسمت دوم، ضرب دو عدد  $A_i$  و  $B_i$  و قرار دادن آن در  $R_r$  است.

قسمت سوم، عمل جمع و قرار دادن نتیجه در هR میباشد.

الف) طولانی ترین زمان، عمل ضرب و قرار دادن نتیجه در  $\mathbb{R}^n$  است، که در این مدت، عملیات در قسمت اول و سوم خط لوله نیز، همزمان انجام می شود. لذا حداکثر زمان پالس ساعت برابر:

نانو ثانیه ۵۰–۵+۵ نانو

### مىباشد.

ب) در سیستم بدون خط لوله، زمان اجرا برابر مجموع زمانها (بجز زمان  $R_r$ ) است، یعنی: نانو ثانیه ۱۰۰ $=t_n$ 

ج) افزایش سرعت خط برای ۱۰۰ n=۱ و ۱۰۰ m=۱ به ترتیب برابر است با:



## فصل نهم / خطوط لوله و پردازش موازی

$$S= {nt_n \over (k+n-1)} = {n \times 1 \cdot \cdot \cdot \over (k+n-1) t_p} = {n \times 1 \cdot \cdot \cdot \over (k+n-1) t_p}$$
  $= 1.70$ 

برای ۱۰۰ هنوایش سرعت مت مت مت مت 
$$nt_n$$
 افزایش سرعت برابر 
$$S = \frac{nt_n}{(k+n-)} = \frac{1.97}{(k+n-)t_p}$$
  $(r+99)0.$ 

د) حداكثر سرعت سيستم برابر است با:

$$S_{\text{max}} = \frac{t_n}{t_p} = \frac{\cdots}{\cdots} = \gamma$$

۹-۲) برای ضرب اعداد ممیز ثابت، به طراحی یک ضرب کننده خط لوله نیاز است که، دو عدد باینری ۸ بیتی را در هم ضرب نماید. هر قسمت خط لوله از تعدادی گیت AND و جمع کننده باینری (شبیه ضرب کننده آرایهای شکل (۱۰-۱۰))، تشکیل شده است.

الف) چند گیت AND در هر قسمت وجود دارد و چه تعداد جمع کننده مورد نیاز است؟ ب) چند قسمت در خط لوله وجود دارد؟

ج) اگر تأخیر انتشار در هر قسمت ۳۰ نانوثانیه باشد، زمان متوسط برای ضرب دو عدد ممیز ثابت، در خط لوله چقدر است؟

حل)

الف) با توجه به توضیح ضربکننده آرایهای (بخش ۱۰–۳)، ملاحظه می شود، برای هر قسمت خط لوله، ۲۵=۸×۸ گیت AND و یک جمعکننده ۸ بیتی مورد نیاز می باشد.

ب) برای هشت بیت ضربکننده، هفت قسمت خط لوله (k=v) لازم است تا عملیات جمع حاصل ضربهای میانی را، انجام دهد.

ج) زمان متوسط ضرب، برابر زمان اجرای کل n وظیفه در خط لوله (یعنی  $(k+n-1)t_p^*$ )، تقسیم بر تعداد n وظیفه است، پس:

زمان متوسط 
$$\frac{K+n-1}{n}$$
 ازمان متوسط

به عنوان مثال برای ۱۰ n=۱ وظیفه، زمان متوسط برابر است با:

نانوثانیه ۲۸=۲۸× 
$$\frac{V+1\cdot -1}{V}$$
 = زمان متوسط

۱-۹) زمان تأخیر برای چهار قسمت خط لوله شکل (۹-۹)، مطابق زیر میباشد:  $t_1=0\cdot ns$  ,  $t_7=9\cdot ns$ 

و تأخیر ثباتهای واسط  $t_0$ ons است.

الف) زمان لازم برای جمع ۱۰۰ جفت عدد در خط لوله چقدر است؟

زمان محاسبه شده در قسمت الف را چطور می توان تقریباً به نصف تقلیل داد؟

حل)

الف) زمان تأخیر برای جمع دو عدد در خط لوله، برابر با طولانی ترین زمان قسمت خط لوله، یعنی برابر با زمان قسمت  $\pi$  میباشد، که ۹۵ نانوثانیه است و زمان تأخیر ثبات را نیز، باید به آن اضافه نمود که  $t_p=1.0$  میباشد.

چون خط لوله ٤ قسمت دارد (k=٤)، لذا زمان جمع ١٠٠ جفت عدد در خط لوله برابر با:

$$(k+n-1)t_p*=(\xi+1\cdot\cdot-1)\cdot\cdot=1\cdot\tau\cdot\cdot ns$$

مىباشد.

<sup>\*</sup> در بخش (۲-۹) بحث شدهاست.

فصل نهم / خطوط لوله و پردازش موازی

ب) اگر قسمت ۳ را به دو قسمت، یکی برابر 0.0 و دیگری مساوی 0.0، تقسیم کنیم، زمان هر یک از قسمت ها برابر 0.0 و 0.0 و 0.0 می شود و پنج قسمت 0.0 خواهیم داشت. لذا حداکثر زمان قسمت برابر 0.0 یعنی 0.0 یعنی 0.0 و 0.0 می گردد. پس زمان اجرای 0.0 جفت عدد برابر: 0.0 (0.0 الله) 0.0

مىشود كه تقريباً نصف حالت قبل مىباشد.

۹-۸) چطور می توان جمع کننده خط لوله شکل (۹-۱) را، برای جمع ۱۰۰ عدد ممیز شناور  $X_1+X_7+X_7+...+X_1...$ 

حل)

برای این کار، کافیست خروجی مانتیس و نمای شکل (۹-۱) را، به ترتیب به ورودی مانتیس (B) A و ورودی نمای (b) عدد B متصل کنیم و مانتیس و نمای عددهای ۲۱،۰ تا ۲۱،۰ را در ورودیهای A و شکل مذکور قرار دهیم. در این صورت خروجی جمع کننده ممیز شناور شکل (۹-۱)، مجموع اعداد ممیز شناور ۲۰۰۰، مجموع اعداد ممیز شناور ۲۰۰۰، مجموع اعداد میز شناور ۲۰۰۰، محموع اعداد میز شناور ۲۰۰۰، میز شناور ۲۰۰۰، محموع اعداد میز شناور ۲۰۰۰، محموع اعداد میز شناور ۲۰۰۰، محموع اعداد میز شناور ۲۰۰۰، میز شناور ۲۰۰۰، میز شناور ۲۰۰۰، محموع اعداد میز شناور ۲۰۰۰، میز ۲۰۰۰، میز شناور ۲۰۰۰، میز 
۹-۹) یک خط لوله دستور ۲ قسمتی، برای کامپیوتر طراحی نمایید و عملیات هر قسمت را مشخص کنید.

حل)

خط لوله دستور را، به ٦ قسمت مي توان تقسيم نمود، كه عمليات هر يك به شرح ذيل مي باشد:

- ۱- واکشی دستور از حافظه
  - ۲- رمزگشایی ۱ دستور
  - ٣- محاسبه آدرس مؤثر
- ٤- واكشى عملوند از حافظه

'.Decoding



٥- اجراي دستور

٦- گذاردن نتيجه در جای مناسب

۹-۱۰ چهار روش سختافزاری، برای بهبود کارآیی خط لوله دستور، در موقع استفاده از دستور انشعاب، بیان نمایید.

حل)

با مطالبی که در بخش (۹-۶) بحث شد، روشهای زیر میتواند برای بهبود کارآیی خط لوله استفاده گردد:

- دستور هدف '، قبلاً واکشی شود یا پیش واکشی <sup>۲</sup> گردد و در محلی ذخیره گردد.
  - از بافر هدف (BTB<sup>r</sup>) استفاده شود.
  - از بافر حلقه <sup>4</sup> برای ذخیره حلقههای کوچک استفاده گردد.
    - پیش بینی انشعاب <sup>۵</sup> گردد.

۹-۱۱) چهار دستور برنامه زیر را در نظر می گیریم:

LOAD  $R_1 \leftarrow M[r_1r]$ 

ADD  $R_{\tau} \leftarrow R_{\tau} + M[\tau \setminus \tau]$ 

INC  $R_r \leftarrow R_{r+1}$ 

STORE  $M[r \setminus \epsilon] \leftarrow R_r$ 

فرض می کنیم دستور اول، از مرحله یک خط لوله شکل (۹-۸) شروع شود. در مرحله چهار، چه عملیاتی در چهار قسمت خط لوله انجام می شود؟

حل)

با توجه به شکل (۹-۸)، مرحله هر یک از دستورات در خط لوله، مطابق زیر می باشد:



<sup>&#</sup>x27;. Target Instruction

<sup>&</sup>lt;sup>\*</sup>. Prefetch

<sup>&</sup>lt;sup>r</sup>.Branch Target Buffer (BTB)

<sup>&</sup>lt;sup>1</sup>.Loop Buffer

<sup>°.</sup> Branch Prediction

### فصل نهم / خطوط لوله و پردازش موازی

		١	٢	٣	٤	مرحله
Load	$R_1 \leftarrow M[T \mid T]$	F١	DA	FO	EX	
Add	$R_{r} \leftarrow R_{r} + M[r \land r]$ $R_{r}$ $M[r \land t] \leftarrow R_{r}$		F١	DA	FO	
Increment	$R_r$			F١	DA	
Store	$M[r \wr t] \leftarrow R_r$				F١	

لذا در مرحله ٤، عملیات زیر در چهار قسمت خط لوله انجام می شود:

- EX مربوط به دستور ۱ میباشد و مرحله اجرائی دستور است، یعنی محتوای خانـه حافظـه بـه آدرس  $R_1$  را، به ثبات  $R_1$  انتقال میدهد.
- FO مربوط به دستور ۲ است و مرحله واکشی عملوند میباشد، یعنی عملوند خانه حافظه ۳۱۳ را از حافظه، میخواند یا واکشی میکند.
  - DA مربوط به دستور ۳ میباشد و مرحله دیکد دستور است، یعنی دستور ۳ را دیکد میکند.
- F۱ مربوط به دستور ٤ است و مرحله واكشى دستور مىباشد، يعنى دستور ٤ را از حافظه واكشى مىكند.

۹-۱۲) برنامه ای مثال بزنید، که باعث برخورد اطلاعات در خط لوله سه قسمتی بخش (۹-۵) شود.

حل)

برنامهای با دو دستور زیر را در نظر می گیریم:

		١	۲	٣	مرحله ٤
\-Load	$R_1 \leftarrow Memory$	I	A	Е	
Y- Increment	$R_1 \leftarrow R_1 + 1$		Ι	A	Е

همانطور که در فوق ملاخظه می شود، در مرحله  $\pi$ ، عمل اجرا (E) مربوط به دستور 1 است یعنی، مقدار خانه حافظه باید وارد ثبات  $R_1$  شود. از طرفی در این مرحله، دستور 1 در مرحله 1 است، یعنی

به مقدار  $R_1$  باید یک واحد اضافه شود، ولی هنوز مقدار جدید  $R_1$  وارد A نشده، تا به آن یک واحد اضافه شود، لذا برخورد اطلاعات  $^{\prime}$  پیش می آید.

۹-۱۳) مثالی بزنید که بارگیری تأخیری را،در خط لوله سه قسمتی بخش (۹-۵) به کار برد.

حل)

با توجه به روش بارگیری تأخیری (صفحه ۳۰٦ کتاب معماری کامپیوتر)، می توان یک دستور NOP بین دو دستور مسأله (۹–۱۲) قرار داد، تا مشکل برخورد اطلاعات برطرف شود.

۹-۱۶) برنامه ای مثال بزنید، که باعث اتلاف زمان ناشی از انشعاب، در خط لوله سه قسمتی بخش (۹-۵) شود.

حل)

برنامهای با دستورات زیر را در نظر می گیریم:

	١	۲	٣	٤	٥	٦	٧	مراحل خط لوله
1.1 Add R <sub>r</sub> TO R <sub>r</sub>	١	A	E		1			
۱۰۲ Branch to ۱۰٤		١	Α	E	<b>↓</b>			
\.\r Increment R.			-	-				
V. Ctore P					I	Α	$\mathbf{E}$	

۱۰٤ Store R

در برنامه فوق باید دستور انشعاب ۱۰۶ Branch to اب المسود یعنی واکستی و اجسرا شسود تسا در برنامه فوق باید دستور Store  $R_1$  بتواند در خط لوله اجرا گردد، لذا زمان واکشی و اجرای دستور  $R_1$  تلف شده شده شده است. به این ترتیب دستور انشعاب باعث تلف شدن زمان، در خط لوله شده است.

۹-۱۵) مثالی بزنید، که انشعاب تأخیر یافته را، در خط لوله سه قسمتی بخش (۹-۵)، به کار برد.

حل)

برنامه مسأله (۹–۱٤) را به طریق زیر می توان تغییر داد:

فصل نهم / خطوط لوله و پردازش موازی

NO-OperationIncrement R,

1.0 Store R.

Add  $R_r$  TO  $R_r$  اجرا می شود، دستورهای Branch to ۱۰۵ اجرا می شود، دستورهای Store  $R_1$  نیز واکشی و اجرا می شوند و در مرحله 3، عمل انشعاب به دستور NO-Operation نیز واکشی و اجرا می شوند و در مرحله 4، عمل انشعاب به قرار دادن دستورات به صورت فوق، از بی کار شدن خط لوله در زمان انشعاب جلوگیری می شود، به عبارت دیگر انشعاب با تأخیر استفاده می گردد.

۹-۱۳) پروسسور برداری که ضرب دو ماتریس ۴۰×۶۰ را انجام می دهد، در نظر می گیریم: الف) چند جزء ضرب در هر ضرب میانی، وجود دارد و چند حاصل ضرب میانی داریم؟

ب) چند عملیات ضرب و جمع، برای محاسبات حاصل ضرب ماتریس، نیاز داریم؟

### حل)

- الف) ٤٠ جزء ضرب، در هر حاصل ضرب میانی داریم و ۱٦٠٠=٤٠ خاصل ضرب میانی،باید محاسبه گردد.\* ب) برای ضرب دو ماتریس ۶۰۲=۹٤۰۰ عملیات ضرب و جمع، لازم است.\*
- ۹-۱۷) چند پالسساعت برای محاسبه ضرب میانی، در خط لوله شکل (۹-۱۲) جهت حاصل ضرب یک ماتریس ۲۰×۲۰ لازم است، چند حاصل ضرب میانی وجود دارد و چند یالسساعت برای محاسبه حاصل ضرب ماتریس احتیاج است؟

#### حل)

در هر حاصل ضرب میانی، ٦٠ پالسساعت برای محاسبه حاصل ضربهای جزء آن، موردنیاز است و ۸ پالسساعت نیز برای رسیدن اولین حاصل ضرب جزء، به انتهای خط لوله لازم میباشد. بالاخره برای انجام اولین جمع حاصل ضرب میانی، ٤ پالسساعت دیگر لازم میباشد. به این ترتیب برای تولید هر حاصل ضرب میانی، تعداد ۷۲=۴۰۸+۲۰ پالسساعت موردنیاز میباشد.

<sup>\*\*</sup> در صفحه ۳۱۲ کتاب معماری کامپیوتر ترجمه مؤلف بحث شده است.



<sup>&#</sup>x27;. Vectot Processor

در صفحه ۳۱۱ کتاب معماری کامپیوتر ترجمه مؤلف بحث شده است.

- تعداد ۳۶۰۰=۲۰ حاصل ضرب میانی لازم می باشد. \*\*
- چون ۳۲۰۰ حاصل ضرب میانی وجود دارد و هر حاصل ضرب میانی در ۷۲ پالسساعت محاسبه می شود، پس زمان کل محاسبه ماتریس حاصل ضرب برابر ۲۵۲۲۰۰×۷۲=۲۷×۳۲۰۰ پالسساعت است.
- ۹-۱۸) آدرس مناسب را، به ۱۰۲۶ کلمه آرایهای، که باید در حافظه شکل (۹-۱۳) ذخیره شود، تخصیص دهید.

حل)

چون ۱۰۲۶ کلمه حافظه داریم، پس کلاً ۱۰ بیت آدرس A تا A برای آدرسدهی موردنیاز می باشد ( $Y^{1-1}$ ).

همانطور که در حافظه اینترلیو بحث شد، اگر 3 آرایه حافظه داشتهباشیم و دو بیت کمارزش تر آدرس حافظه  $(A_1A_1)$  به ترتیب،  $\alpha$  ،  $\alpha$  ،  $\alpha$  ،  $\alpha$  او ۱۱ باشند، آرایههای حافظه  $\alpha$  ،  $\alpha$  ،  $\alpha$  انتخاب می شوند و بیتهای  $\alpha$  تا  $\alpha$  آدرس یک کلمه داخل هر حافظه را مشخص می نمایند.

به این ترتیب برای آرایه حافظه ۰، اگر آدرسهای ۸۹...۸۳۸ را مطابق زیر تغییر دهیم:

		1					
Α٩		$A_{\mathfrak{t}}$	$A_{r}$	$A_{r}$	$A_{\nu}$	A.	
•		٠	٠	•	•	•	<b>آدرس</b> •
٠	•••	٠	•	١	•	•	آدرس ٤
•		•	١	•	•	•	آدرس ۸
•		•	١	١	٠	•	آدرس ۱۲

آدرس خانههای ۰، ۶، ۸، ۱۲، ...۱۰۲۰ را خواهیمداشت.

#### به همین ترتیب:

- برای آرایه حافظه ۱، آدرسهای: ۱، ۵، ۹، ۱۳، ...۱۰۲۱ را خواهیمداشت.
  - برای آرایه حافظه ۲، آدرسهای: ۲، ۲، ۱۰، ۱۰۲۲ را خواهیمداشت.
  - برای آرایه حافظه ۳، آدرسهای: ۳، ۷، ۱۱، ...۱۰۲۳ را خواهیمداشت.
- ۹-۹) یک محاسبه پیشبینی وضع هوا، به ۲۵۰ بیلیون عملیات ممیزشناور نیاز دارد. اگر این محاسبات چقدر محاسبات در ابرکامپیوتری با ۱۰۰ مگافلاپ انجام شود، مدت این محاسبات چقدر خواهدبود؟



فصل نهم / خطوط لوله و پردازش موازی

حل)

زمان محاسبات برابر است با:

دقیقه ۱.۹۷
$$\approx$$
 ثانیه ۲۵۰۰ $\approx$   $=$   $\frac{70 \times 10^9}{100 \times 10^7} = 0$  تعداد دستورات کامپیوتر در واحد زمان محاسبات تعداد دستورات کامپیوتر در واحد زمان

۹-۲۰)کامپیوتری با چهار پرسسور خط لوله ممیز شناور را، در نظر میگیریم. فرض میکنیم هر پروسسور دارای: سیکل زمانی ٤٠ نانوثانیهای باشد، در این صورت چه زمانی برای محاسبه ٤٠٠ عملیات ممیزشناور موردنیاز است؟ اگر این عملیات در یک پروسسور با سیکل زمانی ۱۰ نانوثانیه انجام گردد، آیا اختلافی بین این دو سیستم وجود دارد؟

حل)

چون چهار پروسسور خط لوله ممیزشناور داریم، پس عملیات ممیزشناور بین این چهار پروسسور، به طور موازی تقسیم می شود که به هر یک ۱۰۰ عملیات می رسد، لذا زمان لازم برای انجام آن برابر ۱۰۰ه عملیات می در که به می باشد. در صورتی که عملیات مذکور، فقط در یک پروسسور سریع، با سیکل ۱۰ نانوثانیه انجام شود، باز هم زمان اجرای عملیات برابر ۲۰۰۰ ۲۰۰ نانوثانیه می باشد، لذا این دو سیستم معادل هستند.

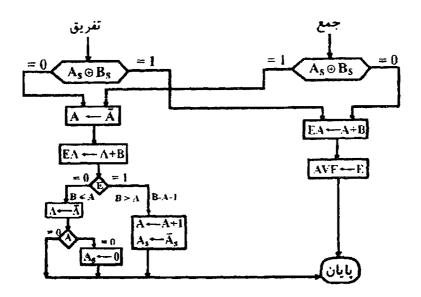
## مسائل فصل دهم: محاسبات كامپيوتري

۱-۱۰) اگر به جای  $\overline{B}+1$  مقدار  $\overline{A}+\overline{B}$  ( $\overline{B}$  بعلاوه مکمل یک  $\overline{A}$ ) را به کار بریم، به مکمل کننده شکل (۱-۱۰) نیازی نیست. الگوریتمی به صورت فلوچارت، برای جمع و تفریق اعداد ممیزثابت (با نمایش اعداد در سیستم قدر مطلق و علامت دار) ارائه دهید، به طوری که دو ریزعملیات زیر را برای تفریق به کار برد:

$$A \leftarrow \overline{A}$$
  
 $EA \leftarrow A + B$ 

حل)

الگوريتم مذكور مطابق فلوچارت زير مي باشد\*:



۱۰-۲) در فلوچارت شکل (۱۰-۲)، در هر مسیر، شماره هایی بگذارید و سپس مسیر الگوریتم را برای محاسبات زیر که به صورت قدر مطلق (شش بیتی) و علامت دار نمایش داده شده اند،

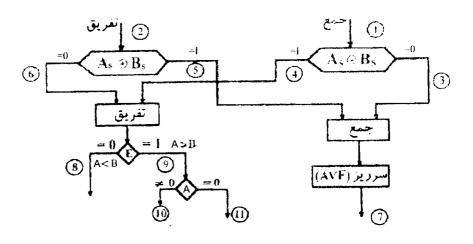
<sup>\*</sup> در صفحه ۳۲۰ کتاب معماری کامپیوتر راجع به آن بحث شده است.

فصل دهم / محاسبات کامپیوتری

مشخص کرده، در هر حالت مقدار سرریز (AVF) را تعیین کنید (آخرین بیت سمت چپ، بیت علامت است).

$$\delta$$
 $\delta$ 
 حل)

الگوريتم مذكور مطابق فلوچارت زير ميباشد:



$$C: (+\mathfrak{to}) - (+\mathfrak{r}) = 1\mathfrak{t} \qquad \textcircled{6} \qquad \textcircled{9} \qquad \textcircled{0} \qquad AVF = .$$

d: 
$$(+50)-(+50)=$$
. 2 6 9 1) AVF=.

مسیر الگوریتم، نتیجه محاسبات و همچنین مقدار سرریز (AVF) در فوق مشخص شدهاند. بدیهی است موقعی سرریز به وجود میآید که، حاصل جمع شش بیتی بزرگتر از ۲۳=۱-۲<sup>۳</sup> شود.

۳-۱۰) عملیات محاسباتی زیر را، با اعداد باینری (در سیستم اعداد مکمل ۲) انجام دهید. در این عملیات برای هر عدد، هفت بیت در نظر بگیرید و در هر حالت، با وارد و خارج شدن بیت نقلی در بیت علامت، بررسی نمایید که آیا سرریز وجود دارد یا نه؟

حل)

اعداد فوق در سیستم مکمل ۲ مطابق زیر میباشند:

و عمليات محاسباتي مطابق ذيل است:

الف)

بیتهای نقلی F=0 هم.باشند، چون F=0 است پس سرریز وجود دارد.



فصل دهم / محاسبات کامپیوتری

ر

ج)

بیتهای نقلی F=1 میباشند و چون F=0 است پس سرریز وجود

بیتهای نقلی F=1 E=0 میباشند، چون F=0 است پس سرریز وجود

(k-1) اعداد باینری که در سیستم اعداد مکمل ۲ نمایش داده شده اند، را در نظر می گیریم. هر عدد شامل n بیت است که یک بیت آن، بیت علامت و k=n-1 بیت آن مقدار قدر مطلق عدد می باشد. یک عدد مثبت به صورت x+1 نمایش داده می شود که x+1 نمایش بیت علامت و x+1 قدر مطلق عدد x+1 بیتی است. یک عدد منفی x به صورت x+1 نمایش داده می شود، که x+1 مخصوص بیت علامت و x+1 مکمل x+1 عدد x+1 است.

ثابت نمایید مجموع  $(\pm X)$ + $(\pm X)$  را، می توان با جمع اعداد، شامل بیت علامت و صرفنظر کردن بیت نقلی خارج شده از بیت علامت، محاسبه نمود. به عبارت دیگر، الگوریتم جمع اعداد در سیستم مکمل ۲ را ثابت نمایید.

حل)

عملیات جمع در حالتهای مختلف، مطابق جدول ذیل میباشد:

	الف	ب	ح
حالت	عملیات در قدر مطلق	عملیات در مکمل ۲	نتیجه عملیات که در سیستم
	و علامت		مكمل ٢ است.
١	(+X)+(+Y)	$(\cdot +X)+(\cdot +Y)$	·+(X+Y)
۲	(+X)+(-Y)	$(\cdot +X)+ \Upsilon^{k}+(\Upsilon^{k}-Y)$	(X-Y)+ اگر Y≤
			(Y-X)-۲ <sup>k</sup> +۲ <sup>k</sup> اگر
٣	(-X)+(+Y)	$Y^k+(Y^k-X)+(\cdot+Y)$	(Y-X)+ اگر Y≤X
			Y <x اگر="" ۲<sup="">k+۲<sup>k</sup>-(X-Y)</x>
٤	(-X)+(-Y)	$(\Upsilon^{k}+\Upsilon^{k}-X)+(\Upsilon^{k}+\Upsilon^{k}-Y)$	$Y^{k}+Y^{k}-(X+Y)$

در جدول فوق باید ثابت نمود که نتایج عملیات ستون ب، مطابق ستون ج میباشد.

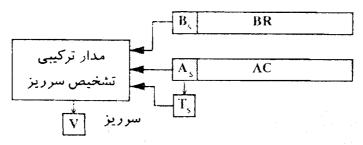
- حالت ۱: هر دو عدد مثبت هستند، لذا نتايج عمليات ستون ب و ج يكسان ميباشند.
- حالت ۲: اگر Y ≤ X باشد، در این صورت (Y ≤ X − X) است که نتیجه باید یک عدد X + X − X بیتی باشد. بنابراین اگر از مجموع، که برابر (X − X) + (X − X) است، بیت نقلی (X − X) + (X − X) + (X − X) را صرفنظر کنیم، نتیجه ((X − X) + X + X − X) می گردد که در ستون ج نوشته شده است.

اگر X > Y باشد، در این صورت Y - X > Y است و نتیجه به صورت:  $(Y - X) - Y^k + Y^k$  میباشد که به شکل مکمل ۲، عدد X - X می شود (با علامت  $Y^k$ ).

- حالت ۳: مانند حالت ۲ می باشد، فقط جای X و Y عوض شده است.
- حالت ٤: نتیجه عملیات ستون ب برابر است با: $(X+Y)^{-k} + {}^{k} +$
- ۰۱-۵) یک روش سختافزاری برای مشخص کردن بیت سرریز، با مقایسه بیت علامت حاصل جمع و بیتهای علامتی دو عدد پیشنهاد کنید (اعداد در سیستم مکمل ۲ نمایش داده می شوند).

### حل)

فرض کنیم،دو عدد BR و AC (با بیتهای علامت به ترتیب  $B_s$  و  $A_s$ ) با هم جمع شوند و نتیجه در AC (با بیت علامت  $A_s$ ) قرار گیرد، یعنی  $A_s$ +AC  $A_s$ . در این صورت قبل از عمل جمع، بیت اولیه  $A_s$  را در فلیپفلاپ  $A_s$  (علامت اولیه  $A_s$ ) قرار میدهیم. لذا مدار ترکیبی جهت مشخص کردن بیت سرریز  $A_s$ + مطابق زیر می باشد:



و جدول درستی بین علامتهای  $B_{s}$  و  $A_{s}$  و مطابق زیر میباشد:



### فصل دهم / محاسبات كامپيوتري

$T_{s}$	$B_s$	$A_{\rm s}$	V	
•	•	•	•	علامت عوض می شود
	•	١	١	
	١	•		دو مقدار از
	١	١		هم کم میشوند
١,	•	•	•	,
١,		١		
١	١	•	١	
١	١	١		علامت عوض می شود

#### در جدول فوق:

- سطر اول:  $B_s$  و  $T_s$  برابر هستند، یعنی دو عدد BR و  $B_s$  مثبت میباشند و چون نتیجه جمع مثبت است  $(A_s=•)$  پس سرریز وجود ندارد، یعنی V=• میباشد.
- سطر دوم:  $B_s$  و  $T_s$  برابر هستند، یعنی دو عدد مذکور مثبت میباشند ولی نتیجه جمع منفی است V=1 میباشد. V=1 میباشد.
- سطرهای سوم تا ششم:  $B_s$  و  $T_s$  برابر و ۱ هستند، یعنی دو عدد با علامتهای مختلف میباشند، لذا نتیجه تفاضل، کوچکتر از یکی یا هر دو آنها، میباشد وسرریز وجود ندارد، بنابراین V=1 است.
- سطر هفتم:  $B_s$  و  $T_s$  برابر ۱ میباشند، یعنی دو عدد مذکور منفی هـستند، چـون علامـت نتیجـه مثبت است  $(A_s=0)$ ، پس علامت تغییر کرده، لذا سرریز وجود دارد، یعنی V=1 میباشد.
- سطر هشتم:  $B_s$  و  $T_s$  برابر ۱ میباشند، یعنی دو عدد منفی هستند و چون علامت نتیجه نیز منفی است  $(A_s=1)$ ،لذا سرریز وجود ندارد، یعنی V= میباشد.

با توجه به جدول فوق، معادله سرريز مطابق زير حاصل مي شود:

 $V=T'_sB'_sA_s+T_sB_sA'_s$ 

که مدار آن به آسانی به دو گیت AND، سه گیت NOT و یک گیت OR رسم می شود.

۱۰-٦) الف) عملیات ۱۵-=(٦-)+(٩-) را، به با به کار بردن ۵ بیت شامل بیت علامت (در سیستم نمایش مکمل ۱)، انجام دهید. روش تشخیص بیت سرریز را، با بررسی آخرین، دو بیت نقلی مشخص کنید.



## تشريح مسائل معمارى كامپيوتر

ب) روش دیگری برای تشخیص بیت سرریز پیشنهاد نمایید.

حل)

الف) چون اعداد 9+ و 6+ به ترتیب برابر 01001 و 00110 میباشند، پس در سیستم مکمل 1، اعداد 9- و 6- به صورت زیر نمایش داده می شوند:

-6=<u>1 1001</u> 0 1111 F=1 E=0 بیتمای نقلی

در این حالت  $F=T \oplus F$  است، ولی نباید سرریز وجود داشته باشد، لذا مطابق روش جمع سیستم مکمل f، مقدار f که f میباشد را، به حاصل جمع فوق اضافه میکنیم، یعنی خواهیم داشت:

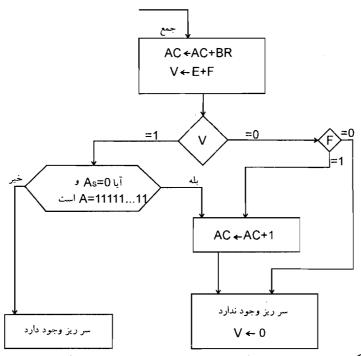
01111 +

$$\frac{1}{10000} = -15$$

ب) در صورتی کـه نتیجـه حاصـلجمـع بـه صـورت 111...11 0 باشــد (ماننــد فـوق)، حتـی ااگـر V=E⊕F=1

 $A_s$  A

باشد، سرریز وجود ندارد. لذا الگوریتم وقوع سرریز در سیستم مکمل 1 مطابق فلوچــارت زیــر میباشد.



۱-۷) الگوریتمی به صورت فلوچارت، در روش سیستم اعداد مکمل ۱، ارائه دهید، که دو عدد ممیز ثابت را با هم جمع و تفریق کند.

حل)

در فلوچارت مسأله (۱۰-٦) نشان دادهشدهاست.

ست و بیت نمایید حداکثر بیتهای حاصل ضرب دو عدد  $\mathbf{n}$  بیتی در پایهٔ  $\mathbf{r}$ ، بیش از  $\mathbf{r}$  بیت نیست و بیت سرریزی وجود نخواهدداشت.

حل)

بزرگترین مقدار یک عدد n بیتی در پایه r برابر  $r^n$  میباشد و حاصل ضرب این دو عدد مساوی  $r^n$  بیتی برابر  $r^n$  است. از طرفی حداکثر مقدار یک عدد  $r^n$  بیتی برابر  $r^n$  میباشد. حال اگر رابطه زیر را ثابت کنیم:

$$(r^n-1)(r^n-1) \le r^{n}-1$$



## تشربح مسائل معماری کامپیوتر

نتیجه می گیریم که، حداکثر تعداد بیت حاصل ضرب، ۲n بیت است. برای ابن کار، رابطه بالا را به صورت زیر می نویسیم:

$$(r^{n-1})(r^{n-1})=r^{r_{n}}-r^{r_{n}}+1 \le r^{r_{n}}-1$$

این موضوع بدیهی است چون  $r \ge r$  است (زیرا  $r \ge r$  و  $r \ge r$  است). و چون حاصل ضرب،  $r \ge r$  بیتی است، پس سرریزی وجود ندارد.

۹-۱۰) محتویات ثباتهای  ${\bf Q}$  ،  ${\bf A}$  ،  ${\bf Z}$  و  ${\bf Q}$  را هنگام ضرب دو عدد باینری ۱۱۱۱۱ (مضروب) و ۱۰۱۰۱ (مضروب فیه) مانند جدول (۲-۱۰) نشان دهید (اعداد بدون علامت).

حل)

حاصل ضرب دو عدد باینری شبیه جدول (۲۰۱۰) و مطابق زیر حاصل می شود:

B=۱۱۱۱=(۳۱)،، ۳۱×۲۱=٦٥۱ مضروب مضروب مضروب مضروب فيه

	E	Α	Q	SC
مضروب $ {f Q} $ قرار میگیرد	•	••••	1.1.1	1.1
پس ${f B}$ اضافه می ${f q}_n$ =۱		11111		
	•	11111		
EAQ به راست شیفت پیدا میکند.		•1111	11.1.	١
•=Q، پس EAQ به راست شیفت پیدا میکند.		111	111.1	• • • •
یس $f B$ اضافه می شود. $Q_{\sf n}$ =۱		11111		
	١	••11•		
EAQ به راست شیفت پیدا میکند.		111	•111•	. \ •
•=Qn، پس EAQ به راست شیفت پیدا می کند.		• 1 • • 1	1.111	••1
پس ${f B}$ اضافه می شود.		11111		
	١	• \ • • •		

EAQ شیفت به راست پیدا میکند.

نتيجه ضرب



(701)

۱۰-۱۰) محتویات ثباتهای  ${\bf Q}$  ،  ${\bf A}$  ،  ${\bf E}$  و  ${\bf Q}$  ،  ${\bf A}$  نشان دهید. (۱۰-۱۰ و همچنین عدد ۱۰۱۱۱ بر ۱۰۰۱ مانند شکل (۱۰-۱۲) نشان دهید.

حل)

عمل تقسیم را شبیه شکل (۱۰-۱۲) برای مقسوم ۱۳۳=۱۰۱۰۱۱ و مقسوم علیه ۱۱۱۱۱۱۱ انجام می دهیم، در نتیجه خارج قسمت برابر ۱۱۱۰=۱۱ و باقیمانده مساوی ۱۰۰۱=۹ خواهدشد، عملیات تقسیم در ثباتهای مذکور مطابق جدول ذیل می باشد.

B=1·11 مقسوم عليه	$\overline{B} + 1 = 0101$				
·		E	A	Q	SC
ار م <i>ی</i> گیرد.	مقسوم در AQ قر	٠	1.1.	••11	١
شیفت بده.	EAQ را يه چپ	١	• ) • •	•11•	
بیت نقلی صرفنظر کن.	مقدار $\overline{\mathbf{B}}+1$ را اضافه کن و از		• 1 • 1		
	E=۱ است پس	١	1 • • 1	$011\overline{1}$	• 11
شیفت بده.	EAQ را به چپ ،	١	•••	111.	
بیت نقلی صرفنظر کن.	مقدار $\overline{\mathrm{B}}+1$ را اضافه کن و از		• 1 • 1		
را ۱ کن.	E=۱ است پس مقدار	١	•111	1111	• ١ •
شيفت بده.	EAQ را يه چپ .	•	1111	111.	
، نقلی را به E منتقل کن.	مقدار $\overline{\mathrm{B}}+1$ را اضافه کن و بیت		• 1 • 1		
را ۱ کن. $\mathbf{Q}_{n}$	E=۱ است پس مقدار	١	• ) • •	1111	•• \
شی <i>ف</i> ت بده.	EAQ را يه چپ ا	•	11	111.	
، نقلی را به E منتقل کن.	مقدار $\overline{\mathrm{B}}+\overline{\mathrm{B}}$ را اضافه کن و بیت		•1•1		
<b>،</b> Q را • كن.	•=E است پس مقدار	٠	111.	$\overline{1110}$	
کن.	B را اصافه		1.11		
		١	1011	1110	• • •
			باقيمانده	خارج قسمت	

برای مقسوم (۰۰۰۱۱۱۱) و مقسوم علیه (۰۰۱۱) عملیات مذکور مطابق جدول زیر میباشد:



## تشریح مسائل معماری کامپیوتر

 $B = \cdots$ 

	_E_	A	Q	SC
مقسومعلیه را در AQ قرار بده.		• • • •	1111	1
EAQ را به چپ شیفت بده.	•	•••1	111.	
. را اضافه کن $\overline{\mathrm{B}}+1$		11.1		
•=E است پس Q <sub>n</sub> را ۰ کن	•	111.	1117	
را اضافه کن. ${f B}$		•••		
باقیمانده را تولید کن.	١	•••١		•11
EAQ را به چپ شیفت بده.	•	••11	11	
را اضافه کن. $\overline{\mathrm{B}}+\mathrm{I}$		11.1		
E=۱ است پس Q <sub>n</sub> را ۱ کن.	١	• • • •	11.1	٠١.
EAQ را به چپ شیفت بده.		•••	1.1.	
را اضافه کن. $\overline{\mathbf{B}}+1$		11.1		
است پس $Q_n$ را ۰ کن. $E$ =۰	•	111.	1.1.	
را اضافه کن. ${f B}$		••11		
باقیمانده را تولید کن.	١	•••)		•• 1
EAQ را به چپ شیفت بده.	•	••11	. )	
را اضافه کن. $\overline{ m B}+1$		11.1		
را ۱ کن. $\mathbf{Q}_{n}$ است پس	١	••••	<u>••••</u>	•••
		باقيمانده	خارج قسمت	

۱۱-۱۰) نشان دهید که با اضافه کردن  ${f B}$  به  ${f B}+{f B}$  ، مقدار اولیه  ${f A}$  حاصل خواهدشد. بیت نقلی آخر چه خواهدشد؟

حل)

عبارت  $1 + \overline{B} + A$  برابر است با:

 $A + \overline{B} + 1 = A + \gamma^n - B = \gamma^n + A - B$ 

با اضافه كردن B به أن خواهيمداشت:

 $(\Upsilon^n+A-B)+B=\Upsilon^n+A$ 

با حذف بیت نقلی نهایی  $({}^{\mathbf{n}})$ ، نتیجه برابر  ${}^{\mathbf{n}}$  می شود.

۱۰-۱۰) چرا در یک تقسیم، علاست باقیمانده مساوی علامت مقسوم است؟

حل)

به طور کلی عمل تقسیم را، به صورت زیر می توان نوشت:

$$\underline{\underline{A}} = Q + \underline{\underline{R}}$$

به عنوان مثال اگر مقسوم (A) مساوی ۵۲ و مقسوم علیه (B) مساوی ۵ باشد، مقادیر خارج قسمت (Q) و باقیمانده (R) مطابق زیر می باشند:

$$\frac{+07}{+0} = +1. + \frac{+7}{+0} = +1.2 \qquad \frac{-07}{+0} = -1.4 = \frac{-7}{+0} = -1.2$$

$$\frac{+07}{+0} = -1.4 + \frac{-7}{+0} = -1.2$$

$$\frac{-07}{+0} = +1.4 + \frac{-7}{+0} = -1.2$$

به این ترتیب برای داشتن جواب صحیح، باید باقیمانده هم علامت مقسوم باشد.

۱۰-۱۳) یک ضربکننده آرایهای طراحی نمایید، که دو عدد ٤ بیتی را در هم ضرب نماید. در این طرح از گیتهای AND و جمعکننده باینری استفاده کنید.

حل)

با اضافه کردن یک طبقه به شکل (۱۰-۱۰) برای بیت ۵۰، که از ۶ گیت AND و یک جمعکننده ۶ بیتی تشکیل می شود، ضربکننده آرایهای ۶ بیت در ۶ بیت حاصل می گردد.

۱۰–۱۶) برای اعداد باینری زیر، الگوریتم قدم به قدم Booth را به کار برید (مانند جدول (۱۰–

٣). فرض كنيم ثباتها با بيت علامت ٥٦ بيتى هستند.

حل)

با توجه به الگوریتم ضرِب بوت جدول (۱۰–۳) و شکل (۱۰–۷) برای حالت الف خواهیم داشت:  $\gamma$ 

QR=-۱۱۰۱(+۱۳) مضروب فيه؛ (I5-) BR + 1 = 10001(-15 مضروب

# تشریح مسائل معماری کامپیوتر

	$Q_nQ_{n+}$	AC	QR	$Q_{n+1}$	SC
. 1 1 1 12	١.	11	•11•1	•	1.1
مقدار اولیه DP ک ک ( منز C C)	, •	11			
BR را کم کن (چون ایم Ach		1 * * * 1			
Ashr شیفت ریاضی به راست QR ،AC و Q <sub>n+۱</sub>		11	1.11.	١	١
را اضافه كن (چون $Q_n$ ).	• 1	.1111			
-		••111			
ashr شیفت ریاضی به راست QR ،AC و Q <sub>n+۱</sub>		•••11	11.11	•	•11
$(Q_{n}=N)$ را کم کن (چون ا $BR$	١.	11			
- '		1.1			
ashr شیفت ریاضی به راست QR ،AC و Q <sub>n+۱</sub>		11.1.	•11•1	1	٠١.
$\operatorname{QR}$ شیفت ریاضی به راست $\operatorname{QR}$ ، $\operatorname{Qn}$	11	111.1	••11•	١	•••
$Q_{n+1}$ و $Q_{n+1}$ مساوی است)					
BR را اضافه کن (چون ۳۰۰).	• 1	•1111			
ashr شیفت ریاضی به راست QR ،AC و					
$Q_{n+1}$					
نتيجه ضرب		···	<u></u>	•	• • •
		+ <b>Y</b> 1	90		

ب) با توجه به توضیحات فوق، در این مورد خواهیمداشت:

مكمل ۲ عدد ۱۹۵-:(۱۱۰۱۱۱۱۱)=۱۳۰-=(۱۳۰)×(۱۰۰)

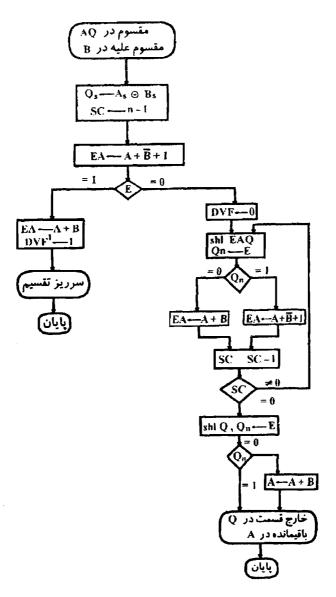
BR=۰۱۱۱(+۱۵); BR +۱=۱۰۰۰۱(-۱۵); QR=۱۰۰۱(-۱۳) ۲ مكمل

	$Q_nQ_{n+1}$	AC	QR	$Q_{n+1}$	SC
مقدار اوليه			111	•	1.1
BR را کم کن.	١.	1 • • • 1			
		11			
ashr شیفت ریاضی به راست QR ،AC و Qn+۱		11	111	1	١
ashr شیفت ریاضی به راست QR ،AC و <sub>n+۱</sub>	11	111	.11	١	• 11
را اضافه کن. $BR$	• 1	•1111			
		•1•11			
ashr شیفت ریاضی به راست QR ،AC و Qn+۱		•• ١ • ١	1.11.	•	
ashr شیفت ریاضی به راست QR ،AC و Qn+۱	• •	••••	11.11		• 1 •
را کم کن $ m Bar R$	١.	1 1			
		111			
$Q_{n+1}$ و QR ،AC شیفت ریاضی به راست ashr		<u>111</u>	از ۱۱۱	1	
		<u> Y</u> 19	٥		
		43-	zi		

۱۰-۱۰) الگوریتمی به صورت فلوچارت برای تقسیم اعداد باینری ممیز ثابت، با روش Nonrestoring ارائه دهید.

حل)

با توجه به روش تقسیم، الگوریتم به صورت فلوچارت، مطابق زیر میباشد:



۱۰-۱۹) الگوریتمی برای محاسبه جذر اعداد باینری ممیز ثابت ارائه دهید.

حل)

اگر فرض کنیم جذر عدد A بیتی به صورت

$$\sqrt{A} = Q$$

باشد، در این صورت تعداد بیتهای جذر (Q)، نصف بیتهای A است (یعنی k/T). لذا Q را به صورت زیر می توان نوشت:

 $Q=q_1q_2q_2\dots q_{k/r}$ 

برای بدست آوردن مقادیر  $q_{v}$  ,  $q_{v}$  و ...  $q_{k/r}$  به طریق زیر عمل می کنیم:

الف) بیتهای A را از سمت چپ به راست، دوبهدو جدا میکنیم.

(\_

- اولین تست را با ۰۱ شروع می کنیم.
- دومین تست را با ۹،۰۱ ادامه می دهیم.
- سومین تست را با ۰۰q،q۲۰۱ ادامه می دهیم.
- چهارمین تست را با ۰۰۰q۱q۲q۳۰۱ ادامه می دهیم.

این روش را آن قدر ادامه می دهیم تا تمام بیتهای Q به دست آید. به عنوان مثال جذر A=179 را در نظر می گیریم یعنی:

$$\sqrt{A} = \sqrt{179} = \sqrt{(1 \cdot 1 \cdot 1 \cdot 1)_{Y}}$$

$$= \sqrt{(1 \cdot 1 \cdot 1 \cdot 1)_{Y}}$$

$$\frac{1}{1}$$

- در اولین مرحله تست مقدار ۱۰ را، از دو بیت سمت چپ A کم میکنیم:
  - چون نتیجه مثبت است پس ۹=۱ می باشد.
- دو بیت بعدی A را، مقابل باقیمانده قرار میدهیم، یعنی:
- در دومین مرحلهٔ تست عدد ۰۹٬۰۱ که برابر ۱۰۱۰۱ است را از عبارت فوق کم میکنیم: ----
  - نتیجه مثبت است پس ۹۲=۱ میباشد.
  - دو بیت بعدی A را، مقابل باقیمانده قرار میدهیم یعنی:
- در سومین مرحلهٔ تست عدد ۰۰۹،۹۲۰۱ که برابر ۰۰۱۱۰۱ میباشد را، از آن کم میکنیم:۰۰۱۱۰۱



فصل دھم / محاسبات نے پیوٹری

نتيجه منفى است

- چون نتیجه منفی است، پس •=q میباشد.
- لذا باقیمانده قبلی را دوباره در نظر می گیریم:
- در چهارمین مرحلهٔ تست عدد ۰۰۰۹۰۹۲۹۳۱ یعنی ۰۰۰۱۱۰۰۱ را از آن کم میکنیم: ۰۰۰۱۱۰۰۱
  ۰۰۰۰۰۰
  - باقیمانده صفر می شود که مثبت است، پس  $q_i=1$  می باشد. لذا مقدار جذر برابر، با:  $Q=q_1q_rq_rq_i=11\cdot1=17$
  - ۱۰-۱۷)یک عدد باینری ممیز شناور، دارای نمای بایاس شده هفت بیتی، مساوی ۱۶ است.
    - الف) لیست تمام نماهای بایاس شده از ۲۵- تا ۲۳+ را بنویسید.
  - ب) نشان دهید که یک مقایسه کننده ۷ بیتی را، می توان برای مقایسه دو نما به کار برد.
- ج) نشان دهید که بعد از جمع دو نمای بایاس شده، باید عدد ٦٤ را از نتیجه کم کرد. چطور می توان این کار را با اضافه کردن مکمل ۲ اعداد انجام داد؟
  - د) نشان دهید، بعد از کم کردن دو نمای بایاس شده، لازم است عدد ٦٤ را به نتیجه اضافه کرد.

#### حل)

الف) اگر نمای عدد، e باشد، نمای بایاس شده با ۲۶ برابر e+۱۶ می باشد. لذا لیست نماها از ۲۵- تا ۲۳+ و نماهای بایاس شده آنها، مطابق جدول زیر می باشد.

نما (e)	نمای بایاس شده (e+٦٤)	نمای بایاس شده (باینری)
-٦٤	-78+78=•	• • • • • • • • • • • • • • • • • • • •
77	1=35+75-	• • • • • • • • • • • • • • • • • • • •
77-	7=37+75-	
-1	~7 <i>F</i> =3 <i>F</i> +1−	• 111 111
•	·+7£=70	\
+1	٥ <i>٦=</i> ٤٢+١	11
<b>7</b> 7+	T71=3F+7F	1 111 11.
<b>۲۲</b> +	VY/=35+77	1 111 111
	l l	

## تشريح مسائل معمارى كامپيوتر

ب) برای مقایسه، می توان از مقایسه کننده استفاده کرد.

ج) مجموع دو نمای بایاس شده به صورت:

 $(e_1+1\xi)+(e_1+1\xi)=(e_1+e_1+1\xi)+1\xi$ 

است، لذا اگر عدد ٦٤ را از عبارت فوق كم كنيم (با روش مكمـل ٢)، حاصـل بـه صـورت نمـاى باياسشده، به شكل زير مىشود:

 $(e_1+e_7)+78$ 

د) بعد از كم كردن دو نماي باياس شده خواهيم داشت:

(e1+7٤)-(er+7٤)=e1-er لذا باید ۶۲ به آن اضافه شود تا حاصل به صورت نمای بایاسشده شود (به شکل ۲۵+(e1-e1)).

۱۸-۱۰) الگوریتمی به صورت فلوچارت،برای مقایسه دو عدد علامتدار (عدد منفی به صورت مکمل ۲ نمایش دادهمی شود) در حالت زیر ارائه دهید:

الف) با عمليات تفريق

ب) با بررسی و مقایسه بیتها، از چپ به راست

حل)

دو عدد A و B را به صورت زیر نمایش می دهیم:

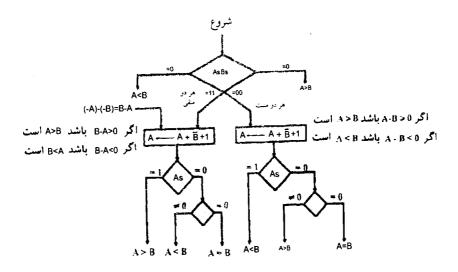
 $A=A_sA_1A_rA_r...A_n$ 

 $B = B_s B_{\scriptscriptstyle 1} B_{\scriptscriptstyle 7} B_{\scriptscriptstyle 7} \dots B_n$ 

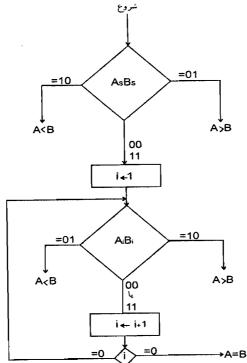
که  $A_s$  و  $B_s$  به ترتیب علامت عددهای A و B میباشند.

الف) الگوریتم مقایسه دو عدد با توجه به علامتهای  $A_s$  و  $B_s$  در فلوچارت زیر نشان داده شده است.





ب) الگوریتم مقایسه دو عدد، با توجه به بیتهای علامت  $A_s$  و  $B_s$  و همچنین مقایسه بیتهای دو عدد از چپ به راست (برای  $i=1,7,7,\ldots n$ )، مطابق زیر میباشد:





۱۹-۱۰) مسأله (۱۰-۱۸) را برای عدد قدر مطلق و علامت حل کنید.

حل)

دو عدد A و B را به صورت زیر نمایش می دهیم:

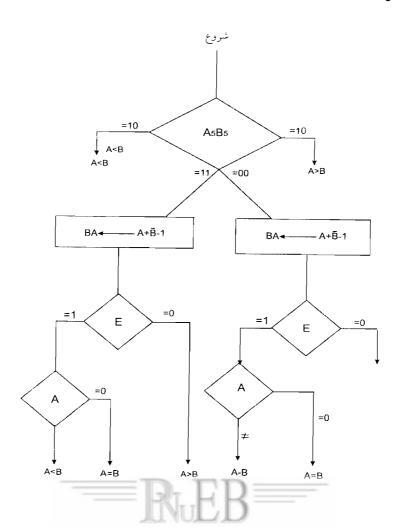
$$\begin{array}{c}
A \\
A_s A_1 A_7 A_7 \dots A_n
\end{array}$$

$$\begin{array}{c}
B_s B_1 B_7 B_7 \dots B_n
\end{array}$$

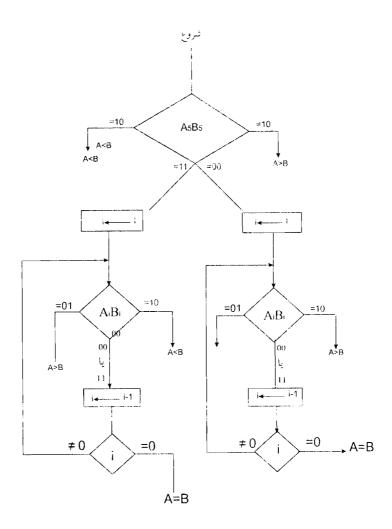
تر مرتب  $B_s$  که  $A_s$  و  $B_s$  به ترتیب علامت عدد A و B می $A_s$ 

در این صورت الگوریتم مقایسه دو عدد، با توجه به علامتهای  $A_s$  و  $B_s$  برای حالتهای الف و  $\phi$  برای خالتهای الف و به مطابق ذیل نشان داده شده است:

الف)



ب )

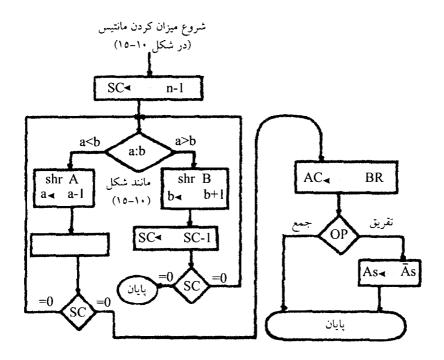


۲۰-۱۰) مانتیس یک عدد ممیز شناور باینری دارای n بیت است.

n- موقعی که مانتیسها در جمع یا تفریق میزان می شوند، اختلاف نماها، ممکن است بزرگتر از n- ۱ شود. اگر چنین پیش بیاید، مانتیس با نمای کوچکتر تماماً به خارج از ثبات شیفت داده می شود. میزان کردن مانتیسهای شکل (n-10) را طوری تغییر دهید، که دارای یک شمارنده ترتیب (n-10) باشد، که تعداد شیفتها را بشمارد.



قسمت میزان کردن مانتیسهای شکل (۱۰–۱۵) مطابق زیر تغییر میکند:



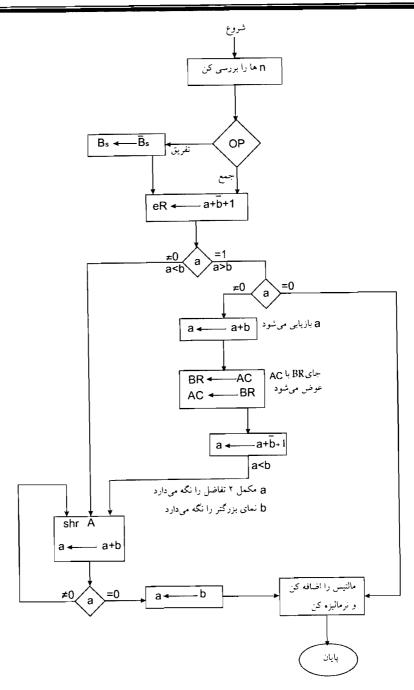
۰۱-۲۱) روش میزان کردن مانتیسها، در جمع یا تفریق اعداد ممیز شناور، به صورت زیر می تواند بیان شود:

نمای کوچکتر را از بزرگتر کسر میکنیم و مانتیسی که دارای نمای کوچکتر است را، به اندازه اختلاف نماها به طرف راست شیفت میدهیم. نمای نتیجه جمع یا تفریق برابر نمای بزرگتر است. بدون به کار بردن مقایسه کننده و استفاده از نمای بایاس شده، الگوریتمی به صورت فلوچارت، برای میزان کردن مانتیسها ارائه دهید (بخش ۱۰-۵)

حل)

فرض کنیم e فلیپفلاپی باشد که بیت نقلی نهایی را بعد از تفریق نماها، ذخیره کند. در این صورت فلوچارت الگوریتم مذکور مطابق زیر میباشد:





#### تشريح مسائل معمارى كامپيوتر

۱۰–۲۲) ثابت کنید در عملیات ضرب، مانتیس نتیجه، دارای سرریز نیست.

حل)

زمانی که دو عدد n بیتی مانتیسها در هم ضرب میشوند. حداکثر تعداد بیت حاصل ضرب، ۲n بیت است که در ثباتهای A و Q قرار میگیرد، لذا سرریز وجود ندارد.

۱۰ (۲۳۰۱) ثابت کنید نتیجه تقسیم دو عدد ممیز شناور نرمالیزه. دارای خارج قسمت نرمالیزه میباشد.

حل)

برای اثبات این موضوع، بدترین حالت که احتمال به وجود آمدن خارجقسمت غیر نرمالیزه وجود دارد را. در نظر میگیریم. این حالت زمانی است که AQ کوچکترین مقدار نرمالیزه و B بزرگترین مقدار نرمالیزه را مانما، زیر داشته باشند:

	4.11 j	•	شماره بیت
AQ	1	¥	
	D- /	•	شيره بيت
В	111	11	

در این صورت خواهیمداشت:

AQ کو چکترین مقدار B  $= Y^{r_{n-1}}$   $= Y^{r_{n-1}}$   $= Y^{r_{n-1}}$   $= Y^{r_{n-1}} \approx Y^{r_{n-1}}$  خارج قسمت  $= Y^{r_{n-1}} \approx Y^{r_{n-1}}$ 

در نتیجه خارج قسمت، حداقل برابر ۱-۲<sup>n</sup> است، یعنی پر ارزش ترین بیت خارج قسمت برابس ۱ میباشد، که نرمالیزه است

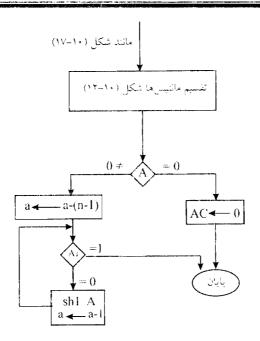
۱۰–۲۷) فلوچارت شکل (۱۰–۱۷) را طوری توسعه دهید، که باقیمانده تقسیم ممیزشناور نرمالیزه.  ${f A}$  در  ${f A}$  قرار گیرد (البته مانتیس باید کسری باشد).

حل)

بعد از عمل تقسیم مانتیسها، باقیمانده در ثبات A میباشد و تعداد n-1 صفر در طرف چب آن قرار می گیرد. لذا الگوریتم شکل (-1-1) بعد از تقسیم مانتیسها، مطابق ذیل می شود:



#### ننسل دهم / محاسبات كامپيوتري



- ۰۱-۲۵) الگوریتم عملیات محاسباتی ممیزشناور ارائه شده در بخش (۱۰-۵)، امکان ایجاد سرریز نما را نمیدهد.
  - الف) فلوچارت را بررسی نمایید و ببینید چه موقع در نما، سرریز ممکن است پیش بیاید؟ ب) نشان دهید که چطور با سختافزار، می توان سرریز را تشخیص داد؟

- الف) زمانی که نماها با هم جمع میشوند و یا، یک واحد به آنها اضافه میشود، ممکن است سرریز به وجود بیاید.
- ب) با بررسی بیت نقلی نهایی بعد از جمع نماها، یا بیت نقلی بعد از اضافه کردن ۱ واحد به آن، میتوان سرریز را تشخیص داد.
- ۱۰-۲۱) اگر اعداد صحیح، برای نمایش مانتیس اعداد ممیزشناور به کار رود، با بعضی مسائل اشل، در جریان ضرب و تقسیم مواجه خواهیم شد. فرض کنیم تعداد بیت قدر مطلق مانتیس برابر n-1 باشد، در این صورت برای نمایش اعداد صحیح:
- الف) ثابت کنید که اگر در ضرب، قسمت بزرگتر مانتیس در نظر گرفته شود، مقدار n-1 باید به نتیجه نمای ضرب در AC اضافه شود.



#### تشريح مسائل معمارى كامپيوتر

ب) ثابت کنید که اگر در تقسیم، قسمت بزرگتر مانتیس در نظر گرفته شود، مقدار  $\mathbf{n}$ -۱ باید از نتیجه تقسیم، کسر گردد (موقعی که  $\mathbf{Q}$  صفر شود).

حل)

الف) فرض کنیم تعداد بیتهای صحیح مانتیس برابر n-۱=۵ باشد، در این صورت حاصل ضرب مانتیسها در AQ قرار میگیرد و برابر خواهدبود با:

ولی چون حاصل ضرب مانتیس ها باید پنج بیت صحیح داشته باشد، لذا نقطه اعشاری، باید 0 بیت به چپ منتقل شود، در نتیجه عدد 0 باید به مقدار نما اضافه شود. یعنی مقدار نما مساوی  $1^{2+0}$  و 1 برابر:

AC=xxxxx۲<sup>z+0</sup> است.

ب) در تقسیم اگر پنج بیت صحیح برای مانتیس در نظر گرفته شود، مقسوم برابر خواهدبود با:

XXXXX. $ext{r}^z$  ولی موقعی که مقسوم در ثبات  $ext{AQ}$  قرار میگیرد برابر خواهد بود با:

 $\begin{array}{ccc} A & Q \\ xxxx & \cdots \end{array}$ 

لذا باید عدد  $^{\circ}$  از نمای  $^{\circ}$  کسر گردد  $^{\circ}$  مقدار فوق برابر مقدار واقعی مقسوم شدو، بنابراین نما مساوی  $^{\circ-2}$  و  $^{\circ}$  برابر:  $^{\circ}$   $^{\circ}$  کسر گردد  $^{\circ}$  میاشد.

۱۰-۲۷) سختافزاری برای جمع و تفریق دو عدد دهدهی، به صورت قدرمطلق و علامتدار، پیشنهاد کنید و بررسی نمایید چطور بیت سرریز تشخیص دادهمیشود؟

حل)

سختافزار مذكور مطابق شكل زير است:



در حالت تفریق سرریز وجود ندارد، ولی در حالت جمع اگر E=۱ باشد سرریز وجود دارد.



۱۰-۲۸) ثابت کنید تفریق ۳۵۱-۲۷۳ را، می توان با اضافه نمودن ۹۷۳ به مکمل ۱۰ عدد ۳۵۱ و صرفنظر کردن از بیت نقلی انتهایی، به دست آورد. بلوک دیاگرام سه طبقه واحد محاسباتی دهدهی را بکشید و نشان دهید که چطور این عملیات انجام می شود. لیست ورودی ها و خروجی ها را بنویسید.

حل)

اگر از ٦٧٣، مقدار ٣٥٦ را تفريق كنيم، خواهيم داشت:

777

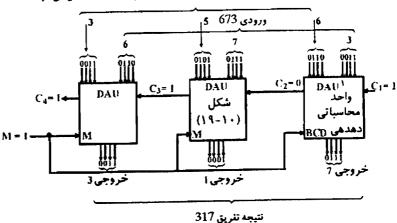
<del>"</del>"

اگر مکمل ۱۰ عدد ۳۵٦ که برابر ٦٤٤ مي باشد را، به ٦٧٣ اضافه کنيم، خواهيم داشت:

۱۷۳ + <u>۱۶۶</u> ۳۱۷ ا بیت نقلی

با صرفنظر کردن بیت نقلی نهایی، نتیجه فوق، معادل تفریق دو عدد میباشد، بلوک دیاگرام سه طبقه تفریقکننده مذکور ۱ مطابق شکل زیر میباشد:

## ورودی 356 که به مکمل کننده BCD شکل (۱۰–۱۹) متصل می شود



#### تشريح مسائل معمارى كامپيوتر

۱۰-۲۹) ثابت کنید ٤ بیت کوچکتر جمعکننده باینری پایینی شکل (۱۰-۱۸)، با یک جمعکننده کامل و دو نیم جمعکننده، می تواند جایگزین شود.

حل)

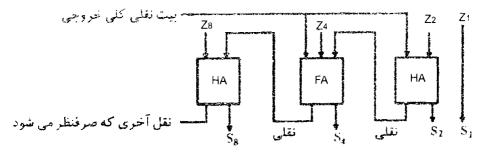
در صورتی که بیت نقلی کلی خروجی شکل (۱۰–۱۸) برابر ۱ باشد، جمعکننده پایینی، باید عدد  $Z_{\Lambda}Z_{1}Z_{1}$  را با عدد ۲(۰۱۱۰) جمع کند، یعنی:

 $Z_{\lambda}Z_{i}Z_{\tau}Z_{\tau}$ 

• 1 1 •

 $S_{\scriptscriptstyle A} S_{\scriptscriptstyle E} S_{\scriptscriptstyle T} S_{\scriptscriptstyle A}$ 

لذا مدار آن مطابق زير مي باشد:



در این صورت  $S_1$  برابر  $S_2$  است و نیازی به جمع کننده ندارد. برای به دست آوردن  $S_1$  با  $S_2$  با  $S_3$  جمع می شود، لذا یک نیم جمع کننده (HA) کافی است، که خروجی نقلی آن با عدد  $S_3$  باید جمع شود، تا  $S_4$  را به ما بدهد لذا یک جمع کننده کامل (FA) لازم است. خروجی نقلی این  $S_4$  باید با  $S_4$  جمع شود، تا  $S_5$  را به دست آوریم پس یک نیم جمع کننده (HA) کافی است.

۰۱-۳۰) تابع بولی را، برای مکمل ۹ کنندهٔ عددBCD شکل (۱۰-۱۹) بنویسید و مدار آن را بکشید. حل)

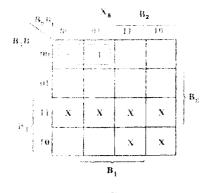
مکمل ۹ کنندهٔ BCD شکل (۱۰–۱۹)، دارای ورودیهای  $B_{i}$  ، $B_{r}$  ، $B_{r}$  ، $B_{r}$  ، $B_{r}$  ،ای دارای ورودیهای  $B_{r}$  ، $A_{r}$  و  $A_{r}$  و  $A_{r}$  می باشد که ارتباط آنها مطابق جدول درستی زیر است:



دهدهی	ورودی باینری دهدهی					خروجی برابر مکمل ۹ ورودی است دهدهی			
	$\mathbf{B}_{x}$	В,	В	B	$X_{\star}$			$\mathbf{X}_{t_{i,j}}$	
•			•	•	١	•	•	١	٩
١		*		1	١	•	•	•	А
۲			١			1	١	1	v
٣			١	1		١	١	٠	٦
٤		١				١	٠	١	2
٥		١		١		١	•	•	٤
٦	,	i	١				١	١	٢
v		1	1	١			١		۲
۸	)							١	1
4	١			١	,				

در حدول درستی مقابل، خروجی ها به ازاد مقادیر و در سر اهمیت مستند.  $d(B_nB_nB_nB_nB_n) = \Sigma(1) \cdot (1) \cdot (1)$ 

دیاگرام فارنز و معانلات خروجیها، برحسب ورودیها مطابق ذیل سیباشند.



, H <sub>2</sub>	Fi₁	Uts	<b>#</b> F.}	X <sub>4</sub>	1.1
B <sub>e</sub> B <sub>4</sub> = 0	o			,	1
<u>;</u> ;	1	1	1		
I	1	X	Х	X	X
t	8	ar same in an ar in a decimand the		[x	$\mathbf{x}$
	Į		L	لتتنا	

₹B <sub>2</sub> B	,	$\mathbf{x}_2$				
-	2743	91	11	10		
1148 8 8 8 8 8 8 8 8 8 8 8 8 8 8 8 8 8 8			1	1		
6.1			,	ı		
11	٧	х	X	х		
10			X	X		

	$\mathbf{s}_2\mathbf{B}_1$	$\mathbf{x}_1$					
,	~	00	01	11	10		
B <sub>8</sub> B <sub>4</sub>	00	1					
	01	1					
	21	X	X	X	N.		
	10	1		Х	X		

$$\begin{split} \mathbf{X_8} &= \mathbf{B_8^*} \, \mathbf{B_4^*} \, \mathbf{B_2^*} \\ \mathbf{X_4} &= \mathbf{B_4} \, \mathbf{B_2^*} + \, \mathbf{B_4^*} \, \mathbf{B_2} \\ \mathbf{X_2} &= \mathbf{B_2} \\ \mathbf{X_4} &= \mathbf{R_4} \end{split}$$

با توجه به معادلات فوق، مدار منطقی آن به آسانی رسم میشود.

۰۱-۳۱)برای جمع دو رقم دهدهی نمایش داده شده به صورت کد سه افزون (جدول (۳-۳))، یک جمع کننده طراحی کنید. ثابت نمایید که اصلاحات لازم بعد از جمع دو رقم با جمع کننده چهار بیتی به صورت زیر می باشد:

الف) بیت نقلی خروجی، برابر بیت نقلی اشتباه است.

ب) اگر بیت نقلی خروجی برابر ۱ باشد، باید ۰۰۱۱ اضافه شود.

ج) اگر بیت نقلی خروجی برابر ۰ باشد، لازم است ۱۱۰۱ اضافه شود و از بیت نقلی حاصل، صرفنظر گردد. ثابت کنید، جمع کننده کد سه افزون، با ۷ جمع کننده کامل و دو معکوس کننده می تواند ساخته شود.

حل)

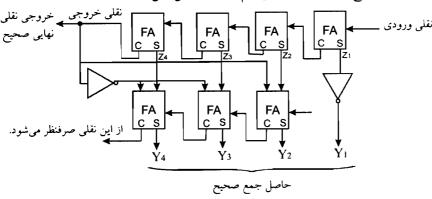
موقعی که دو رقم در کد سه افزون، با هم جمع می شوند، حاصل نسبت به عدد دهدهی، آ واحد بیشتر است. به عنوان مثال رقم ٤ در کد سه افزون برابر ۱۱۱۱ است که با ٥ که مساوی ۱۰۰۰ است جمع می شود و برابر ۱۱۱۱ می گردد که آ واحد بیش از ۹(۱۰۰۱) می باشد، ولی در کد سه افزون، حاصل باید ۳ واحد بیش از ۹، یعنی برابر ۱۱۰۰ باشد. لذا بعد از جمع دو عدد در جمع کننده باینری، باید از ۱۱۰۰ مقدار ۳ واحد کسر گردد تا نتیجه صحیح حاصل شود. به همین ترتیب در جمع بقیه رقم ها، باید اصلاحات مطابق جدول زیر انجام شود.

دهدهی	خروجی جمعکننده باینری ک اشتباه است	نتیجه صحیح Y مطابق زیر می باشد	دهدهی	خروجی جمع کننده باینری ۱٪ اشتباه است	نتیجه صحیح ۲ مطابق زیر میباشد
•	•11•	11	1.	1	111
1	•111	• • • •	11	11	١ ٠١٠٠
۲	1	.1.1	١٢	1	1 •1•1
٣	11	•11•	14	111	1 -11-
٤	1.1.	•111	18	1 • 1 • •	1 • 111
٥	1.11	1	10	1 -1-1	1 1
٦	11	11	17	1 .11.	1 1 • • 1 .
٧	11.1	1.1.	۱۷	1 • 111	1 1.1.
٨	111.	1.11	١٨	1 1	1 1.11
٩	1111	11	19	1 11	1 11
	' Y=Z- <del>r=</del> Z از نقلی صرفن	= نقلی اشتباه +Y=Z	نقلی صحیح		



از جدول فوق ملاحظه می شود، برای داشتن نتیجه صحیح جمع در کد سهافزون برای اعداد ۰ تا ۹، باید Y=Z-Y و جهت اعداد بزرگتر از ۱۰ تا ۱۹، باید Z و اضافه گردد. Z=Z+Y.

با توجه به معادلات فوق، اگر بیت نقلی وجود نداشته باشد (یعنی بیت نقلی ۰ باشد) عدد ۱۳ را به حاصل خروجی جمع کننده که اضافه می نماییم و از بیت نقلی جمع کننده طبقه زیر صرفنظر می کنیم –) (۱۳. در صورتی که بیت نقلی وجود داشته باشد، به عنوان نقلی نهایی صحیح در نظر می گیریم و ۳ واحد به خروجی جمع کننده Z اضافه می کنیم (مطابق شکل ذیل).



همانطور که از شکل فوق ملاحظه می شود، جمع کننده کد سهافزون برای یک رقم، از ۷ جمع کننـده کامل (FA) و دو معکوسکننده تشکیل شدهاست.

۳۲-۱۰) برای مکمل ۹ کننده، با کنترل "آیا مکمل شود یا نه" (موقعی که اعداد به صورت کد سهافزون مطابق جدول (۳-۳) باشند) طرحی تهیه کنید. این کد چه محاسنی نسبت به کد BCD دارد؟

#### حل)

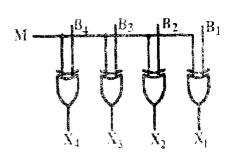
یکی از مزایای کد سهافزون برای نمایش رقمها، این است که اگر بیتهای آن را معکوس کنیم، کد مکمل ۹، رقم مورد نظر حاصل می شود. به عنوان مثال عدد عد که در کد سهافزون به صورت <math>v داده می شود که با معکوس کردن بیتهای آن عدد v حاصل می گردد و نمایش مکمل ۹ عدد v عنی عدد ۵ می باشد. لذا طرح مکمل ۹ کننده، با کنترل v مطابق زیر می باشد:



## تشريح مسائل معمارى كالهيوتر

#### جدول درستی XOR

M	$\mathbf{B}_{\mathrm{i}}$	$X_i=B_i\oplus M$
•	•	$X_i = B_i$
•	١	, ,
١	•	$X_i=B_i$
j	1	, ,



طرح مکمل ۹ کننده کد سهافزون

در طرح فوق چون  $X_i=B_i$  است، پس برای M=0 مطابق جدول درستی فوق  $X_i=B_i$ ، یعنی خروجی X برابر خود عدد B میباشد و جهت M=1 مطابق جدول فیوق  $X_i=B'_i$  است، در نتیجه خروجی X. مکمل ۹ عدد B می باشد.

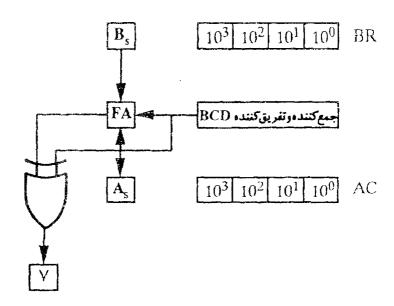
به این ترتیب مدار هکمل ۹ کننده کد سهافزون. نسبت به کد BCD بسیار سادهتر است و بیتها فقط با معکوس کردن ساختهمیشوند.

۱۰-۳۳) سختافزاری برای جمع و تفریق اعداد دهدهی در سیستم مکمل ۱۰، با تشخیص سرریز طراحی نمایید. فلوچارت الگوریتم به کار رفته را رسم کنید و چند عدد را بر روی آن برای گرفتن نتیجه صحیح آزمایش کنید.

حل)

سختافزار مذكور مطابق شكل زير است:





الگوريتم و فلوچارت آن مشابه شكل (۱۰-۲۲) است.

۱۰-۳۶) محتوای ثباتهای  ${\bf R}$  ,  ${\bf R}$  ,  ${\bf Q}$  ,  ${\bf E}$  ,  ${\bf Q}$  محتوای ثباتهای  ${\bf R}$  ,  ${\bf Q}$  ,  ${\bf E}$ 

بنويسيد

الف) ۱۵۲× ۲۷۰

999×199 (ب

ثباتها را برای سه رقم فرض کنید و رقم دوم را مضروب فیه در نظر بگیرید.

## حل)

با توجه به شکل (۱۰-۲۱) و (۱۰-۲۲)، خواهیمداشت:

SC=7 و Q=107 مضروب فيه B=2 و B=2

لذا محتويات ثباتهاي مذكور مطابق زير مي باشد:



			Ç	L
	Ae	A	S.	SC.
مقدار اوليه	•	•••	107	٣
پس B به حاصل ضرب میانی اضافه می شود. $Q_L  eq 0$	•	٤٧٠	101	
پس B به حاصل ضرب میانی اضافه می شود. $Q_L  eq 0$	•	98.	10.	
QL=۰ ،dshr یک رقم دهدهی به راست شیفت بده.	•	٠٩٤	•10	۲
	•	٥٦٤	٠١٤	
( )	1	۰۳٤	٠١٣	
	1	٤٠٥	.17	
پس $B$ به حاصل ضرب میانی اضافه می شود. $\mathbb{Q}_{L}$	١	975	•11	
( )	۲	٤٤٤	٠١٠	
Q <sub>L</sub> =۰ ،dshr یک رقم دهدهی به راست شیفت بده.	•	722	٤٠١	١
پس ${f B}$ به حاصل ضرب میانی اضافه می شود. ${f Q}_{f L}$	•	٧١٤	٤٠٠	
یک رقم دهدهی به راست شیفت بده. $Q_L$ =۰ ، $dshr$	·	٠٧١	٤٤٠	•
	ىرب	حاصل <i>ف</i>	-	

ب)در این حالت نیز مانند فوق می توان عمل کرد و نتیجه مطابق زیر می باشد: مدر

-۱۰) محتوای ثباتهای  ${\bf Q}$  . ${\bf E}$  . ${\bf Q}$  و  ${\bf Q}$  و  ${\bf SC}$  محتوای ثباتهای  ${\bf Q}$  . (۱۰ موقع تقسیم ۱۹۸۰/۳۲ بنویسید (شکل (۱۰ ۲۳)) و ثباتها را دو رقمی فرض کنید.



حل)

مطابق الگور بتم شکل (۲۰–۲۳) مقادیر ثباتهای دو رقمی P ، P و P مطابق زیر میباشند. P مطابق P معابق زیر میباشند. P

مکمل ۱۰ عدد B برابر است با: ۹۶۸

۹٦٨ : ب	مکمل ۱۰ عدد B برابر است با: ۹۶۸						
<u>E</u>	<u>Ae</u> <u>A</u>	Q	<u>SC</u>				
· مقدار اولبه مقسوم در Q و A قرار میگیرد.	. 17	۸۰	7				
dsh۱ شیفت دهدهی به چپ	۱ ۸۲ ۱	••					
مکسل ۱۰ مقسومعلیه(B) اضافه می شود.	۹ ٦٨						
( )	1 77	• 1	İ				
	9 71						
\\	١ ٠٤	٠٢ ا					
	۹ ٦٨						
۱ = E=۱ پس مکمل ۱۰ مقسوم علیه (B) اضافه می شود.	• ٧٢	۰۳۱	İ				
{ }	9 7						
\ \	٠ ٤٠	٠٤					
	٩ ٦٨						
\ \	• • • • • •	ه٠ ا					
	9 7/		ļ				
E=-( ·	۷٦ و						
پس $f B$ اضافه می شود.	. ***						
۱ باقبماندد دوباره بازیابی میشود.	• • • • • • • • • • • • • • • • • • • •	• •	\				
dsh۱ شیفت دهدهی به چپ	· A•	٥٠	1 1				
مکمل ۱۰ مقسومعلیه (B) اضافه میشود.	9 7/						
	• £^	٥١					
E=۱ پس مکمل ۱۰ عدد (B) اضافه می شود.	9 7/						
1	• 17	70	ļ				
	٩ ٦٨						
E=• •	٩ ٨٤						
اضافه می $^{ ext{de}}$ و.	. ***						
1	• 17	70	•				
	\ \_\	1					
	باقيمانده	خارج					
	1	فسمت					

### تشريح مسائل معمارى كامپيوتر

۰۱-۳۳) ثابت کنید که ثبات Ae در شکل (۱۰-۲۱) دارای مقدار ۰ در پایان دو حالت زیر می باشد.

الف) ضرب دهدهی شکل (۱۰-۲۲)

ب) تقسیم دهدهی شکل (۱۰–۲۳)

حل)

الف) مطابق الگوریتم شکل (۱۰-۲۲)، در انتهای ضرب، محتوای A، به راست شیفت پیدا می کند، در نتیجه Ae برابر ۰ می شود.

ب) مطابق الگوریتم شکل (۱۰-۲۳)، در پایان تقسیم، باقیمانده منفی می شود، که با اضافه کردن B هه آن، باقیمانده مثبت شده و Ae برابر ۰ می شود.

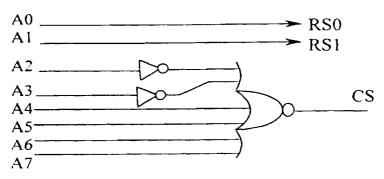
۰۱-۳۷)الگوریتم محاسباتی ممیزشناور در بخش (۱۰-۵) را، که به صورت باینری است، به دهدهی تبدیل نمایید و سمبولهای ریزعملیات را در هر حالت تفسیر نمایید.

- تمام شیفتهای باینری shr و shl به شیفتهای دهدهی dshr و dshl تبدیل می شوند.
- مکمل ۲ عدد B مکمل ۱۰ عدد B تبدیل می شود. بنابراین عملیات تفریق B+B+A+B+1 به: مکمل ۱۰ عدد B+A+B+1 تبدیل می شود.

# مسائل فصل یازدهم : تشکیلات ورودی و خروجی

۱۱-۱) آدرسهای اختصاص یافته به چهار ثبات واسطه I/O در شکل ۱۱-۲ برابر با معادل دودویی اعداد ۱۲، ۱۳، ۱۶ و ۱۵ است. مدار خارجی لازم را که باید بین یک آدرس I/O هشت بیتی از CPU و ورودی های RSI ،CS و RSI از مدار واسطه وصل شوند را نشان دهید.

حل)



۱۱-۲) شش واحد واسطه از نوعی که در شکل ۱۱-۲ نشان داده شده است به یک CPU که از یک آدرس I/O هشت بیتی استفاده می کند متصل اند. هر یک از شش ورودی انتخاب تراشه CS به خط آدرس متفاوتی متصل است، بنابراین خط با ارزش تر آدرس به ورودی اولین واحد واسطه متصل است. دو خط اولین واحد واسطه وششمین خط آدرس به ششمین واحد واسطه متصل است. دو خط آدرس کمارزش تر به RSI و RSO از هر شش واحد واسطه متصل اند. آدرس هشت بیتی هر یک از ثباتهای هر واسطه را معین کنید.

	واسطه ۱				واسطه ٦
					1
ثبات B	1.1	 •	•••••	• 1 • • • • 1	1
ثبات کنترل		 ••••		. , , .	1

#### تشريح مسائل معمارى كامبيوتر

١١٠٠٠١١ ١١٠٠٠١١ المارون المراوي المارون المارون المراون \* دو بیت انتهایی گذرگاه آدرس یعنی A و A در هر واسطه یکی از 3 ثبات B کنترل و یا وضعیت را انتخاب مینماید.

از اینرو در هر ٦ واحد واسطه این ورودیها یکسان است.

$$\begin{cases} A_7 \rightarrow & CS6 \\ A_6 \rightarrow & CS5 \end{cases}$$

$$A_5 \rightarrow & CS4 \qquad \begin{cases} A_1 \rightarrow & RS1 \\ A_0 \rightarrow & RS0 \end{cases}$$

$$A_3 \rightarrow & CS2 \qquad A_2 \rightarrow & CS1 \qquad \begin{cases} A_2 \rightarrow & CS1 \end{cases}$$

۳-۱۱) چهار وسیله جانبی که خروجی قابل درکی برای انسان داشتهباشد نام ببرید. حل)

مانیتور (صفحه نمایش) - چاپگر - خروجی صوتی (ازطریق کارت صوتی) - رسام (پلاتر) ۱۲-٤) نام کامل خود را به ASCII با استفاده از هشت بیت برای هر کاراکتر و یک ۰ در سمت چپترین مکان بنویسید. بین قسمتهای مختلف نام یک فاصله بگذارید و نیز در صورت استفاده از مخفف، پس از آن نقطه بگذارید.

حل)

B. Sorush

......

B . dobb S . r

......

u s h

۱۱-۵)اختلاف بین I/O مجزا با I/O نگاشت چیست؟ مزایا و معایب هر یک را بگویید.



#### فصل یازدهم / تشکیلات ورودی و خروجی

در حالت I/O مجزا، تمایز بین انتقال حافظه و انتقال I/O از طریق خطوط خواندن و نوشتن جداگانه، انجام می شود و همچنین آدرسهای واسطه I/O از آدرسهای اختصاص یافته به حافظه مستقل هستند همچنین CPU دستورالعملهای ورودی و خروجی مجزایی دارد. در پیکربندی I/O نگاشت یافته کامپیوتر با ثباتهای واسطه به عنوان بخشی از سیستم حافظه رفتار می کند در یک سازمان مبتنی بر I/O نگاشت یافته در حافظه دستورالعملهای خاصی برای I/O وجود ندارد و این کامپیوترها با دستورالعملهای حافظهای می توانند به دادههای I/O دست یابند.

٦-١١) مشخص كنيد كه كدام يك از موارد زير يك فرمان كنترل، وضعيت يا انتقال داده است.

- الف) گذر از دستورالعمل بعدی اگر پرچم ۱ باشد.
- ب) جستجوی یک رکورد خاص بر روی یک دیسک مغناطیسی
  - ج) وارسى آماده بودن يا نبودن وسيله I/O
  - د) حرکت کاغذ چاپگر به ابتدای صفحه بعد
    - هـ) خواندن ثبات وضعیت واسطه

حل)

الف) هيچكدام ب) كنترل ج) وضعيت د) كنترل هـ) وضعيت

۱۱-۷)یک واحد واسطه تجاری برای خطوط دست دهی مربوط به انتقال داده ها از وسیله I/O به واحد واسطه از نامهای مختلفی استفاده می کند. خط دست دهی ورودی واسطه IBF (مخفف پر (مخفف استروب یا فعال ساز ') و خطوط دست دهی خروجی واسطه IBF (مخفف پر بودن بافر ورودی ') نام گذاری شده است. وجود یک سیگنال سطح بالا روی IBF نشان می دهد که داده توسط واسطه پذیرفته شده است. پس از سیگنال خواندن I/O از طرف CPU از طریق ثبات داده، IBF به سطح پایین می رود.

الف) یک بلاک دیاگرام که Cpu، واسطه و سیله I/O همراه با اتصالهای لازم بین آنها را نشان دهد رسم کنید.



<sup>\.</sup>Strobe

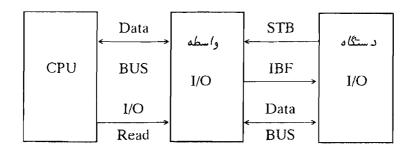
<sup>&</sup>lt;sup>\*</sup>.Input Buffer Full

## تشريح مسائل معمارى كامپيوتر

ب) یک دیاگرام زمانی برای انتقال دست دهی رسم کنید.

ج) برای انتقال از وسیله به واسطه و از واسطه به CPU یک چارت دنباله رخدادها ٔ را رسم کنید.

حل) الف)



اما چون سیگنال I/O Read از CPU خارج شده، جهت فلـش Data BUS بـه سـمت CPU بـه سـمت الما چون سیگنال الماد.

ب)

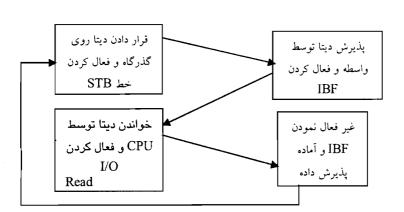
Data		 	
STB		 	
IBF			
I/O Read			

<sup>&#</sup>x27;.Sequence - of events Chart



ج)

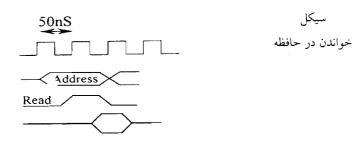
فصل یازدهم / تشکیلات ورودی و خروجی



۸-۱۱ یک CPU با ساعت ۲۰MHz به یک واحد حافظه که زمان دسترسی آن ۴۰ns است متصل است. دیاگرامهای زمانی خواندن و نوشتن آنها را با استفاده از فعال کنندههای READ و WRITE تهیه کنید. در دیاگرام زمانی آدرس را هم نشان دهید.

حل)

 $F=r \cdot MHz \Rightarrow T=o \cdot ns$ 

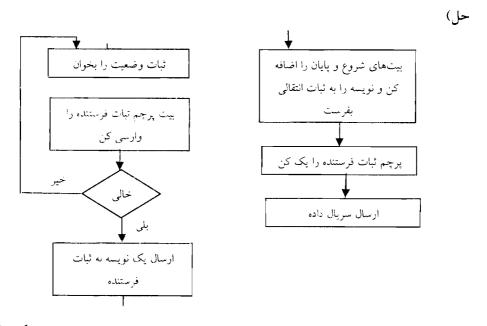




#### تشريح مسائل معماري كامپيوتر



۹-۱۱ مدار واسطه ارتباطی غیرهمگام شکل ۱۸-۸ بین یک CPU و یک چاپگر متصل شدهاست. فلوچارتی رسم کنید که دنباله عملیات را در بخش فرستنده واسطه وقتی که CPU به چاپگر کاراکتری را می فرستد نشان دهد.



۱۱-۱۱) حداقل شش وضعیت مختلف را برای ۱ کردن بیتهای ثبات وضعیت در یک واسطه ارتباطی غیرهمگام ارائه دهید.

#### حل)

خطای توازن -- خطای کادربندی (هنگامی رخ میدهد که تعداد ۱ها در داده دریافتی مطابق با توازن صحیح نباشد.) خطای تزاحم دادهها (خطای تزاحم منجر به از بین رفتن کاراکترهای دریافتی میشود) درصورتی رخ میدهد که تعداد بیتهای از پیش تعیین شده در پایان کاراکتر دریافتی دیده نشود).

RUEB

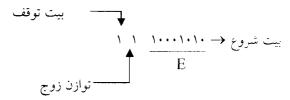
#### فصل بازدهم / تشکیلات ورودی و خروجی

- نشان دادن اینکه ثبات فرستنده خالی است.
  - نشان دادن اینکه ثبات فرستنده بر است.
- نشان دادن اینکه ثبات گیرنده خالی است.
  - نشان دادن اینکه ثبات گیرنده پر است.

۱۱–۱۱) اگر واسطه به پایانه ای متصل باشد که به یک بیت توقف نیاز دارد، چند بیت در ثبات شیفت فرستنده شکل ۱۸–۱۱ وجود دارد؟ با استفاده از کد اسکی توازن زوج بیتهای ثبات شیفت را وقتی که حرف  $\mathbf{W}$  ارسال شود مشخص کنید.

(/>

۱۰ بیت که بیت اول، بیت شروع، صفر است، هفت بیت کد اسکی، بیت توزان و بیت توقف.



۱۲-۱۱) بر روی یک خط ۱۲۰۰-Baud با هر یک از روشهای زیر چند کاراکتر در هر ثانیه ارسال می شود (کد کاراکترها را هشت بیتی فرض کنید).

- الف) ارسال سرى همگام (همزمان)
- ب) ارسال سری غیرهمگام (با دو بیت توقف)
  - ج) ارسال سری غیرهمگام با یک بیت توقف

حل)

الف) با توجه به اینکه در ارسال همگام نیز به دستدهی نیست داریم:

کاراکتر ۱۵۰=۱۲۰۰۸

- ب) در ارسال سری غیرهمگام با دو بیت توقف، هر کاراکتر در قالب ۱۱ بیتی فرستاده میشود پس کاراکتر۱۰۰۱≈۱۲۰۰۱۱
- ج) در ارسال سری غیرهمگام با یک بیت توقف، هر کاراکتر در قالب ۱۰ بیتی فرستاده می شود پس کاراکتر ۱۲۰–۱۲۰۰۱



- ۱۱–۱۳) اطلاعاتی با سرعت m بایت در ثانیه به یک بافر FIFO وارد می شود. اطلاعات پاک شده در آن نیز n بایت در ثانیه است. حداکثر ظرفیت بافر ۱۲ بایت است.
  - الف) اگر m>n باشد چه مدت طول میکشد تا بافر خالی، پر شود.
    - ب) اگر m<n باشد چقدر طول می کشد تا بافر پر، خالی شود.
      - ج) اگر m=n باشد آیا بافر FIFO لازم است یا خیر؟

حل)

- الف) با توجه به اینکه تعداد ورودی از تعداد اطلاعات پاکشده بزرگتر است، سرعت پرشدن m-n و زمان (m-n)/۱۲ می باشد.
- ب) چون داده پاکشده از داده ورودی بیشتر است، از اینرو سرعت خالی شدن n-m و زمان آن ۱۲/(n-m) خواهدبود.
- ج) بافر، زمانی لازم است که یکی از طرفین ارسال یا گیرنده داده، دارای سرعت یکسانی نباشد با توجه به اینکه m=n است وجود میانگیر FIFO لزومی ندارد.

حل)

#### $F_{\tau}F_{\tau}F_{\tau}F_{\varepsilon}=\cdots$

با توجه به اینکه  $F_1$  و  $F_2$  یک هستند در نتیجه  $F_3$  و  $F_4$  دارای داده معتبر هستند،  $F_7$  و  $F_8$  خالی می اشند. خروجی آماده ۱ می باشد، سپس  $F_4$  خالی شده و اطلاعات  $F_4$  می منتقل می شود.  $F_5$  می باشد. داده جدیدی وارد صفر شده و متعاقباً  $F_6$  می شود. در این حالت  $F_7$  حالت  $F_7$  می میشود که در نهایت  $F_8$  شده و  $F_8$  می شود. طی دو مرحله اطلاعات از  $F_8$  وارد  $F_8$  می شود.  $F_8$  می شود.

- ۱۱–۹) مقادیر "ورودی آماده" و "خروجی آماده" و بیتهای کنترل  $F_1$  تا  $F_2$  در شکل  $F_3$  در اوضعیتهای زیر چیست؟
  - الف) وقتى بافر خالى است.
    - ب) وقتی بافر پر است.



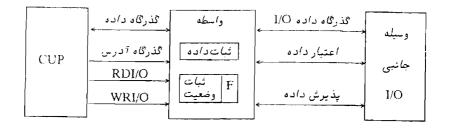
### فصل یازدهم / تشکیلات ورودی و خروجی

### ج) وقتی بافر حاوی دو قلم داده است.

#### حل)

- الف) وقتى بافر خالى است داريم ٢٠٢٠=، ٢،٢٣٦، خروجي آماده ٠ ورودي آماده ١ است.
  - $\cdot$ ب) وقتی بافر پر است داریم ۱۱۱۱ $F_{\imath}F_{\imath}F_{\imath}F_{\imath}F_{\imath}$ ، خروجی آماده ۱ و ورودی آماده ۰ است.
- ج) وقتی بافر دارای دو قلم داده است  $F_1F_7F_7F_6=0.01$ ، خروجی آماده ۱ و ورودی آماده ۱ است.

۱۱-۱۱) یک بلاک دیاگرام مشابه شکل ۱۰-۱۱ را برای انتقال داده از CPU به یک واسطه و سپس به یک وسیله I/O رسم کنید. رویهای برای ۱ کردن و ۰ کردن بیت پرچم ارائه دهید. حل)



انتقال و دریافت داده مابین وسیله جانبی I/O و CPU

در مورد انتقال داده از CPU به I/O جهت اعتبار داده از وسیله I/O به طرف واسطه و جهت پیکان پذیرش داده از واسطه به وسیله I/O میباشد.

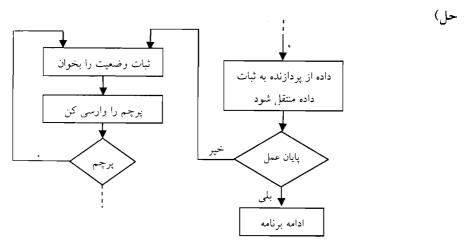
ابتدا داده توسط CPU در روی گذرگاه قرار داده می شود و خط نوشتن WR فعال می شود. این داده در ثبات داده و اسطه نوشته می شود و پرچم مربوط در ثبات وضعیت صفر می شود تا نشان دهنده پر بودن ثبات باشد.

این داده در گذرگاه I/O قرار داده می شود سپس سیگنال اعتبار داده ۱ می شود تا به وسیله I/O این داده در روی گذرگاه موجود است.

سپس وسیله جانبی داده را از گذرگاه برداشته، خط پذیرش داده ۱ شده که واسطه با دریافت این سیگنال، پرچم ثبات وضعیت را ۱ میکند تا به CPU اعلام کند تا ثبات خالی شدهاست و برای ورود داده جدید آماده است.



۱۱-۱۱) با استفاده از پیکربندی شکل مسئله ۱۱-۱۹ فلوچارتی (مشابه با شکل ۱۱-۱۱) برای برنامه CPU جهت خروجی داده بدست آورید.



۱۱–۱۸) مزیت اصلی استفاده از انتقال داده به کمک وقفه در برابر انتقال تحت کنترل برنامه بدون استفاده از وقفه چیست؟

حل)

چون سرعت وسایل جانبی نسبت به سرعت کامپیوتر خیلی کندتر میباشد بنابراین در روش انتقال داده بدون وقفه به روش کنترل دائمی وضعیت وسیله جانبی، وقت CPU را تلف مینماید و باعث میشود اکثر اوقات CPU در حالت انتظار باشد اما در حالت استفاده از وقفه، CPU به برنامهها و روتینهای دیگر پرداخته و راندمان کاری افزایش مییابد.

۱۱-۱۱) در بیشتر کامپیوترها وقفه فقط پس از اجرای دستورالعمل جاری تشخیص داده می شود. امکان پذیرش وقفه را در هر زمانی در حین اجرای دستورالعمل بررسی کنید. در مورد مشکلاتی که ممکن است بروز کند بحث کنید.

حل)

هنگام وقوع وقفه، بایستی تغییر مسیری در اجرای دستورالعملها داده شود. از این لحاظ مکانیزم دقیق و پیچیده ای موردنیاز می باشد تا حالت و اطلاعات روتین در حال اجرا را ذخیره کرده تا پس از اجرای روتین وقفه، اجرای روتین یا دستورالعمل متوقف شده را دوباره از سر بگیرد اما با پذیرش



فصل یازدهم / تشکیلات ورودی و خروجی

وقفه در پایان هر دستورالعمل، تنها ذخیرهسازی آدرس بازگشت و مقادیر پرچمها و ثباتهای خاص کافیست.

۲۰-۱۱) در سیستم وقفه اولویتدار چرخشی شکل ۱۲-۱۱، هرگاه پس از درخواست وقفه وسیله ۲ درخواست وقفه کند چه ۲ به CPU ولی قبل از تصدیق وقفه به وسیله CPU، وسیله ۱ درخواست وقفه کند چه اتفاقی می افتد.

( )-

در این حالت، چون وسیله ۱ اولویت بالاتری را نسبت به وسیله ۲ دارا است. پس از درخواست وقفه توسط وسیله ۱ با دریافت سیگنال تصدیق، PO خود را صفر کرده تا راه سیگنال تصدیق را برای وسیله ۲ ببندد. سپس VAD خود را روی گذرگاه داده قرار میدهد، پس از اتمام اجرای روتین وقفه وسیله ۲ باسخ میدهد.

۱۱-۱۱) کامپیوتری را بدون سختافزار وقفه اولویتدار در نظر بگیرید. هر یک از چند منبع می توانند به کامپیوتر وقفه بدهند، در هر درخواست وقفه منجر به ذخیره آدرس برگشت و انشعاب به یک روال مشترک وقفه می گردد. توضیح دهید که چگونه می توان در برنامه سرویس دهی وقفه، اولویت برقرار کرد؟

()-

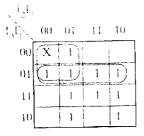
می توان از روش همه پرسی استفاده نمود به این ترتیب که یک آدرس انشعاب مشترک بر روی همه وقفهها وجود دارد. برنامهای که به وقفهها سرویس می دهد از از این آدرس انشعاب شروع می شود و به همه منابع وقفه به طور متوالی سرکشی می کند. ترتیب بررسی این منابع، اولویت هر وقفه را تعیین می کند. ابتدا منبع دارای اولویت بررسی می شود (به عنوان مثال به وسیله های دارای سرعت انتقال بالا اولویت بالا و به وسیله ای کند مانند صفحه کلید اولویت پائین داده می شود). اگر سیگنال وقفه آن فعال باشد، کنترل به روال سرویس مربوط به این منبع انشعاب می کند در غیر اینصورت منبع بعدی که اولویت پائین تر دارد بررسی می شود و به همین ترتیب.

۲-۱۱) با استفاده از روشهای طراحی مدارهای ترکیبی، عبارات بولی ارائه شده در جدول ۲-۱۱ را برای کد گذار اولویت بدست آورید. نمودار منطقی مدار را رسم کنید.

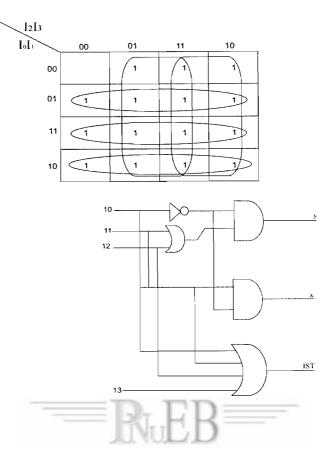


Х	Y	IST	10	11	12	13
()	()	1	I	X	X	X
0	1	1	()	1	X	Χ
1	0	1	()	Ð	1	X
1	1	1	1)	()	0	}
X	X	()	()	0	0	()

$I_0I_1$	00	01	11	10
00	$\overline{x}$	1	1 1	
01				
11			-	
10		i i	i	
X	PoF	71		



$$Y = I'_0 I_1 + I'_0 I_2 = I'_0 (I_1 + I_2)$$



### فصل یازدهم / تشکیلات ورودی و خروجی

۱۱-۲۳) سختافزار وقفه اولویتدار موازی را برای سیستمی با هشت منبع وقفه طراحی کنید.

												حل)
	X	Y	Z	IST	Į.	I١	I۲	I٣	I٤	Ιο	rI	Ιv
-	٠	•	•	١	١	Х	Х	Х	X	Х	х	х
	•		١	١	•	١	X	X	x	x	x	x
	•	١	•	١	•	•	١	x	x	x	x	x
	•	١	١	١	•	•	•	١	x	x	x	x
	١	•	٠	١	٠	•	•	٠	١	x	x	x
	١	•	١	١	•	٠	•	•	•	١	x	x
	١	١	•	١	•	٠	•	•	•	•	١	x
	١	١	1	١	•	•	•	•	•	•	•	١
	x	x	X		•	•	•	•	•		•	
				I	_							

XYZ جدول درستی انکدر ۸×۳ اولویت را بدست آورید. فرض کنید که سه خروجی XYZ از انکدر اولویت برای تهیه یک آدرس بردار به شکل ۱۰۱XYZ۰۰ بکار روند. هشت آدرس بردار را با شروع از آن که بالاترین اولویت را دارد بنویسید.

حل)

X	Y	Z	IST	١.	11	١٢	۱۳	١٤	١٥	17	۱۷	آدرس بردار
•	•	٠	١	١	X	Х	х	X	Х	Х	X	1.1
•	٠	١	١		١	x	x	x	x	x	x	1.1
•	١	•	١		•	١	X	x	x	x	x	1.1.1
•	١	١	١		•		١	x	x	x	x	1.1.11
١	•	٠	١	٠	•	•		١	x	x	x	1.11
. 1	•	١	١		•	•	•	•	١	X	X	1.11.1
١	١	•	١		•	•	•	٠	•	١	x	1.111
١	١	١	١			•	٠	•			١	1.1111
x	x	x	•		•	•	•	•		•	•	_



۲۱-۱۱) در شکل ۱۱-۱۶ چه کاری باید انجام داد تا چهار مقدار VAD برابر با ۷۲، ۷۷، ۷۸، ۹۷ گردند؟

حل)

در این حالت قالب بردار آدرس، به صورت زیر است:

٠١٠١١٠٠+٠٠=٠١٠١١٠٠ وقفه ١

١٠١١٠١=-٧٧=-٧٧ وقفه ٢

=۲+۲۷=۸۷وقفه ۳ ۱۰۱۱۰۰+۱۰=۰۱۰۱۱۱۰

=٣+٣٧=٩٧وقفه ٤ ١٠١١٠٠+١١=٠١٠١١١

. \ \ \ \ \ Y X

۲۱-۱۱) برای وارسی زمانی که منبعی به کامپیوتر در حال سرویس دهی به وقفه قبلی بوسیله همان منبع، وقفه می دهد چه برنامه ای لازم است.

( )-

با قرار دادن یک سوئیچ نرمافزاری در داخل روتین سرویس وقفه میتوان هنگام اجرا این سوئیچ را فعال نمود و هنگام ورود برای بار دوم این سوئیچ را کنترل کرد.

۱۱-۲۷) چرا خطوط کنترل خواندن و نوشتن در کنترلکننده DAM دوطرفه است؟ تحت چه شرایطی و برای شرایطی و برای چه منظوری از آنها بعنوان ورودی استفاده می شود. چه منظوری از آنها بعنوان خروجی استفاده می شود.

حل)

چون از این خطوط هم برای آغازش کنترلکننده DMA و پس از آن، کنترلکننده از آنها به عنوان سیگنالهای RD و WR استفاده میکند از این رو، جهت دوطرفه میباشد برای آغازش و برنامهریزی کنترلکننده DMA به عنوان ورودی استفاده میشود. در زمان سیکل DMA که دیگر CPU دست از خطوط برداشته است (اعم از آدرس، داده و کنترل) به عنوان خروجی استفاده می شود.

۱۲۳۰) میخواهیم ۲۵۲ کلمه را از یک دیسک مغناطیسی به بخشی از حافظه که از آدرس ۱۲۳۰ شروع میشود انتقال دهیم. انتقال با استفاده از DMA طبق شکل ۱۱–۸ صورت میگیرد.



فصل یازدهم / تشکیلات ورودی و خروجی

#### حل)

الف) با توجه به اینکه تعداد کلمات ۲۵٦ میباشد پس در ثبات شمارش مقدار ۲۵٦ ذخیره میشود و چون آدرس شروع ۱۲۳۰ میباشد، این مقدار در ثبات آدرس کنترلکننده DMA قرار میگیرد.

ب) وسیله جانبی درخواست DMA را ارسال می کند، کنترلکننده DMA خط BR را فعال می کند و به این طریق به CPU اطلاع می دهد که گذرگاه ها را رها کند. CPU با فعال کردن خط BG خود به DMA اطلاع می دهد که گذرگاه های آن غیرفعالند. سپس DMA مقدار فعلی ثبات آدرس خود را روی گذرگاه آدرس قرار می دهد. سیگنال WR را فعال می کند و سیگنال تصدیق DMA را به وسیله جانبی می فرستد، وقتی وسیله جانبی سیگنال تصدیق را دریافت کرد، یک کلمه را در گذرگاه داده قرار می دهد. به ازاء هر کلمه ای که انتقال می یابد، DMA آدرس ثبات خود را افزایش می دهد و ثبات شمارش کلمه خود را کاهش می دهد.

۱۱-۲۹) یک کنترلکننده DMA کلمه های ۱۹ بیتی را با استفاده از سرقت سیکل به حافظه منتقل می کند. این کلمه ها از وسیله ای دریافت می شود که کاراکترها را با سرعت ۲٤۰۰ کاراکتر در ثانیه ارسال می نماید. CPU دستورالعمل ها را با سرعت یک میلیون دستورالعمل در ثانیه برداشت و اجرا می کند. CPU در اثر انتقال به شیوه DMA تا چه حد کند می شود؟

#### حل)

با توجه به اینکه در این روش، برای انتقال هر کلمه داده، CPU به اندازه یک چرخه حافظه کارش را به تأخیر میاندازد از اینرو برای انتقال کلمه ۱٦ بیتی که ۲ کارکتر میباشد ۲ سیکل حافظه، CPU منتظر میماند حال با مشخص بودن زمان هر سیکل حافظه و مدت انتقال، مقدار این تأخیر قابل محاسبه است.

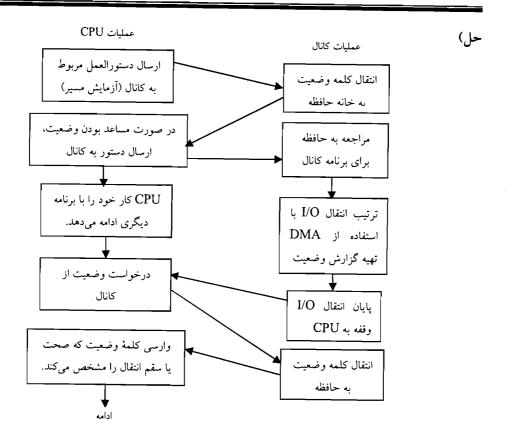
۳۰-۱۱) چرا DMA به هنگام تقاضای انتقال به حافظه نسبت به CPU به هنگام تقاضای انتقال به حافظه اولویت دارد.

#### حل)

زیرا دادهای که از طریق DMA برای CPU فراهم میگردد و موردنیاز CPU میباشد امکان از بین رفتن آن وجود دارد اما در مورد دادههای داخلی CPU این مشکل وجود ندارد.

۱۱-۱۱) فلوچارتی مشابه ۲۰-۱۱ برای ۳۷۰ IBM رسم کنید و ارتباط CPU با کانال انتقال ۱/O را توضیح دهید.





۳۲-۱۱) آدرس یک پایانه متصل به یک پردازنده انتقال داده از دو حرف الفبای انگلیسی یا یک حرف و بدنبال آن یکی از ده رقم تشکیل شدهاست. چند آدرس مختلف می توان ایجاد کرد.

چون مکان یا کاراکتر اولی باید یکی از حروف باشد پس ۲۲ حالت ممکن وجود دارد ولی در مورد مکان دوم این حالات به 77 یعنی 77 حالت میرسد چون می توان از 10 کارکتر رقم نیز استفاده کرد. به طور کلی تعداد حالات این دو مکان به  $777=77\times77$  حالت می رسد یعنی 777 ترمینال را می توان متمایز نمود.



## فصل یازدهم / تشکیلات ورودی و خروجی

۱۱-۳۳) رویهای را برای خط انتقال و دنباله کارکترها، به منظور ارتباط بین یک پردازنده انتقال داده و یک پایانه دوردست تنظیم کنید. پردازنده سؤال میکند که پایانه در حال کار است یا خیر. پایانه با بله و خیر به آن پاسخ میدهد. اگر پاسخ بلی باشد پردازنده بلاکی از متن برای آن ارسال مینماید.

حل)

۱-آیا پایانه در حال کار است (فعال است).

۲-در صورت مثبت بودن پاسخ برو به ۳ و گرنه به مرحله ۱ برو.

۳-متن برای پایانه مربوط (یک بلاک متن) فرستادهشود.

٤-برو به مرحله ۱.

۳۱-۱۱) یک ارتباط انتقال داده از قرارداد مبتنی بر کاراکتر با شفافیت داده ها با به کارگیری کاراکتر DLE استفاده می کند. پیام متنی که فرستنده بین STX و ETX می فرستد بصورت زیر است:

DLE STX DLE DLE ETX DLE DLE ETX DLE ETX دادههای شفاف مننی را بصورت دودیی بنویسید.

هرگاه در داخل متن کاراکتر DLE وجود داشته باشد. فرستنده خود یک کاراکتر DLE را به قبل آن اضافه می نماید که با حذف DLEهای اضافه، متن اصلی بدست می آید.

۱۱-۳۵) حداقل تعداد بیتهایی که یک کادر در قرارداد مبتنی بر بیت دارد چقدر است؟ حل)



هرگاه مابین دو پرچم ۳۲ بیت در نظر بگیریم، حداقل تعداد بیتهای یک فریم ۶۸=۸+۳۲+۸ بیت خواهدبود.

۳۱-۱۱) نشان دهید که چگونه روش درج صفر در قرارداد مبتنی بر بیت، وقتی که یک صفر و بدنبال آن ده بیت معادل دودویی ۱۰۲۳ ارسال می شود عمل می کند.

حل)

(1.11),.:(1111111),

در این نوع ارسال بعد از ۵ عدد ۱، یک عدد صفر اضافه می شود پس داده به فرم زیر ارسال می شود

(11111-11111)

فصل دوازدهم / تشكيلات حافظه

# مسائل فصل دوازدهم: تشكيلات حافظه

۱-۱۲)الف) چند تراشه RAM ۸×۸۲۸ برای تهیه یک حافظه با ظرفیت ۲۰٤۸ لازم است؟

ب) چند خط گذرگاه آدرس باید بکار برد تا ۲۰٤۸ بایت از حافظه دستیابی شود؟ چند خط از این خطوط برای همه تراشهها مشترک است.

ج) چند خط برای انتخاب تراشه باید استفاده شود؟ اندازه دیکدر را مشخص کنید.

حل)

الف) یک حافظه RAM به ظرفیت ۲۰۶۸ را با ۱٦ عدد حافظهٔ RAM به ظرفیت ۸×۱۲۸ می توان ساخت. زیرا...

7. £∧=7×1.7£ , 1.7£=7''⇒7.£∧=7''

 $11 \times 1^{-1}$  تعداد RAMهای موردنیاز  $\rightarrow 11^{-1} \times 1^{1} \times 1^{1}$  تعداد الم

ج) از A۰ تا A۲ برای خطوط آدرس تمام تراشهها مشترک است و از A۷ تا A۱۰ به تعداد ٤ خط آدرس برای دیکدر کردن A۱ عدد A۸ مورد استفاده قرار میگیرد. در نتیجه به یک دیکدر A۲ نیاز خواهیمداشت.

۲-۱۲ کامپیوتری از یک RA M با ظرفیت ۱۰۲٤ استفاده می کند.

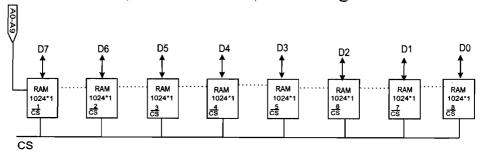
الف) چند تراشه لازم است، و چگونه خطوط آنها باید متصل شود تا ۱۰۲۵ بایت حافظه حاصل شود؟

ب) چند تراشه برای تهیه ۱٦k بایت حافظه لازم است؟ شفاها توضیح دهید که چگونه تراشهها باید به گذرگاه حافظه وصل شوند.

حل)



الف) برای داشتن یک حافظه به ظرفیت ۱۰۲۶ بایت یا همان ۱ کیلوبایت با استفاده از حافظهٔ ۱۰۲۶ بیت به تعداد ۸ عدد از این نوع حافظه نیاز داریم که بصورت شکل زیر بهم وصل می شوند.



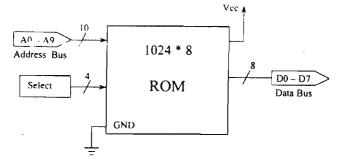
شکل ۲-۱۲

ب) به تعداد ۱ $\times$  عدد از این تراشهها موردنیاز است. برای ساختن  $\times$  ۱ $\times$  حافظه از پیکربندی شکل بالا استفاده می شود و سپس ۱٦ بلوک از این بلوکهای  $\times$  ۱ بایتی را بسرای ساختن  $\times$  ۱ بایت استفاده می کنیم. در این حالت  $\times$  خط آدرس دیگر از  $\times$  ۱۸ تا  $\times$  ۱۸ به ورودی یمک دیکمدر  $\times$  به ۱۸ متصل می شود و خروجی های هر کدام یک بلوک  $\times$  ۱۸ بایتی را انتخاب می نمایند.

۳-۱۲ یک تراشه ROM با ۸×۱۰۲۶ بیت دارای چهار ورودی انتخاب بوده و با منبع تغذیه ۵ ولتی کار میکند. برای بسته IC چند پایه لازم است. نمودار بلوک را رسم کرده و پایانه های ورودی خروجی را در ROM نامگذاری کنید.

حل)

تراشهٔ مورد نظر و همچنین ترکیب پایههای آن در شکل زیر نشان دادهشدهاست.



با توجه به این شکل تعداد پایههای این تراشه ۲۶ پایه میباشد.



# فصل دوازدهم / تشكيلات حافظه

۱۲-٤) سیستم حافظه شکل ۱۲-٤ را به ٤٠٩٦ بایت RAM و ٤٠٩٦ بایت ROM گسترش دهید. نقشه حافظه – آدرس را رسم کنید. مشخص کنید که اندازه دیکدر مورد استفاده باید چقدر باشد.

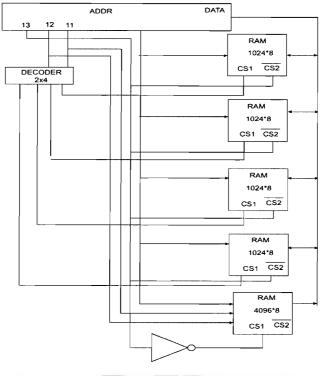
#### حل)

قطعه	دهی	آدرس شانزده شانز	گذرگاه آدرس
RAM	1.76B	$\cdots - \cdot rFF$	$\cdots$ , $\cdots$ XX,XX
RAMY	1.78B	$\cdot$ ε··-· $\vee$ FF	$\cdots$ , $\cdot$ \XX,XX
RAMr	1.78B	$\cdot \wedge \cdot \cdot - \cdot BFF$	$\cdots$ , $\cdot \cdot XX$ , $X$ $X$
RAM£	1.78B	$\boldsymbol{\cdots} - \boldsymbol{\cdot} FFF$	$\cdots$ , $YXX$ , $X$ $X$
ROM	٤٠٩٦B	$\cdots - \mathbf{FFF}$	۰۰۰۱, XXXX,XX

نقطه حافظه - آدرس (٤-١٢)

به جای حافظههای ۸×۱۲۸ از حافظههای ۸×۱۰۲۶ برای RAM و ۸×۲۹۹ برای ROM استفاده

میکنیم در نتیجه یک دیکدر  $\wedge \leftarrow \Upsilon$  موردنیاز است.





۱۰۲۵-۰) کامپیوتری از تراشههای، RAM با ۸×۲۰۲ و ROM با ۸×۱۰۲۴ استفاده می کند. سیستم کامپیوتر به VA بایت، از kk ،RAM بایت از ROM چهار واحد واسطه، که هر یک چهار ثبات دارد، نیاز Vk بایت، از I/O نگاشت حافظه استفاده شدهاست. به دو بیت با ارزشتر گذرگاه آدرس اختصاص داده ۰۰ برای ROM و ۱۰ ثباتهای واسطه می شود.

الف) چند تراشه RAM و ROM لازم است. ب) نقشه حافظه- آدرس را برای سیستم رسم کنید.

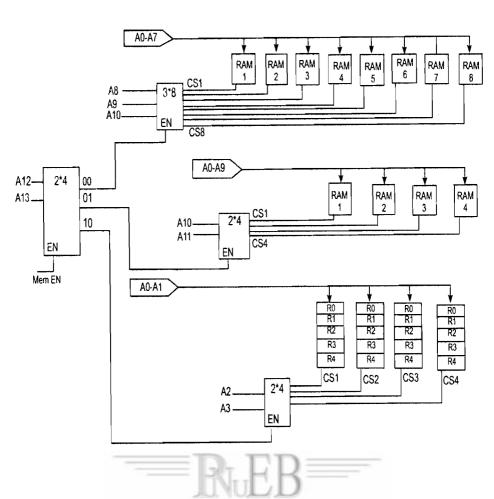
ج) محدوده آدرس را برحسب شانزده شانزدهی برای ROM، RAM و مدار واسطه معین کنید.

حل)

الف) طبق شكل زير ١١ عدد تراشة RAM، ٤ عدد تراشة ROM و ٤ عدد تراشة بانك ثبات موردنياز است.

ب) شکل زیر نقشهٔ حافظهٔ آدرس را برای این سیستم نشان میدهد.

ج) همچنین آدرسها بصورت شانزده - شانزدهی نشان دادهشدهاست.



# <u>فصل دوازدهم</u> / تشكيلات حافظه

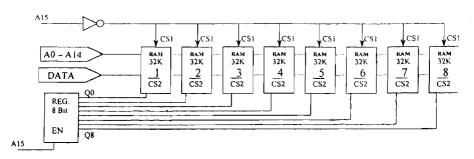
قطعه	آدرس شائزده-	10	١٤	۱۳	17	11	١.	٩	٨	٧	٦	٥	٤	٣	۲	١	•
	شانزدهي																
RAM	vF	•	•	•	•	•	•	·	•	•	•	X	X	X	Х	Х	X
1												V	v	V	v	X	V
RAM Y	FF	•	•	•	•	.	•	٠	•								
RAM r	·\·\VF		•	•		•	•	•	•	`	•	X.	X			Х	
RAM £	•\^• - •\FF	•	٠	•	•	•	•		١	١	X	X	X	X	X	X	X
RAM o	· · · · · · · · · · · · · · · · · · ·	,	•	•	•	٠	•	١	•		X	X	Х	Х	X	X	X
RAM 1	• YA• - • YFF	•		•	•	•	•	١	•	١	X	X	X	X	X	X	X
RAM v	•r•• - •rvF	•	•		•	•	•	١	١						X	Х	
RAM ^	• rx• – • rFF	•		•	•	•	•	١	١				X			X	
RAM	• ٤•• – ١٣FF	•	•	•	•	X	X	X								X	
RAM Y	\£ YTFF	•	•	١	١	X	X	X								Х	
RAM r	78 – TTFF	•	•	١	•	X	X	X									
RAM £	72 27FF	•	,	•	1	X	X	X	X	X	X	X	X	X	X	X	X
RB	££ — ££.77	•	١	•	•		١	1	•	•	ŀ		•			Х	
RBY	££•£ — ££•V		١	•		•	١	•		Ŀ	•	·	·	ŀ	ľ	X	X
RBr	$\iota\iota\cdot \wedge - \iota\iota\cdot B$		١	•	•	•	١		•	ŀ		٠	·	١	Ŀ		Х
RBi	εε·G – εε·F	•	١	•	•	•	١	•		ŀ	·	].	Ŀ	1	1	X	X

۱۹-۱۷ یک کامپیوتر دارای گذرگاه آدرس ۱۹ بیتی است. ۱۵ خط اول آدرسها برای انتخاب یک بانک ۳۲K بایتی حافظه استفاده شدهاست. بیت با ارزشتر آدرس برای انتخاب یک ثبات که محتوای گذرگاه داده را دریافت می کند بکار رفتهاست. توضیح دهید چگونه می توان از این پیکربندی استفاده کرده و ظرفیت حافظه را به هشت بانک ۳۲K بایتی افزایش داد تا یک بانک ۲۵۲K بایتی حاصل شود.



حل)

مطابق شکل زیر می توان از خطوط آدرس ۹۰ تا A۱۶ برای آدرس دهی فضای ۳۲۸ بایت استفاده کرد و خط A۱۰ بصورت فعال ساز تراشه بکار می رود با نقیض نمودن خط A۱۰ فضای حافظه ۳۲KB بایت بالایی بدست می آید. اما در این جا نقیض خط A۱۰ برای فعال نمودن رجیستر انتخاب بلوکهای ۳۲k بایتی بکار می رود. همانطوری که در شکل نشان داده شده است، هر کدام از بلوکهای حافظه دارای دو عدد پایهٔ فعال ساز می باشند که یکی از آنها بطور یکسان به خط آدرس A۱۰ متصل می باشد و فعال سازهای دیگر هر کدام به یکی از بیتهای خروجی ثبات متصل می گردد. در صورت صفر شدن هر کدام از این بیتها بلوک حافظه مربوط فعال خواهد شد و باید توجه داشت که هیچگاه نباید بیش از یک خط خروجی ثبات فعال باشد، (صفر منطقی) در این صورت به تعداد بیتهای فعال بلوک حافظه فعال خواهیم داشت.



۷-۱۲) یک سیستم دیسک مغناطیسی دارای پارامترهای زیر است،

زمان متوسط لازم برای قرارگرفتن هد مغناطیسی روی یک شیار ${f T}_s$ 

R=سرعت چرخش دیسک برحسب دور در ثانیه

تعداد بیتها در هر شیار $N_t$ 

N<sub>s</sub>=تعداد بیتها در هر قطاع

زمان متوسط  $T_a$  که برای خواندن یک قطاع لازم است چقدر میباشد؟

حل)

در هر دور چرخش که  $\frac{1}{R}$  ثانیه طول میکشد،  $N_t$  بیت خوانده می شود. در نتیجه زمان کل خواندن یک قطاع بصورت زیر خواهدبود.



فصل دوازدهم / تشكيلات حافظه

تعداد شیارها : 
$$N = \frac{N_s}{N_t}$$
 
$$T_a = N(TS + \frac{1}{R}) = \frac{N_s}{N_t}.(TS + \frac{1}{R})$$

۸-۱۲ سرعت انتقال یک نوار مغناطیسی هشت شیاره که سرعتش ۱۲۰ اینچ در ثانیه و تراکم آن ۱۲۰۸ بیت در اینچ است چقدر میباشد.

حل)

تراکم کل نوار برابر با تعداد شیارها ضربدر تراکم هر شیار میباشد. و چون با سرعت ۱۲۰ اینچ در ثانیه حرکت میکند، در نتیجه داریم: ۱۲۰۰×۸×۱۲۰=سرعت انتقال

(-9) تابع متمم منطق انطباق یک کلمه را در حافظه تداعیگر بدست آورید. به بیان دیگر، نشان دهید که  $M'_i$  مجموع توابع M انحصاری است. نمودار منطقی را برای  $M'_i$  رسم نموده و با یک معکوس کننده آنرا پایان دهید تا  $M_i$  بدست آید.

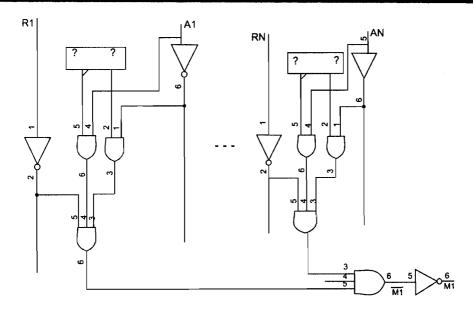
حل)

$$Mi = \prod_{j=1}^{n} (AjFij + Ai'Fij' + kj')$$

$$Mi' = \left[\prod_{j=1}^{n} (AjFij + Aj'Fij' + kj')\right]' = \sum_{j=1}^{n} (Aj' + Fij').(Aj + Fij).kj$$

$$= \sum_{j=1}^{n} (Aj'Fij + AjFij').kj$$

مدار منطقی 'Mi بصورت شکل زیر میباشد.



۱۱-۱۲) تابع بول منطق انطباق یک کلمه را در حافظه تداعیگر با در نظر گرفتن یک بیت نشانه که مشخص کند کلمه فعال است یا غیرفعال، بدست آورید.

حل)

بیت S را بعنوان نشانه برای مشخص نمودن فعال یا غیرفعال بودن کلمه حافظه معرفی می کنیم. بدین ترتیب که هرگاه این بیت صفر باشد به معنی غیرفعال بودن کلمهٔ مورد نظر بوده و از عمل انطباق کلمه صرفنظر می شود. در این صورت باید بیت انطباق آن کلمه غیرفعال گردد. پس در مدار منطقی پس از عمل انطباق نتیجه با بیت S بطور منطقی S بطور منطقی به با بیت S بطور منطقی و نتیجه با بیت S بطور منطقی به با بیت S بطور منطقی و نتیجه با بیت S بین نتیجه با بیت S بطور منطقی و نتیجه با بیت S به بیت S بیت و نتیجه با بیت S بین نتیجه با بیت S بد با بیت S با بیت S به بیت و نتیجه با بیت S بین نتیجه با بیت و ن

$$Mi = \begin{bmatrix} n \\ \prod_{j=1}^{n} (AjFij + Aj'Fij' + kj') \end{bmatrix} S$$

۱۱-۱۲) چه مدار منطقی اضافی لازم است تا نتیجهٔ عدم تطابق را برای یک کلمه در حافظه تداعیگر وقتی که همه بیتهای کلید صفر است مشخص کند.

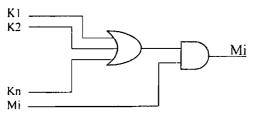
حل)



#### فصل دوازدهم / تشكيلات حافظه

در حالتی که کلیه بیتهای ثبات کلید صفر باشند، خروجی  $M_i$  فعال شده و به مفهوم انطباق خواهدبود در صورتیکه اصلاً مقایسهای صورت نگرفته است، برای غیرفعال نمودن  $M_i$  در این حالت مدار و منطق انطباق را بصورت زیر در نظر می گیریم:

$$Mi = \sum_{j=1}^{n} kj' \cdot \prod_{j=1}^{n} (AjKij + Aj'Fij' + K'j)$$



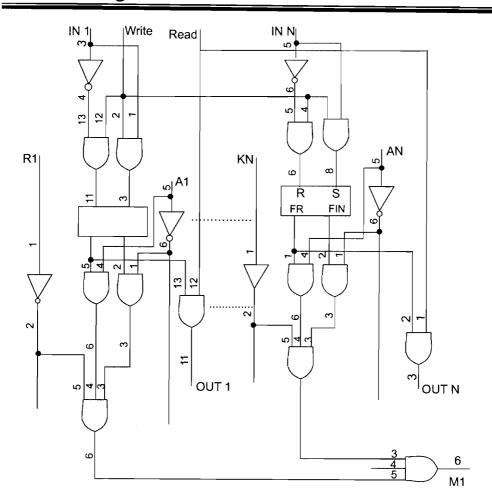
۱۲-۱۲)الف) دیاگرام منطقی تمام سلولهای یک کلمه در حافظه تداعیگر را رسم کنید. منطق خواندن و نوشتن شکل ۸-۱۲ و منطق انطباق شکل ۹-۱۲ را نیز اضافه کنید.

ب) دیاگرام منطقی تمام سلولهای عمودی یک ستون (ستون آل) را در حافظه تداعیگر رسم کنید. یک خط خروجی مشترک را برای همه بیتهایی که در یک ستون قرار دارند اضافه کنید.

ج) با استفاده از دیاگرامهای (الف) و  $(\psi)$  نشان دهید که اگر خروجی  $M_i$  به خط خواندن همان کلمه وصل شود، کلمه منطبق به خارج خوانده خواهدشد، مشروط بر اینکه فقط یک کلمه با آرگومان یوشانده شده مطابقت داشته باشد.

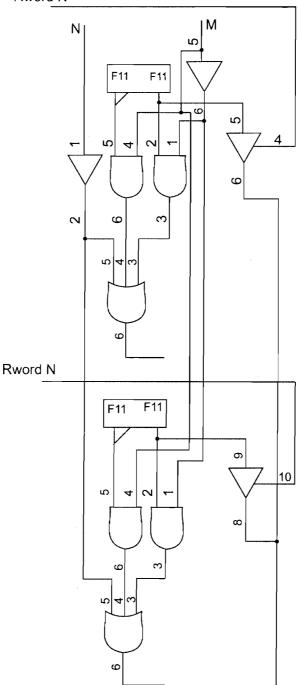
حل)







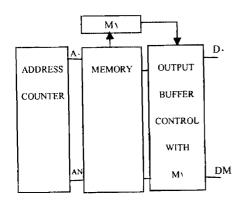
Rword N





۱۲-۱۳) با استفاده از نمودار بلوکی شرح دهید چگونه می توان کلمات منطبق متعدد را از حافظه تداعیگر به خارج خواند.

#### حل)



چون کلمات حافظه دارای آدرس می باشد. لذا از آدرس صفر یا همان کلمهٔ اول شروع به خواندن کلمات می کنیم و نتیجه را تنها در صورتی به خارج ارسال می کنیم که بیت  $M_i$  مربوط به آن خانه یک باشد و در غیر این صورت کلمهای را به خارج ارسال نمی کنیم.

با توجه به نمودار فوق یک شمارنده آدرسهای حافظهٔ تداعیگر را خوانده و تنها کلماتی که بیت  $M_i$  مربوط به آن یک باشد توسط بافر به خروجی انتقال می بابد. و بترتیب به خارج ارسال می شوند.

۱۳-۱۲) منطق یک سلول و نیز یک کلمه کامل را برای یک حافظه تداعیگر، همراه با یک نشانگری برای مواقعی که آرگومان پوشش نیافته بزرگتر از (اما نه مساوی با) کلمه موجود در حافظه تداعیگر باشد، بدست آورید.

حل)

در صورت برابر نبودن کلمهٔ موجود در حافظهٔ تداعیگر با آرگومان، بیت  $M_i$  برابر ویرگول میباشد خواهدبود. یک بیت نشانگر بزرگ بودن آرگومان از کلمهٔ موجود در حافظهٔ تداعیگر است. (بیت P) حال منطق بیت G را که نشان دهندهٔ تنها بزرگ بودن است بصورت زیر بدست خواهیمآورد.

$$G = P.Mi' = P. \bigoplus_{i=1}^{n} (AjFij + Aj'Fij' + kj')'$$

۱۵-۱۲) یک حافظه کش تداعیگر دوتایی از بلاکهای چهار کلمهای استفاده می کند. حافظه کش می تواند مجموعاً ۲۰٤۸ کلمه از حافظه اصلی را در خود جای دهد. اندازه حافظه اصلی ۱۲۸۴×۳۲ است.

الف) همه اطلاعات لازم برای ساختن این حافظه کش را معین کنید.



# فصل دوازدهم / تشكيلات حافظه

### ب) اندازه حافظه کش چقدر است؟

حل)

اندازهٔ حافظهٔ اصلی برابر با ۲۲۸k×۳۲ میباشد و چون حافظهٔ نهان ۲۰۶۸ کلمه را میتواند در خود نگهدارد، لذا حافظه اصلی ٦٤ برابر حافظه نهان بوده و ٦ بیت نشانه خواهیمداشت.

برای حافظه نهان هم که در مجموعههای دوتایی و بلوکهای چهار کلمهای قرار گرفتهاند سازمان حافظه به شکل زیر خواهدبود.

Ī	شاخص	نشانه	داده	نشانه	داده
بلوک ۰	٠	•	•	•	•
		•	•	•	•
ا بلوک ۲۵۵	•	,	•	•	•
J.					

ص	يشاخ		
أدرس	كلمه	نشانه	داده
۸ بیت	۲ بیت	۳ بیت	۳۲ بیت
نهان	س حافظه	حمه و آدر.	قالب كا

با توجه به سازمان فوق ظرفیت حافظهٔ نهان برابر است با ۲k×۳۸=۲k با توجه به سازمان فوق ظرفیت حافظهٔ نهان برابر است با

۱۱-۱۲) زمان دستیابی یک حافظه کش ۱۰۰<sub>ns</sub> و حافظه اصلی ۱۰۰<sub>ns</sub> است. پیش بینی می شود ۸۰ درصد تقاضاهای حافظه برای خواندن و ۲۰ درصد بقیه برای نوشتن باشند. نسبت برد برای دستیابی های خواندن فقط ۹. است. از رویه کامل نویسی استفاده می شود.

الف) زمان دستیابی متوسط سیستم فقط با در نظر گرفتن سیکل خواندن چقدر است؟

ب) زمان دستیابی متوسط سیستم برای تقاضای خواندن و نوشتن چقدر است؟

ج) نسبت برد با در نظر گرفتن سیکلهای نوشتن چقدر است؟

حل)

برای این سیستم میانگین زمان خواندن از حافظه برابر است: ۱۹۰ns=۱۹۰ns×۱۰۰ns+۰.۱×۱۰۰ns+۰.×۹۰۰ و میانگین زمان برای خواندن و نوشتن برابر است با: ۳۵۲ ۳۵۲=۲۰۰۰×۲۰۰+۱۹۰۰×۸۰

در رویهٔ کامل نویسی نرخ برد عمل نوشتن صفر است در نتیجه داریم:



$$\frac{\text{NYY}}{\text{VY}} = \frac{\text{NYY} + \text{NYY}}{\text{VY}} = \text{VY}$$

۱۱-۱۷) یک مجموعه حافظه کش تداعیگر چهارتایی در هر مجموعه چهار کلمه دارد. رویه جایگزینی مبتنی بر الگوریتم قدیمی ترین مورد استفاده (LRU) با شمارندههای دو بیتی متناظر با هر یک از کلمات مجموعه پیاده سازی می شود. بنابراین مقداری در محدوده ، تا ۳ برای هر کلمه ثبت می شود. وقتی بردی رخ دهد، شمارنده متناظر با کلمه مورد ارجاع ، می گردد. شمارنده هایی که مقادیر قبلی آنها کمتر از مقدار شمارنده مورد ارجاع است ۱ واحد افزایش می یابند و بقیه تغییر نمی کنند. اگر باخت رخ دهد، کلمه ای که مقدار شمارنده آن ۳ است حذف می شود، کلمه جدید در محل آن قرار داده می شود، و شمارنده آن ، می گردد. سه شمارنده دیگر ۱ واحد افزایش می یابند. نشان دهید که این رویه برای دنباله ارجاعات زیر درست عمل می کنند: A و D به که در آنها A قدیمی ترین مورد استفاده است).

#### حل:

ارجاعات کلمات	A	В	С	D	В	Е	D	A	С	Е	С	Е
A(r)	•	١	۲	٣	٣		١	۲	٣	•	١	
B(7)	٣	•	١	۲	•	١	۲	٣	•	١	,	١
C(1)	۲	٣	•	١	7	٣	٣	•	1	۲	7	۲
$D(\cdot)$	١	۲	٣	•	١	۲	•	١	7	٣	٣	٣

۱۸-۱۷) یک کامپیوتر دیجیتال دارای واحد حافظه ۱۰×٪۱۶ و یک حافظه کش ۱K کلمهای است. حافظه کش از نگاشت مستقیم با اندازهٔ بلوک چهارکلمه استفاده می کند.

الف) در میداننشانه، شاخص (اندیس)، بلوک، و کلمه قالب آدرس چند بیت وجود دارد؟ ب) در هر کلمه کش چند بیت وجود دارد، و آنها چگونه به بخشهای مختلف کاری تقسیم شده اند یک بیت اعتبار نیز تخصیص دهید.

ج) حافظه کش چند بلوک را در خود جای می دهد.



### فصل دوازدهم / تشكيلات حافظه

حل)

حافظهٔ اصلی ٦٤ برابر حافظهٔ نهان بوده و ٦ بیت نشانه خواهدداشت. همچنین حافظهٔ نهان از بلوکهای چهارکلمهای استفاده نموده که ۲ بیت کلمه موردنیاز خواهدبود. کل کلمات حافظه نهان ۱k بوده لذا ۲۵۲ بلوک کلمه خواهیمداشت که برای آدرسدهی آنها ۸ بیت آدرس بکار میبریم.

داده نيز ١٦ بيتي بوده و قالب كلمهٔ حافظهٔ نهان بصورت زير ميباشد.

قالب كلمه در حافظه نهان ۲۲ بيت بوده و قالب آدرس ۱۰ بيتي خواهدبود.

بلوك	كلمه		نشانه	داده
٨			٦	\7
بيت	۱ بیت		بيت	۱۱بیت
	شاخ	'	كلمه	قالب ك

ب) قالب کلمهٔ حافظه نهان ۱٦ بیت داده و ٦ بیت نشانه میباشد که با در نظـر گـرفتن یـک بیـت اعتبار برابر ۲۳ بیت خواهدبود. و ٦ بیت نشانه آدرس کلمه در حافظهٔ اصلی را نشان خواهد داد.

ج) همانطور که در بند الف گفتهشد برابر ۲۵٦ بلوک خواهدبود.

۱۹-۱۲) یک فضای آدرس با ۲۶ بیت و فضای حافظه متناظر آن با ۱۹ بیت مشخص می شود.

الف) چند کلمه در فضای آدرس وجود دارد. ب) چند کلمه در فضای حافظه وجود دارد.

ج) اگر یک صفحه از ۲k کلمه ساخته شده باشد، چند صفحه و بلوک در سیستم وجود دارد.

الف) چون فضای آدرس با استفاده از ۲۶ بیت آدرسدهی میشود لذا فضای ۲<sup>۲۴</sup> کلمه را میتواند آدرسدهی نماید. که برابر با ۱٦M کلمه میباشد.

ب) برابر با ۲<sup>۱۲</sup> که ۲۶k کلمه می شود.

$$\frac{Y^{17}}{Y^{11}} = Y^0 = T$$
 و تعداد بلوکها  $Y^0 = Y^{17} = Y^{17}$  و تعداد صفحات برابر است با

۲۰-۱۲) یک حافظه مجازی دارای صفحات ۱k کلمهای است. در این حافظه هشت صفحه و چهار بلوک وجود دارد. جدول صفحات حافظه تداعیگر حاوی دادههای زیر است:

لیستی از آدرسهای مجازی (به دهدهی) تهیه کنید که در صورت استفاده CPU از آن موجب فقدان صفحه می شوند.

صفحه	بلوک
•	٣
١	1
٤	4
٦	•

حل) با توجه به جدول صفحات حافظهٔ تداعیگر صفحات ۱، ۱، ۶ و ۲ در حافظهٔ اصلی قرار گرفتهاند پس بلوکهای ۲، ۳، ۵، ۷ در حافظه اصلی قرار نداشته و در صورت ارجاع فقدان این صفحات خواهدبود پس آدرسهایی که بلوکهای فوق را نشان میدهند دارای فقدان صفحه میباشند.

با توجه به جدول روبرو آدرسهای زیر در حافظهٔ اصلی دارای فقدان صفحه هستند.

صفحه •	• • • •	
صفحة ١		Pager: · A·· - · BFF
صفحة ٢	٠٨٠٠	Pager: ·C·· - ·FFF
صفحة ٣	$\cdot C \cdots$	Pageo: 12 1VFF
صفحة ٤	1	Pagev: $1C \cdot \cdot - 1FFF$
صفحهٔ ٥	12	
صفحة ٦	١٨٠٠	
صفحة ٧	١C٠٠	

۲۱-۱۲) یک سیستم حافظه مجازی دارای فضای آدرس ۸k کلمه، یک فضای حافظه ٤k کلمه، و صفحات و بلوکهای ۱k کلمه است (شکل ۱۸-۱۲). تغییرات ارجاع صفحه زیر در طول یک فاصله زمانی معین رخ می دهد. (فقط تغییرات صفحات نوشته شده است. اگر یک صفحه مجدداً مورد ارجاع قرار گرفته باشد دوبار نوشته شده است.)

# £ 7 · 1 7 7 1 £ · 1 · 7 ° 0 V

چهار صفحه مقیم در حافظه اصلی را پس از هر تغییر ارجاع صفحات تعیین کنید بشرطی که الگوریتم جایگزینی مورد استفاده الف) FIFO، باشد.

حل) بلوکهای اشاره شده هر بار مورد ارجاع قرار میگیرند و با توجه به دو الگوریتم FIFO و FRU و LRU داریم:



### فصل دوازدهم / تشكيلات حافظه

### الف) در الگوريتم FIFO

ارجاع بلوک	٤	۲	•	١	۲	٦	١	٤	٠	١	•	۲	٣	٥	٧
•	٤	٤	٤	٤	٤	٦	٦	٦	٦	7	7	7	7	٥	٥
\		۲	۲	۲	۲	۲	۲	٤	٤	٤	٤	٤	٤	٤	٧
7	_	-		•	•	•	•	•	•	•	•	۲	۲	۲	۲
٣	-	-	_	١	١	١	١	١	١	١	١	١	٣	٣	٣

### ب) در الگوريتم LRU

ارجاع بلوک	٤	۲	•	١	۲	٦	١	٤	•	١	•	۲	٣	٥	٧
•	٤	٤	٤	٤	٤	٦	٦	٦	7	٦	7	۲	۲	۲	۲
١	-	۲	۲	۲	۲	۲	۲	۲	•	•	•	•	•	•	٧
۲	-	_		•	•	•	•	٤	٤	٤	٤	٤	٣	٣	٣
٣	-	-	-	١	١	١	١	١	١	١	١	١	٣	٥	٥

۲۱-۱۲) دو آدرس منطقی را از شکل ۲۲-۱۲ (الف) که سبب دستیابی به حافظه فیزیکی در آدرس فیزیکی شانزدهی ۱۲AF می گردد معین کنید.

حل)

آدرسهای زیر:

#### $\neg \cdot \cdot AF, F \cdot \cdot AF$

۲۲-۱۲) فضای آدرس منطقی در یک سیستم کامپیوتری متشکل از ۱۲۸ قطعه است. هر قطعه می تواند تا ۴۲ صفحه ٤k کلمهای داشته باشد. حافظه فیزیکی از ٤k بلوک ٤k کلمهای تشکیل شده است. قالب آدرسهای فیزیکی و منطقی را تنظیم کنید.

حل)



	بلوک	كلمه		قطعه	صفحه	كلمه
	۱۲ بیت	۱۲ بیت		۷ بیت	ه بیت	۱۲ بیت
_	<u>ں</u> فیزیکی	قالب آدرس	•		نالب آدرسمنطقی	,

۲۱-۲۲)معادل دودویی آدرس منطقی تنظیم شده در مسئله ۲۳-۱۲ را برای قطعه ۳۱ و کلمه ۲۰۰۰ در صفحه ۱۵ بنویسید.

حل)

.11	•1111	.11111.1				
۷ بیت قطعه	٥ بيت صفحه	۱۲ بیت کلمه				

فصل سيزدهم / مالتي پروسسورها يا چندپردازندهها

# مسائل فصل سيزدهم : مالتي پروسسورها يا چند پردازندهها

۱-۱۳) چه فرقی بین تـشکیلات سـختافـزاری و نـرمافـزاری سیـستمهـای مـالتی پروسـسور "ارتباطمحکم"! و "ارتباط سست"! وجود دارد؟

حل)

در سیستمهای مالتی پروسسور ارتباط محکم تمام پروسسورها، به یک حافظه مشترک سیستم، دسترسی دارند. ولی در سیستمهای مالتی پروسسوری ارتباط سست، حافظه بین پروسسورهای مختلف توزیعشده یعنی هر پروسسور حافظه مربوط به خود را دارا می باشد و یک سیستم، برای انتقال پیام بین پروسسورها لازم می باشد.

برنامهنویسی برای سیستمهای با حافظه مشترک آسان است، چون مراحل خاصی برای دسترسی دو یا چند پروسسور به اطلاعات مشترک نیاز نیست. برعکس در سیستمهایی با حافظه توزیعشده، برنامهنویسی مشکل تر است و به سیستمی نیاز دارد، که اطلاعات مشترک بین پروسسورها را تعیین و از طریق ارسال پیام عمل نمایید. علاوه بر موارد فوق، سیستم با حافظه توزیعشده، موقعی استفاده می شود که تبادل اطلاعات بین پروسسورها، کم باشد، در غیر این صورت، از سیستم حافظه مشترک استفاده می شود.

(7-17) سیستم کنترل کننده باس شکل (7-17) به چه منظوری استفاده می شود. چطور می توان سیستمی طراحی کرد که فرق مراجعه به حافظه محلی و مراجعه به حافظه مشترک را، تشخیص دهد؟

حل)

سیستم کنترلباس، برای کنترل باس و تعیین اولویت لازم، برای ارتباط باس محلی واحدها، با باس سیستم وارد داده شده است.



<sup>&#</sup>x27;.Tightly Coupled

<sup>&</sup>lt;sup>\*</sup>.Loosely Coupled

<sup>&#</sup>x27;Local Bus

i.System Bus

برای مراجعه به حافظه ها از آدرس آنها استفاده می شود و چون آدرس حافظه مشترک و آدرس حافظه محلی، با آدرسهای حافظه محلی متفاوت می باشد، به این ترتیب دسترسی به حافظه مشترک و حافظه محلی، با آدرسهای خاص آنها امکان پذیر می باشد و به این ترتیب این حافظه ها قابل تشخیص هستند.

۳-۱۳) برای اتصال P پروسسور به m واحد حافظه، به چند سوئیچ، در سیستم شبکه سوئیچ متقاطع نیاز است؟

حل)

مطابق شكل (۱۳-٤) تعداد  $P \times m$  سوئيچ لازم است.

۱۳–٤) شبکه سوئیچینگ  $\wedge \times \wedge$  امگا شکل (۱۳–۸) دارای سه طبقه و چهار سوئیچ در هر طبقه است که جمعاً ۱۲ سوئیچ می شود. در یک شبکه سوئیچینگ امگا  $n \times m$  (n منبع و n مقصد) چند طبقه و چند سوئیچ در هر طبقه موردنیاز می باشد؟

حل)

در شبکه سوئیچینگ اُمگا  $n \times m$  مشابه شکل (n-1)، تعداد  $\log_{\tau} m$  طبقه و n/7 سوئیچ در هر طبقه لازم است. به عنوان مثال در شبکه سوئیچینگ اُمگا  $n \times n$  شکل (2-1) تعداد  $\log_{\tau} n \times n$  طبقه و  $\log_{\tau} n \times n$  سوئیچ، در هر طبقه لازم است.

-0) فرض کنیم سیم رابط بین سوئیچی که سطر اول و ستون دوم شبکه سوئیچینگ شکل -0) است و سوئیچینگ شکل مذکور است، قطع شدهباشد. در این صورت چه مسیری قطع شده است؟

حل)

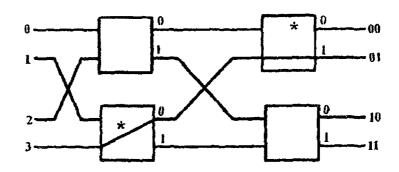
با توجه به شبکه سوئیچینگ شکل (۱۳-۸)، ارتباط ورودیهای ۰، ۵، ۲ و ۲ با خروجیهای ۲ و ۳ قطع شدهاست.

۱۳-۱۳) ساختار یک شبکه سوئیچینگ اُمگا ٤×٤ ر، رسم کنید. برای ارتباط ورودی ۳ با خروجی ۱، چه سوئیچهایی باید بسته شود؟

حل)

ساختار شبكه سوئيچينگ أمگا ٤×٤ مطابق شكل زير مىباشد:





برای ارتباط ورودی ۳ با خروجی ۱، سوئیچهایی که با علامت \* مشخص شدهاند، باید به صورت نشان دادهشده بسته شوند.

۱۳-۷)برای اتصال بین شبکه چندطبقه، سه نوع سوئیچ به کار برده می شود. سوئیچ تبادلی (I) که دارای دو ورودی و دو خروجی است (شکل (۱۳-۱۳)). سوئیچ حکمیت و داوری که دارای دو ورودی و یک خروجی می باشد و سوئیچ توزیع (D) که دارای یک ورودی و دو خروجی است.

الف) سوئیچ حکمیت و سوئیچ توزیع چگونه کار میکنند؟

ب) با به کار بردن سوئیچهای تبادلی (I) و حکمیت (A)، یک شبکه  $3 \times \Lambda$  بسازید که ارتباط بین هر منبع و هر مقصد را، فقط با یک مسیر متصل سازد.

ج) با به کار بردن سوئیچهای تبادلی (I) و سوئیچتوزیع (D)، شبکه  $^{\times 3}$  بسازید که ارتباط بین هر منبع و هر مقصد را فقط با یک مسیر برقرار سازد.

حل)

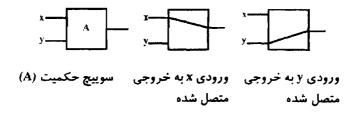


<sup>`.</sup>Interchange(I)

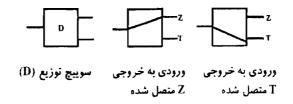
<sup>&</sup>lt;sup>\(\text{\chi}\)</sup>. Arbitration (A)

<sup>&</sup>lt;sup>r</sup>.Distribution (D)

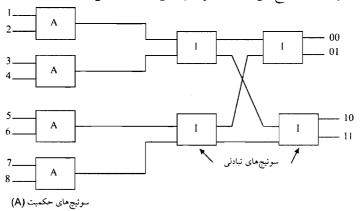
الف) سوئیچ حکمیت (A) با توجه به اولویت سیستم، یکی از ورودی های X یا Y را، به خروجی خود متصل می کند (شکل زیر).



• سوییچ توزیع (D)، دارای یک ورودی و دو خروجی است، که با توجه به فرمان دریافتی،
 ورودی را، به خروجی ۲ یا T متصل می کند (شکل زیر)



ب) شبکه مذکور با چهار سوئیچ حکمیت (A) و چهار سوئیچ تبادلی (I) مطابق شکل زیرمیباشد، که هر ورودی منبع می تواند به هر خروجی مقصد متصل شود.



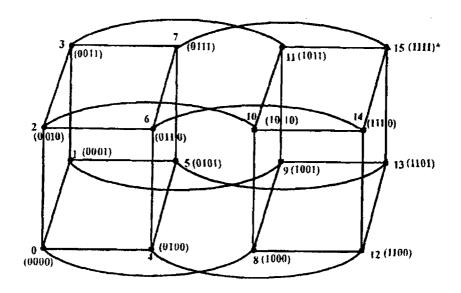
ج) شبکه مذکور با چهار سوئیچ تبادلی (I) و چهار سوئیچ توزیع (D) مطابق شکل ذیل است، که هر ورودی منبع می تواند به هر خروجی مقصد متصل شود.

فصل سیزدهم / مالتی پروسسورها یا چندپردازندهها

۷ -۱۳ ساختار یک شبکه فوق مکعبی چهار بعدی را رسم کنید. لیست مسیرهایی که بین گره  $(\Lambda-1)$  و  $(\Lambda-1)$  و  $(\Lambda-1)$  عبوری وجود دارد را، تعیین نمایید.

حل)

ساختار شبكه فوق مكعبى، چهار بعدى مطابق شكل زير است:



در شکل فوق در هر گوشه یا گره مکعب، یک پروسسور قـرار دارد کـه آدرس آنهـا از ۰ تـا ۱۵ میباشد.

لیست مسیرهایی که بین پروسسور ۷ و ۹ هستند به قرار زیر است:<sup>\*</sup>

'Hypercube

<sup>\*</sup> هر آدرس با آدرس مجاور خود فقط در یک بیت اختلاف دارد.

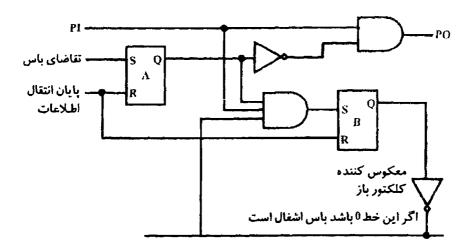


V-10-17-9	مسيرهاي
P-11-01-Y	يا:
V-T-11-9	يا:
V-r-1-9	یا:
V-0-17-9	يا:
V-0-1-9	يا:

۹-۱۳) دیاگرام منطقی یک طبقه حکمیت باس را، با استفاده از دو گیت و فلیپفلاپ، در سیستم حکمیت باس زنجیرهای شکل (۱۳-۱۰) رسم کنید.

حل)

دیاگرام منطقی یک طبقه حکیمت باس، در سیستم باس زنجیرهای مطابق زیر میباشد:



در مدار مذکور، در صورتی که PI=1 باشد و سیگنال "تقاضای باس" فعال شود، در این صورت خروجی Q فلیپفلاپ Q برابر ۱ و در نتیجه Q فلیپفلاپ Q نیز مساوی ۱ می شود، در نتیجه خروجی Q فلیپفلاپ Q نیز مساوی ۱ می گردد، که باعث می شود خروجی معکوس کننده کلکتورباز، مساوی ۰ شود، که نشانه اشغال بودن باس می باشد.

در پایان عملیات انتقال اطلاعات، ورودی R فلیپفلاپ A فعال می شود، در نتیجه خروجی Q آن PI=1، مقدار PI=1، مقدار PI=1، مقدار PI=1 مثر PI=1 مقدار PI=1 مقدار PI=1 مقدار PI=1 مقدار PI=1 مقدار PI=1 مقدار PI=1 مقدار PI=1 مقدار PI=1 مقدار PI=1 مثر PI=1 مقدار PI=1 مقدار PI=1 مقدار PI=1 مقدار PI=1 مثدار PI=1



### فصل سیزدهم / مالتی پروسسورها یا چند پردازندهها

بر این خروجی فلیپفلاپ B نیز ۰ میشود که در نتیجه خروجی معکوسکننده کلکتور باز، مساوی ۱ میگردد که نشانه آزاد بودن باس میباشد.

۱۰-۱۳)باسی که توسط مدار منطقی حکمیت موزای شکل (۱۳-۱۱) کنترل می شود، در ابتدا در حالت انتظار است. دستگاههای شماره ۲ و شماره ۳ در یک لحظه تقاضای باس می نمایند. مقدار باینری ورودی و خروجی انکُدر و دیکُدر را تعیین و مشخص کنید، کدام دستگاه، باس را در اختیار می گیرد؟

حل)

انگدر اولویت مدار شکل (۱۳–۱۱) دارای چهار ورودی  $I.I_1I_7I_7$  است که I. ورودی بالاترین اولویت و  $I_7$  ورودی پایین ترین اولویت میباشد. ورودی های انگدر مذکور به صورت زیر به مدار حکمیت باس متصل شده اند:

شماره حکمیتکنندهباس ۲۳۶ ورودی انگدر I.I<sub>1</sub>I<sub>7</sub>I<sub>7</sub>

در صورتی که دستگاههای شماره ۲ و ۳ با هم تقاضای باس کنند. در ایس صورت ورودیهای اولویت  $I.=I_r=I_r=I_1=I_r=I_r=I_r=I_r=I_r=I_r=I_r$  میشوند، ولی انگذر اولویت، کد باینری نظیر ورودی  $I_1$  یعنی ۱۰ را که مربوط به دستگاه شماره ۲ است، در خروجی خود تولید می کند ( $I_1$  اولویت بیشتری نسبت به  $I_1$  دارد). خروجی انگذر اولویت، به ورودی دیکدر متصل شده، لذا در ورودی دیکدر شکل مذکور ۱۰ قرار می گیرد، در نتیجه در خروجی دیگدر، کد نظیر ۱۰۰۰ که سیگنال تصدیق (Ack) دستگاههای حکمیت  $I_1$  شده ( $I_1$ ) دستگاه حکمیت شماره ۲ فعال شده ( $I_1$ ) و باس را در اختیار می گیرد.



<sup>\.</sup>Priority Encoder

<sup>&#</sup>x27;.Decoder

<sup>&#</sup>x27;.Acknowledge (Ack)

۱۱-۱۳) چطور می توان مدار منطقی حکمیت شکل (۱۳-۱۰) را، تغییر داد به طوری که امکانات حکمیت زنجیرهای حلقه را، ایجاد کند. توضیح دهید موقعی که خط باس غیرفعال شود، اولویت چگونه مشخص می گردد؟

حل)

همانطور که در متن کتاب توضیح داده شده، اگر خروجی PO حکمیتکننده ک را، به ورودی PI حکمیتکننده ۱، متصل کنیم، حکمیت زنجیره ای حلقه ای ایجاد می شود. از طرفی وقتی باس آزاد شود، دستگاه حکمیتکننده ای که باس را آزاد کرده، کمترین اولویت را خواهدداشت.

۱۲-۱۳) در به هم بندی اباس، دو پروسسور، از طریق بافری که در حافظه مشترک وجود دارد، با هم تبادل اطلاعات می کنند. موقعی که یک پروسسور می خواهد با پروسسور دیگر ارتباط برقرار کند، اطلاعات را در بافر حافظه قرار می دهد و پرچمی را فعال می کند. پروسسور دیگر به طور تناوبی، پرچمها را بررسی می کند، که ببیند آیا اطلاعاتی برای دریافت وجود دارد یا نه ؟ برای سنکرون کردن آنها و داشتن حداقل زمان ارسال و دریافت اطلاعات، چه باید کرد ؟

حل)

همانطور که در متن کتاب توضیح داده شده، برای ارتباط پروسسوری با پروسسور دیگر، قسمتی از حافظه مشترک در اختیار پروسسورها قرار می گیرد و به عنوان یک مرکز پیامرسانی عمل می کند. برای سنکرون کردن پروسسورها و بالا بردن سرعت انتقال اطلاعات بین آنها، یک راه این است که، یک پروسسور از طریق وقفه آ با پروسسور دیگر ارتباط برقرار کند، در این حالت وارسی کردن پرچمها به صورت تناوبی لازم نیست و زمان تلف نمی شود.

۱۳-۱۳) اصطلاحات ذیل را در رابطه با سیستمهای چندپردازندهای توضیح دهید:

الف) جداسازی متقابل " بخش بحرانی نقل سختافزاری " ج



<sup>`.</sup>Topology

<sup>&#</sup>x27;.Interrput

<sup>&</sup>quot;.Mutual Exclusion

<sup>1.</sup>Critical Section

# <u>فصل</u> سیزدهم / مال*تی*پروسسورها یا چندپرداز

# هــ) دستورالعمل آزمون و فعالکردن $^{ extsf{Y}}$

د) سمافور <sup>۱</sup>

الف) در سیستمهای چندپردازندهای، جداسازی متقابل، یعنی پروسسورها، به تمام منابعی که به آنها تخصيص دادهشدهاند، كنترل كامل دارند.

- ب) بخش بحرانی، قسمتی از برنامهای است که، باید بدون ایجاد وقفه توسط پروسسورهای دیگر، به طور كامل اجرا شود.
- ج) قفل سختافزاری، یک سیگنال سختافزاری است که باعث میشود ، به دنبال خواندن از حافظه، نوشتن در آن نیز بدون ایجاد وقفه، توسط پروسسورهای دیگر انجام شود.
- د) سمافور، یک متغیر است و نشان میدهد که یک پروسسور در حال اجرای بخش بحرانی برنامه است. هـ) دستورالعمل آزمون و فعال كردن، باعث مىشود، كه اطلاعات از حافظه خوانده، تغييرات لازم در آن انجام و دوباره در حافظه نوشته شود. بدیهی است در این مدت محتوای حافظه نمی تواند توسط پروسسور دیگری دسترسی یا تغییر یابد.
- ۱۷-۱۳) انسجام "حافظه نهان " چیست و چرا در سیستمهای چند پروسسوری با حافظه مشترک، این موضوع مهم است. چطور می توان مسأله را با کنترل کننده حافظه نهان حل نمود؟ (J-

انسجام حافظه نهان در یک سیستم مالتی پروسسوری، حالتی است که تمام حافظه های نهان، متغیرهای مشترک واحدی را در خود بنویسند. کنترلکننده حافظه نهان ٔ، یک سیستم نظارتی است که عملیات نوشتن در حافظههای نهان را تشخیص میدهد و کنترل میکند. مسأله انسجام با به روز در آوردن یا غیر معتبر کردن اطلاعات حافظههای نهان دیگر، انجام میپذیرد.\*\*

<sup>\*\*</sup> برای اطلاعات بیشتر به منابع ۱۱ و ۱۳ مراجعه شود.



<sup>\.</sup>Semaphore

Test and Set Instruction

<sup>\*</sup> انسجام یکیارچگی اطلاعات و دادههای داخل حافظه نهان است.

<sup>7.</sup> Cache Coherence

<sup>&</sup>lt;sup>1</sup>.Snoopy Cache Controller