



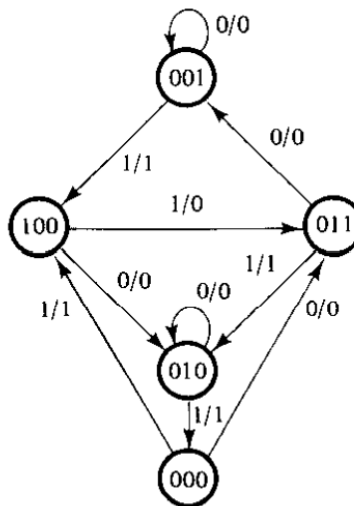
دانشگاه تهران

دانشکده ریاضی، آمار و علوم کامپیوتر

پاسخ آزمونک چهارم اصول سیستم های کامپیوتری

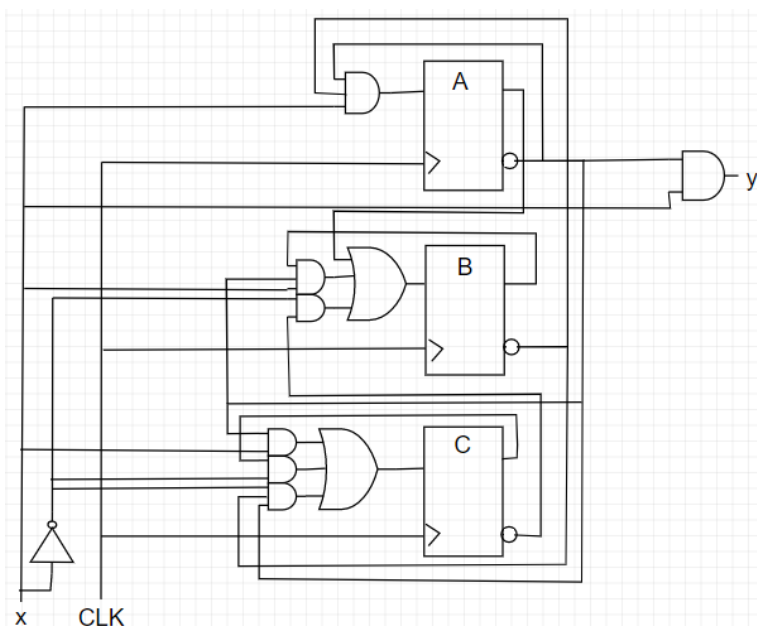
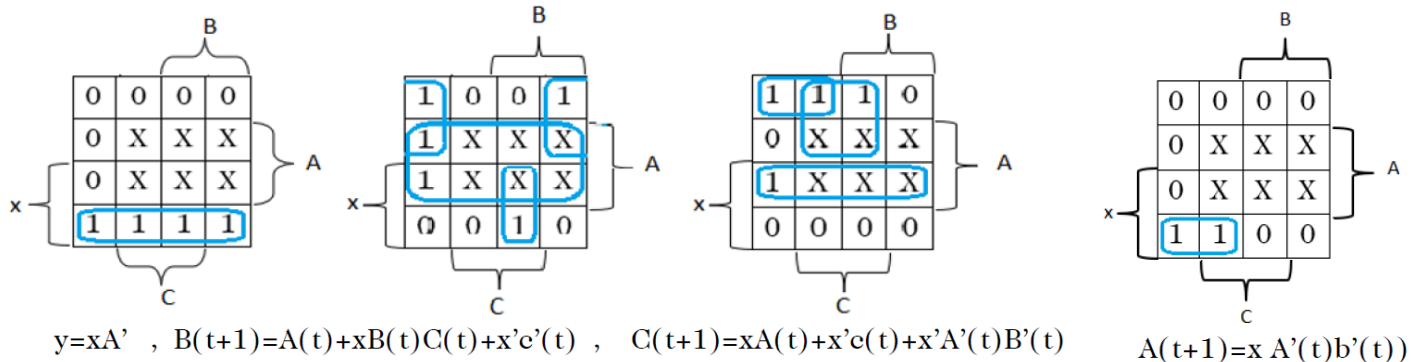
نیم سال دوم تحصیلی سال ۱۴۰۰-۱۴۰۱

مسئله ۱. یک مدار ترتیبی دارای ۳ فلیپ فلاپ  $D$  و یک ورودی  $x$  و یک خروجی  $y$  می باشد که  $state diagram$  آن به صورت زیر است. (حالت های استفاده نشده،  $don't care$  است). این مدار را طراحی کنید.



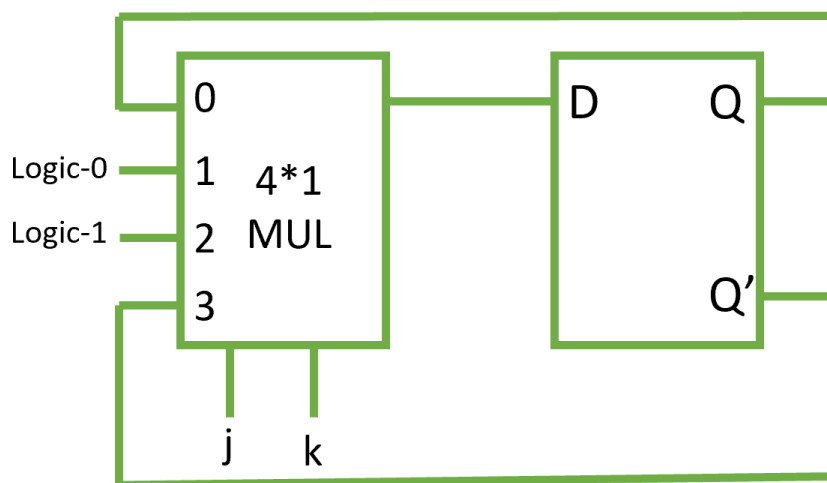
پاسخ ۱.

Present state				next state			
x	A	B	C	A	B	C	y
0	0	0	0	0	1	1	0
0	0	0	1	0	0	1	0
0	0	1	0	0	1	0	0
0	0	1	1	0	0	1	0
0	1	0	0	0	1	0	0
0	1	0	1	X	X	X	X
0	1	1	0	X	X	X	X
0	1	1	1	X	X	X	X
1	0	0	0	1	1	1	1
1	0	0	1	1	1	1	1
1	0	1	0	0	0	1	1
1	0	1	1	0	0	0	1
1	1	0	0	0	0	0	0
1	1	0	1	X	X	X	X
1	1	1	0	X	X	X	X
1	1	1	1	X	X	X	X



مسئله ۲. با استفاده از یک مالتی پلکسر و یک فلیپ فلاپ  $D$  و حداکثر یک گیت منطقی دیگر، یک فلیپ فلاپ  $jk$  بسازید.

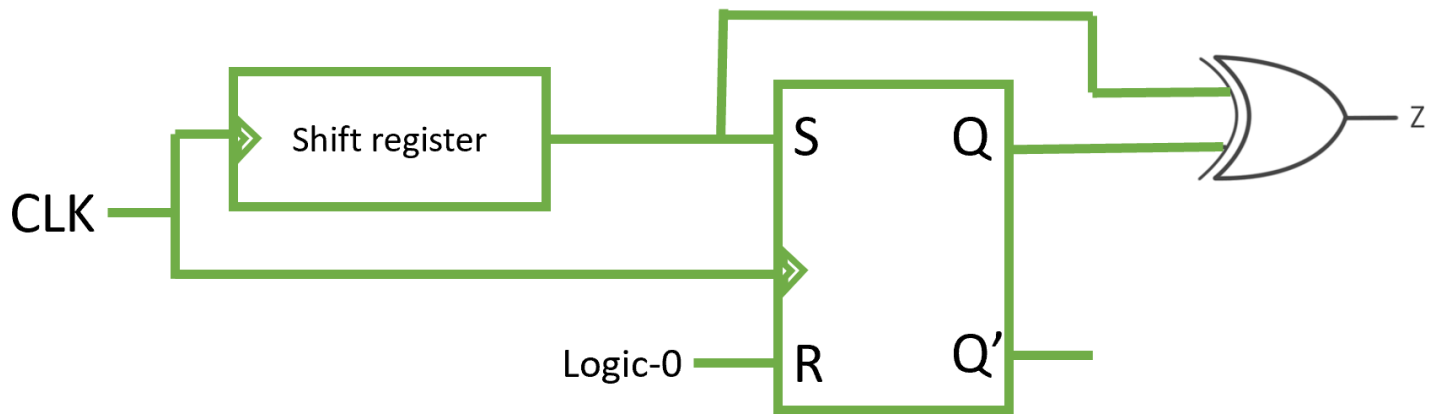
پاسخ ۲.



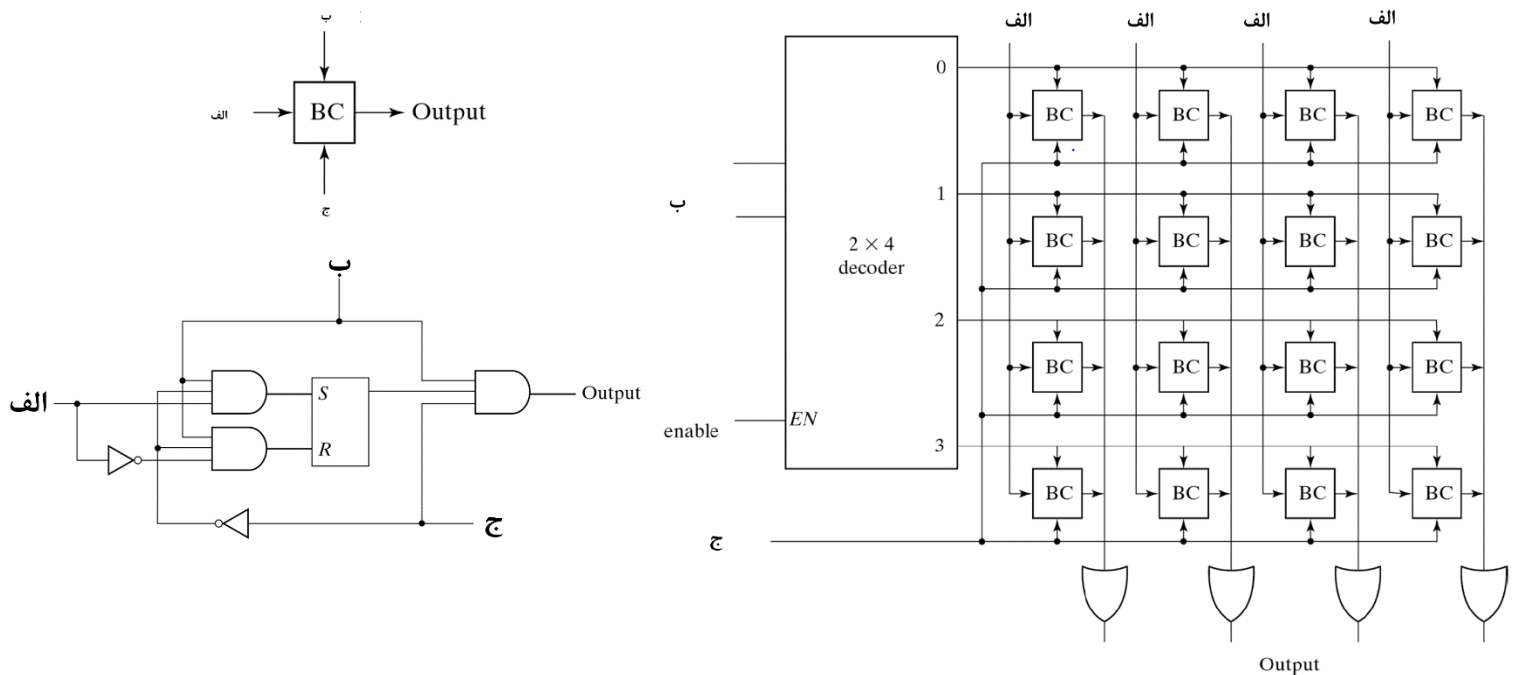
مسئله ۳. مداری طراحی کنید که دیتای موجود در یک شیفت رجیستر را به صورت  $2$ 's complement خروجی دهد. برای این مدار شما به این موارد نیاز دارید: ۱. یک شیفت رجیستر که عدد در آن ذخیره شده است و با هر پالس کلاک، یک بیت خروجی می‌دهد ۲. یک  $R - S$  فلیپ

فلاپ.(راهنمایی: برای تشخیص اولین بیت ۱ از سمت راست از این فلیپ فلاپ استفاده کنید) ۳. یک گیت  $XOR$  که درموردی بیت ورودی را کامپلیمنت کند و در مواردی آن را بدون تغییر بگذارد.

پاسخ ۳.



مسئله ۴. در شکل زیر یک  $RAM$  رسم شده است. به ترتیب هر کدام از بخش های الف و ب و ج چه وظیفه ای به عهده دارند؟ کامل توضیح دهید.



پاسخ ۴. الف دیتالاین را شامل می شود که دیتای ورودی در آن قرار میگیرد(در معماری کامپیوتر  $BUS$  به اینجا وصل می شود)

ب یک سلکتور برای کلمات است. دقت کنید که 4 کلمه 4 حرفی داریم و دیکودر 2 در 4 می تواند به طور کامل آنها را آدرس دهی کند.

بخش ج مربوط به خواندن یا نوشتن روی رم است. اگر ج برابر با 0 باشد عمل  $write$  و در غیر این صورت عمل  $read$  انجام خواهد شد.