

# دانشگاه تهران

## دانشکده ریاضی، آمار و علوم کامپیوتر

# نيم سال دوم تحصيلي سال ۱۴۰۰–۱۴۰۱

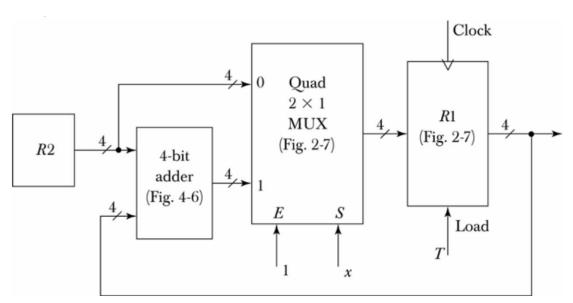
## آزمونک پنجم اصول سیستمهای کامپیوتری

سوال ۱. دو رجیستر ۴بیتی  $R_1$  و  $R_2$  را در نظر بگیرید. با توجه به  $Register\ transfer$  های زیر،

$$xT: R_1 \leftarrow R_1 + R_2$$
$$x'T: R_1 \leftarrow R_2$$

سختافزاری که این دو عبارت را پیادهسازی کند رسم کنید. رسم جزئیات داخلی هر قطعهای که استفاده می کنید (به طور مثال register یا adder یا multiplexer) نیاز نیست و رسم block diagram کافیست. ولی اتصالات بین قطعات و اندازه ی هر قطعه باید مشخص شود. دقت کنید اتصالات load input رجیسترها در صورت نیاز باید مشخص شود.

### ياسخ1.



**سوال ۲**. در طراحی قالب دستور العمل های یک کامپیوتر، ۴ بیت برای opcode، ۲ بیت برای ثبات و دو فیلد ۱۵ بیتی برای آدرس وجود دارد. با توجه به قالب دستور العمل، تعداد دستور العمل ها، تعداد ثبات ها و اندازه ی فضای آدرس دهی این کامپیوتر را تعیین کنید.

opcode	reg	Add1	Add2
4	2	15	15

تعداد دستور ها : 2<sup>4</sup> =16

تعداد ثبات ها : 4<sup>= 22</sup>

 $2^{15}$  = 32k : فضاى آدرس دهى

سوال T. در کامپیوتر پایه، مقدار فعلی PC برابر PC،محتویات حافظه در آدرس TFFبرابر EA9F است. محتویات حافظه در آدرس EA9F برابر EA9F می باشد. اگر EA9F می باشد پس از اجرای دستور العمل محتویات EA9F چه مقدار خواهد بود؟

پاسخ ۳. محتویات PC برابر PC میشود. زیرا با افزایش خانه FFFF که منفی 1 است، مفدار برابر با 0 میشود و PC علاوه بر یک بار افزایش دیفالت خودش، یک بار دیگر نیز افزایش مقدار می دهد.

سوال ۴. فرض کنید در حین اجرای عملیات های CPU، ثبات PC(program counter) به خانه حافظه 20 اشاره می کند. پس از انجام مرحله ،fetch ثبات fetch؛ ثبات (instruction register) به صورت زیر است:

#### 0 BSA 130

دستورالعمل Branch and save address)BSA) به یک subroutine اشاره می کند. با توجه به موضوعات گفته شده:

الف) محتويات خانه حافظه اي كه آخرين دستورالعمل subroutine در آن قرار دارد را بنويسيد.

ب) پس از اجرای کامل subroutine، در خانه حافظه 130 چه مقداری قرار میگیرد؟

**پاسخ ۴.** الف) همواره آخرین دستورالعمل تمامی subroutineها یک BUN Indirect به ابتدای آن است: 130 BUN 130

ب) در اولین خانه حافظه تمامی subroutineها آدرس بازگشت نوشته می شود که همان PC+1 است: 21

سوال ۵. باتوجه به توضیحات زیر در مورد مراحل سیکل اینتراپت، عملیات های رجیستری مربوط به آن را در زمان های  $T_0$  تا  $T_2$  بنویسید.(راهنمایی: برای انجام کل عملیات های توضیح داده شده در فقط سه زمان  $T_1$  تا  $T_2$  میتوانید از (temporary register) کمک بگیرید.

هنگامی که اینتراپت رخ می دهد، CPU باید کار فعلی را رها کند و روتین سرویس دهی به وقفه را اجرا کند. اما همانطور که می دانیم نباید فراموش کنیم که پیش از این تا کجای برنامه فعلی اجرا کرده ایم. به همین خاطر آدرس بازگشت را در خانه صفرم حافظه ذخیره می کنیم. سپس PC باید اول روتین سرویس دهی به وقفه که در خانه اول حافظه است (و یا آدرس آن در خانه اول حافظه است) اشاره کند. سپس فلگ رجیسترهای R و IEN صفر می شوند و (Sequence counter) کار را به  $T_0$  میبرد.

### پاسخ ۵.

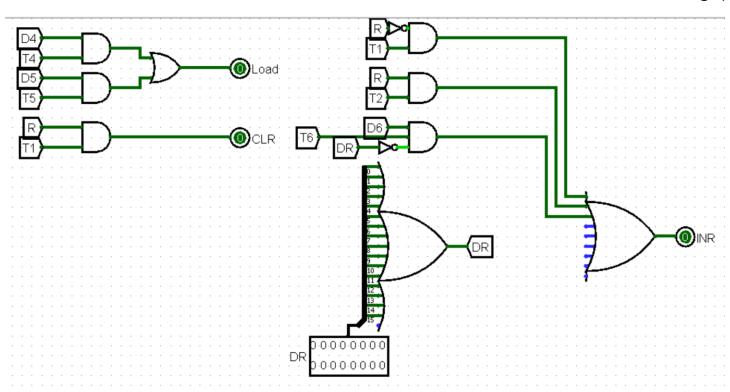
 $\begin{array}{ll} RT_0: & AR \leftarrow 0, \ TR \leftarrow PC \\ RT_1: & M[AR] \leftarrow T_R, \ PC \leftarrow 0 \\ RT_2: & PC \leftarrow PC + 1, \ IEN \leftarrow 0, \ R \leftarrow 0, \ SC \leftarrow 0 \end{array}$ 

باتوجه به لیست زیر، به سوالات ۶ و ۷ پاسخ دهید.

R'T0: AR <- PC R'T1: IR <- M[AR], PC <- PC + 1 R'T2: D0, ..., D7 <- Decode IR(12 ~ 14),  $AR < -IR(0 \sim 11), I < -IR(15)$ D7'IT3: AR < -M[AR]M[AR] <- TR, PC <- 0 RT1: RT2: PC <- PC + 1, IEN <- 0, R <- 0, SC <- 0 D0T4:  $DR \leftarrow M[AR]$ D0T5: AC <- AC . DR, SC <- 0 D1T4: DR < -M[AR]AC <- AC + DR, E <- Cout, SC <- 0 D1T5: D2T4:  $DR \leftarrow M[AR]$ D2T5: AC <- DR, SC <- 0 D3T4:  $M[AR] \leftarrow AC, SC \leftarrow 0$ D4T4: PC <- AR, SC <- 0 D5T4: M[AR] <- PC, AR <- AR + 1 D5T5: PC <- AR, SC <- 0  $DR \leftarrow M[AR]$ D6T4: D6T5: DR <- DR + 1 D6T6:  $M[AR] \leftarrow DR$ , if(DR=0) then (PC  $\leftarrow$  PC + 1), SC <- 0 pB7: IEN <- 1 IEN <- 0 pB6: D7IT3 = p

**سوال ۶**. پایه های کنترلی رجیستر PC را مشخص کنید.(پایه increment ،load و clear)

### پاسخ ۶.



## پاسخ ۷.

