

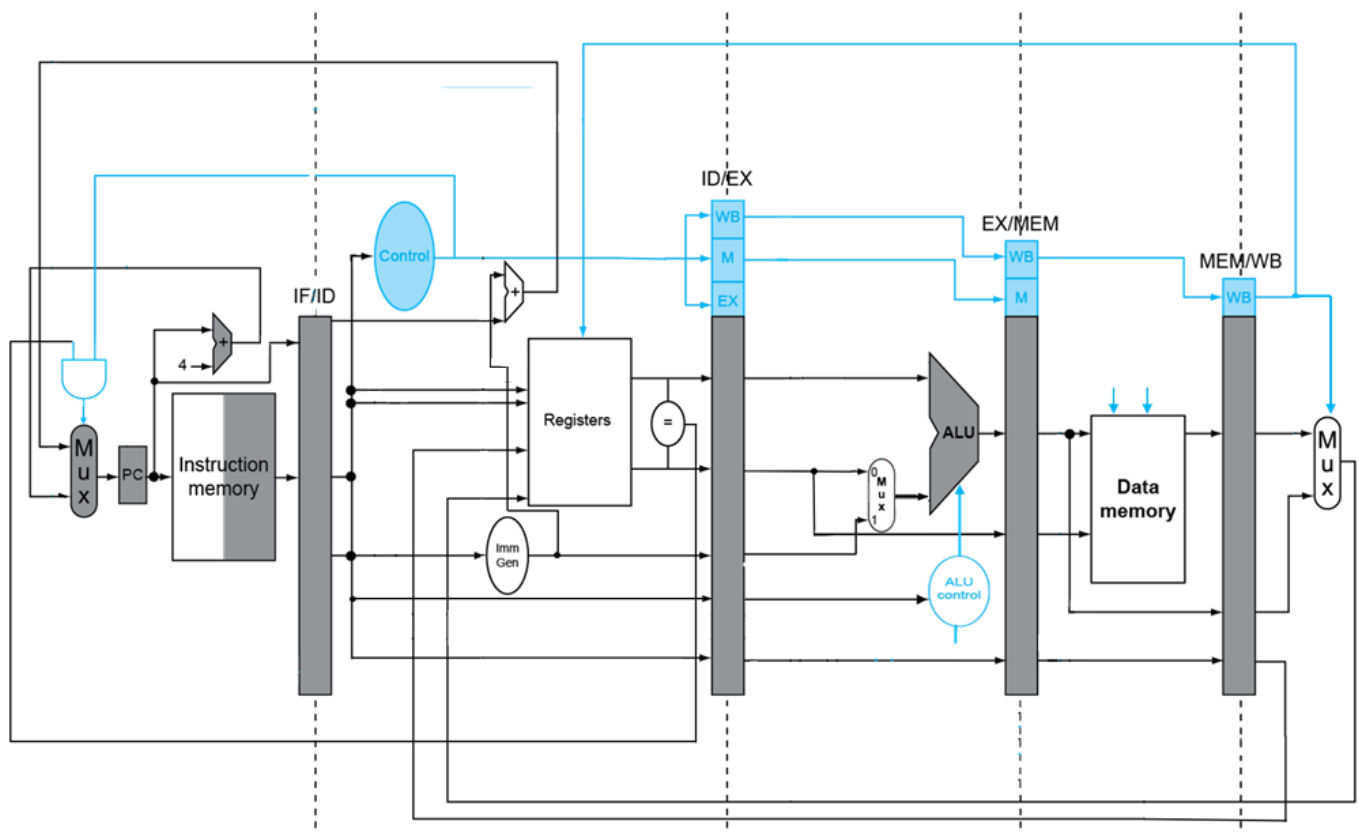


Laboratório 4 **- CPU RISC-V PIPELINE -**

Objetivos:

- Treinar o aluno com a Linguagem de Descrição de Hardware (HDL) Verilog;
- Familiarizar o aluno com o software de síntese QUARTUS Prime;
- Desenvolver a capacidade de análise e síntese de sistemas digitais usando uma HDL;
- Implementar uma CPU Pipeline compatível com a ISA RV32I reduzida;

1) (10.0) Implemente o processador Pipeline com ISA reduzida com as instruções: add, sub, and, or, slt, lw, sw, beq, jal, e ainda as instruções **jalr** e **addi**.



Os blocos de Memória, Bloco de Controle, Banco de Registradores, Gerador de Imediatos, ULA, controlador da ULA são os mesmos do processador Uniciclo. Dica: Use $\text{ClockCPU} = \text{ClockMem}/2$

1.1) (1.0) Ao caminho de dados do seu processador Uniciclo acrescente os registradores de pipeline.

1.2) (5.0) Implemente o Processador Pipeline completo com os registradores de pipeline.

(1.0) a) Visualize o netlist RTL view.

(1.0) b) Levante os requisitos físicos e temporais do seu processador.

(1.5) c) Faça a simulação por forma de onda funcional e temporal com o programa de1.s, corrigindo todos os hazards no programa apenas com a inserção de bolhas (nop), mostrando o funcionamento correto da CPU.

(1.5) d) Qual a máxima frequência de clock utilizável na sua CPU? Verifique experimentalmente mudando a frequência CLOCK e apresentando a simulação temporal por forma de onda.

1.3) (2.0) Compare os requerimentos físicos e temporais dos seus 3 processadores (Uni, Multi e Pipe). Comente.

1.4) (2.0) Qual o melhor tempo que cada processador executa o programa de1.s ? Qual a explicação?

No arquivo GrupoX_Lab4.zip a ser enviado no Moodle coloque apenas:

(i) o arquivo GrupoX_Lab4.pdf do relatório;

(ii) o arquivo GrupoX_Pipeline4.qar com o programa de1.s como default nos arquivos de1_data.mif e de1_text.mif ;