Disciplina: CIC0099 – Organização e Arquitetura de Computadores – Unificado

2025/1

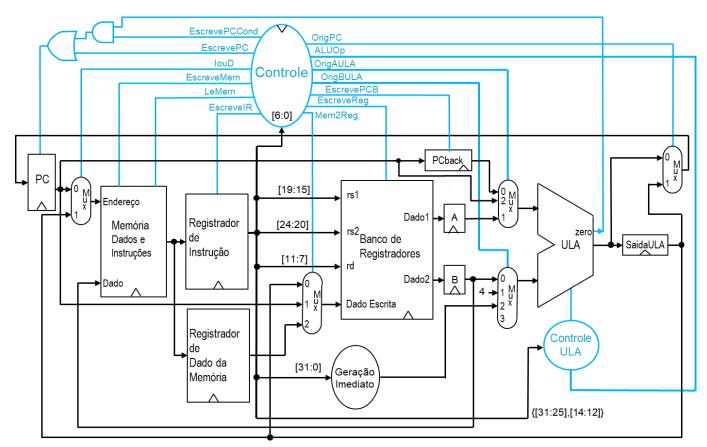
Equipes de até 5 pessoas.

Entrega do relatório (pdf) e fontes (.qar) em um único arquivo zip pelo Moodle até às 23h55 do dia 22/06/2025. Não serão aceitos relatórios depois do dia e horário definidos.

Laboratório 3 - CPU RISC-V MULTICICLO -

Objetivos:

- Treinar o aluno com a Linguagem de Descrição de Hardware (HDL) Verilog;
- Familiarizar o aluno com o software de síntese QUARTUS Prime;
- Desenvolver a capacidade de análise e síntese de sistemas digitais usando uma HDL;
- Implementar uma CPU Multiciclo compatível com a ISA RV32I reduzida;
- 1) (10.0) Implemente o processador Multiciclo com ISA reduzida com as instruções: add, sub, and, or, slt, lw, sw, beq, jal, e ainda as instruções jalr e addi.



O projeto TopDE.gar possui o arcabouço para o desenvolvimento e teste do seu processador.

Os blocos Banco de Registradores, Gerador de Imediatos, ULA, controlador da ULA, e o programa de1.s são os mesmos do processador Uniciclo.

- 1.1) (1.0) Na Arquitetura Von Neumann, dados e programas na mesma memória, implica que a memória de código deve ser gravável do mesmo modo que a memória de dados. Logo basta colocar o controle igual das duas memórias, apenas selecionando, pelo endereço, qual dos dois blocos deve ser utilizado. Explique como isso foi feito no seu processador.
- 1.2) (1.0) O bloco de memória IP utilizado pelo Quartus necessita 2 ciclos de clock para acesso. Explique que alterações podemos fazer no Diagrama de Estados de modo a otimizar esse acesso.
- 1.3) (3.0) Implemente o Bloco Controlador e desenhe a máquina de estados do controle.
- 1.4) (5.0) Implemente o Processador Multiciclo completo.

- (1.0) a) Visualize os blocos funcionais com o netlist RTL view.
- (1.0) b) Levante os requisitos físicos e temporais do seu processador.
- (1.5) c) Faça a simulação por forma de onda funcional e temporal com o programa de1.s, mostrando o funcionamento correto da CPU.
- (1.5) d) Qual a máxima frequência de clock utilizável na sua CPU? Verifique experimentalmente mudando a frequência CLOCK e apresentando a simulação temporal por forma de onda.

No arquivo GrupoX_Lab3.zip a ser enviado no Moodle coloque apenas:

- (i) o arquivo GrupoX_Relatorio3.pdf com o relatório escrito no formato de resposta à questão;
- (ii) o arquivo GrupoX_Multiciclo3.qar com o programa de1.s como default nos arquivos de1_data.mif e de1_text.mif;