

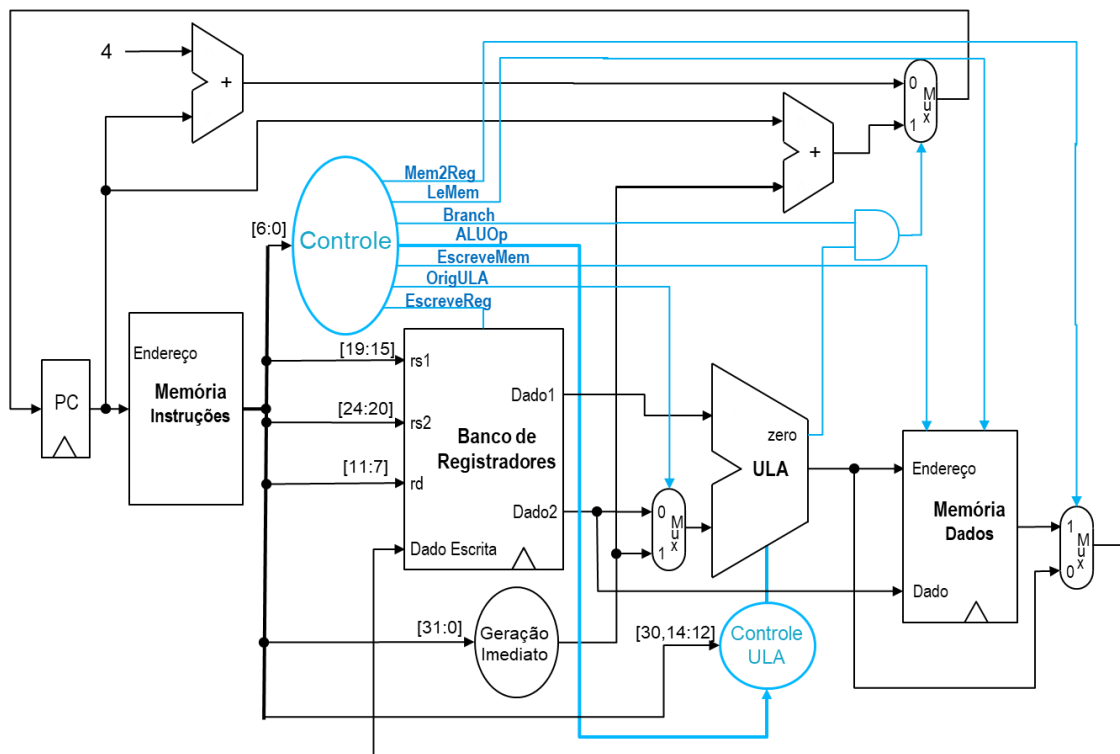


Laboratório 2 **- CPU RISC-V UNICICLO -**

Objetivos:

- Treinar o aluno com a Linguagem de Descrição de Hardware (HDL) Verilog;
- Familiarizar o aluno com o software de síntese QUARTUS Prime;
- Desenvolver a capacidade de análise e síntese de sistemas digitais usando uma HDL;
- Implementar uma CPU Uniciclo compatível com a ISA RV32I reduzida;

1) (10.0) Implemente o processador Uniciclo com ISA Reduzida com as instruções: add, sub, and, or, slt, lw, sw, beq, jal, e ainda as instruções **jalr** e **addi**.



O projeto TopDE.qar possui o arcabouço para o desenvolvimento e teste do seu processador.

1.1) (1.0) Escreva um programa de1.s que teste a corretude da implementação de todas as 9 + 2 instruções e teste no Rars. Dica: Use o registrador t0 para visualizar resultados!

1.2) (1.0) Implemente o Banco de Registradores com 3 leituras simultâneas: rs1, rs2 e disp.

Stack Pointer (sp) inicial: 0x1001_03FC Global Pointer (gp) inicial: 0x1001_0000

1.3) (1.0) Implemente o Gerador de Imediatos.

1.4) (0.5) No Rars16_Custom2, vá em File/Dump Memory e exporte (MIF 32 Format) para o arquivo de1 (sem extensão). Os arquivos de1_text.mif e de1_data.mif serão gerados.

As Memórias de Instruções (1024 words) e de Dados (1024 words) já estão geradas, com conteúdo default os arquivos mif gerados.

Dica: Como a memória do FPGA necessita 2 ciclos de clock para ler ou escrever um valor, a frequência de clock da CPU é a metade do clock da Memória.

Endereço inicial do .text: 0x0040_0000 Endereço inicial do .data: 0x1001_0000

- 1.5) (0.5) Implemente a ULA mínima necessária (add, sub, and, or, slt, zero).
- 1.6) (1.0) Implemente o Controlador da ULA e o Bloco Controlador.
- 1.7) (5.0) Implemente o Processador Uniciclo completo.
- (1.0) a) Visualize o netlist RTL view. Coloque print screens dos módulos no relatório.
- (1.0) b) Levante os requisitos físicos e temporais do seu processador completo. Verifique se os slacks estão sendo cumpridos.
- (1.5) c) Faça as simulações por forma de onda funcional e temporal com o programa de1.s, mostrando o funcionamento correto da CPU.
- (1.5) d) Qual a máxima frequência de clock utilizável na sua CPU? Verifique experimentalmente mudando a frequência CLOCK do arquivo .vwf e apresentando a simulação temporal por forma de onda.

No arquivo GrupoX_Lab2.zip a ser enviado no Moodle coloque apenas:

- (i) o arquivo GrupoX_Relatorio2.pdf com o relatório escrito no formato de resposta à questão;
- (ii) o arquivo GrupoX_Uniciclo2.qar com o programa de1.s como default nos arquivos de1_data.mif e de1_text.mif ;