

- 11. 冯诺依曼计算机中指令和数据均以二进制形式存放在存储器中，CPU区分它们的依据是——
 - A.指令操作码的译码结果
 - B.指令和数据的寻址方式
 - C.指令周期的不同阶段
 - D.指令和数据所在的存储单元

答案：C

考点：冯诺依曼思想的基本概念

- 12. 一个C语言程序程序在一台32位机器上运行。程序中定义了三个变量x,y,和z, 其中x和z为int型, y为short型。当x=127, y= -9时, 执行赋值语句z=x+y后, x、y和z的值分别是
A. x=0000007FH, y=FFF9H, z=00000076H
B. x=0000007FH, y=FFF9H, z=FFFF0076H
C. x=0000007FH, y=FFF7H, z=FFFF0076H
D. x=0000007FH, y=FFF7H, z=00000076H

答案：D

考点：整数的补码表示和补码加法

- 13. 浮点数加、减运算过程一般包括对阶、尾数运算、规格化、舍入和溢出等步骤。设浮点数的阶码和尾数均采用补码表示，且位数分别为5位和7位（均含2位符号位）。若有两个数 $X=2^7 \times 29/32$ ， $Y=2^5 \times 5/8$ ，则用浮点加法计算 $X+Y$ 的最终结果是

A.00111 1100010 B.00111 0100010

C.01000 0010001 D.发生溢出

答案：D

考点：浮点数加法运算
双符号位法溢出判断

- 14.某计算机的Cache共有16块，采用2路组相联映射方式（即每组2块）。每个主存块大小为32字节，按字节编制。主存129号单元所在主存块应装入到的Cache组号是

A.0 B. 2 C. 4 D.6

答案：C

考点：Cache组相联映射方式

- **15.某计算机主存容量为64KB，其中ROM区为4K，其余为RAM区，按字节编制。现要用2K×8位的ROM芯片和4K×4位的RAM芯片来设计该存储器，则需要上述规格的ROM芯片数和RAM芯片数分别是**
A.1、 15 B. 2、 15
C.1、 30 D. 2、 30

答案： D

考点： 存储器芯片的组成

- **16.某机器字长16位，主存按字节编制，转移指令采用相对寻址，由两个字节组成，第一字节为操作码字段，第二字节为相对位移量字段。假定取指令时，每取一个字节PC自动加1。若某转移指令所在主存地址为2000H，相对位移量字段的内容为06H，则该转移指令成功转移后的目标地址是**
A. 2006H B.2007H
C. 2008H D.2009H

答案：C

考点：PC相对寻址方式

- **17.下列关于RISC的叙述中，错误的是**
 - A. RISC普遍采用微程序控制器**
 - B. RISC大多数指令在一个时钟周期内完成**
 - C. RISC的内部通用寄存器数量相对CISC多**
 - D. RISC的指令数、寻址方式和指令格式种类相对CISC少**

答案：A

考点：RISC指令集和CISC的区别

18.某计算机的指令流水线由四个功能段组成，指令流经各功能段的时间（忽略各功能段之间的缓存时间）分别为90ns、80ns、70ns和60ns，则该计算机的CPU时钟周期至少是

A. 90ns

B. 80ns

C. 70ns

D. 60ns

答案：A

考点：指令流水线的阶段设置

- 19.相对于微程序控制器，硬布线控制器的特点是
- A.指令执行速度慢，指令功能的修改和扩展容易
- B.指令执行速度慢，指令功能的修改和扩展难
- C.指令执行速度快，指令功能的修改和扩展容易
- D.指令执行速度快，指令功能的修改和扩展难

答案：D

考点：硬布线控制器的特点

- 20.假设某系统总线在一个总线周期中并行传输4字节信息，一个总线周期占用2个时钟周期，总线时钟频率为10MHz，则总线带宽是

A.10MB/s B.20MB/s

C.40MB/s D.80MB/s

答案：B

考点：总线带宽的计算

- 21.假设某计算机的存储系统由Cache和主存组成。某程序执行过程中访存1000次，其中访问Cache缺失（未命中）50次，则Cache的命中率是

A.5% B.9.59% C. 50% D. 95%

答案：D

考点：Cache命中率的计算

- 22. 下列选项中，能引起外部中断的事件是
 - A. 键盘输入 B. 除数为0
 - C. 浮点运算下溢出 D. 访存缺页

答案：A

考点：内部中断和外部中断的区别

二、综合应用题

43. (8分)某计算机的CPU主频为500MHz，CPI为5（即执行每条指令平均需5个时钟周期）。假设某外设的数据传输率为0.5MB/s，采用中断方式与主机进行数据传送，以32位为传输单位，对应的中断服务程序包含18条指令，中断服务的其他开销相当于2条指令的执行时间。请回答下列问题，要求给出计算过程。

(1) 在中断方式下，CPU用于该外设I/O的时间占整个CPU时间的百分比是多少？

•(1) 在中断方式下，CPU每次用于数据传送的时钟周期数：

$$5 \times 18 + 5 \times 2 = 100 \text{ (2分)}$$

为达到0.5MB/s的数据传输速度，外设每秒申请中断次数：

$$0.5\text{M}/(32/8) = 125000 \text{ (1分)}$$

1秒钟内用于中断的开销：

$$100 \times 125000 = 12.5\text{M个时钟周期 (1分)}$$

CPU用于外设I/O的时间占整个CPU时间的百分比：

$$12.5\text{M}/500\text{M} = 2.5\% \text{ (1分)}$$

二、综合应用题

(2) 当该外设的数据传输率达到5MB/s时，改用DMA方式传送数据。假定每次DMA传送块大小为5000B，且DMA预处理和后处理的总开销为500个时钟周期，则CPU用于该外设I/O的时间占整个CPU时间的百分比是多少？（假设DMA与CPU之间没有访存冲突）

(2) 外设数据传输率5MB/s时，1秒钟内需产生的DMA次数：

$$5\text{MB}/5000\text{B}=1000 \quad (1\text{分})$$

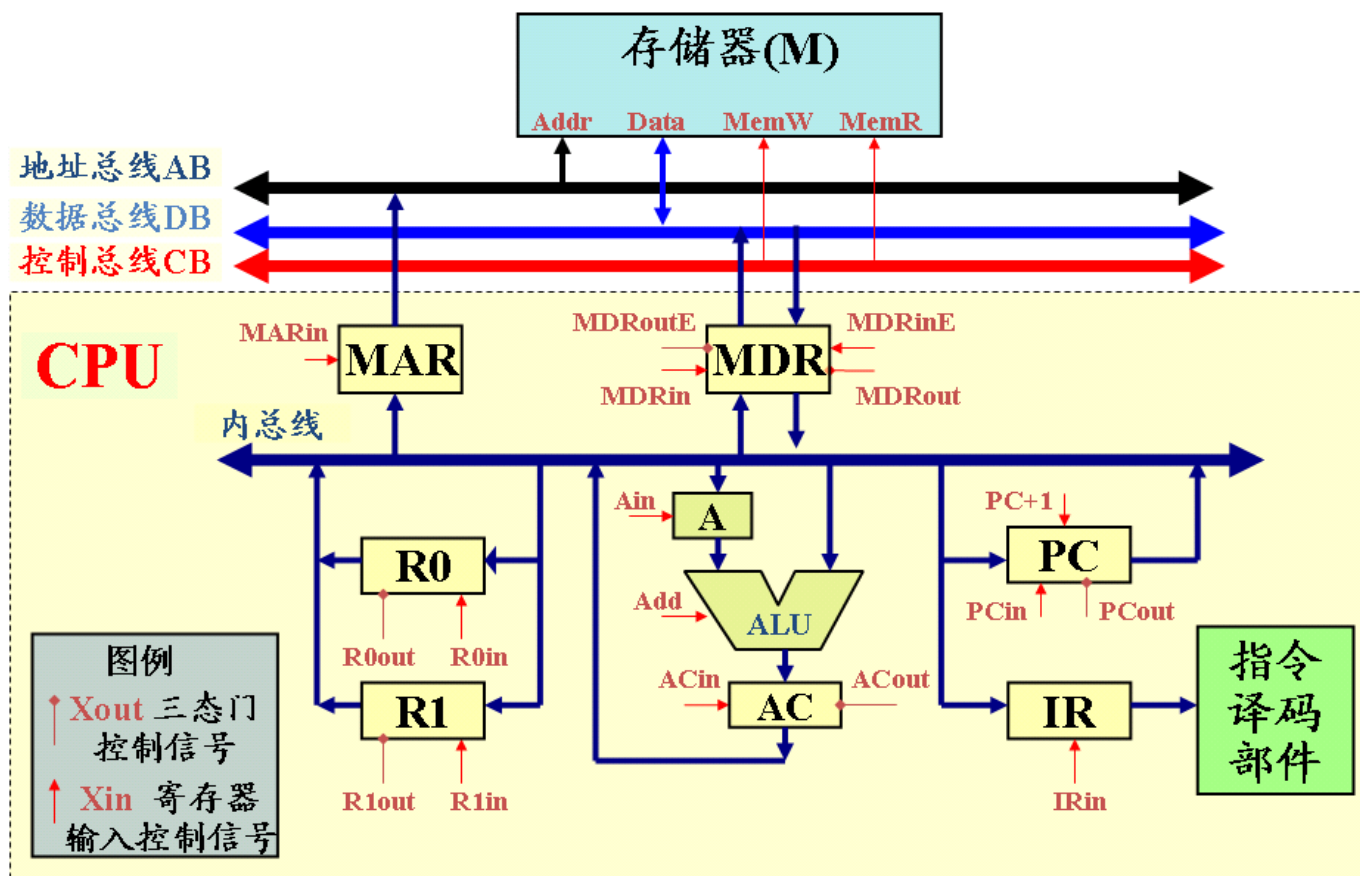
CPU用于DMA处理的总开销：

$$1000 \times 500 = 0.5 \text{ M个时钟周期} (1\text{分})$$

CPU用于外设I/O的时间占整个CPU时间的百分比：

$$0.5\text{M}/500\text{M}=0.1\% \quad (1\text{分})$$

- 44.(13分)某计算机字长16位，采用16位定长指令字结构，部分数据通路结构如下图所示，图中所有控制信号为1时表示有效，为0时表示无效，例如控制信号MDRinE为1表示允许数据从DB打入MDR，MDRin为1表示允许数据从内总线打入MDR。假设MAR的输出一直处于使能状态。

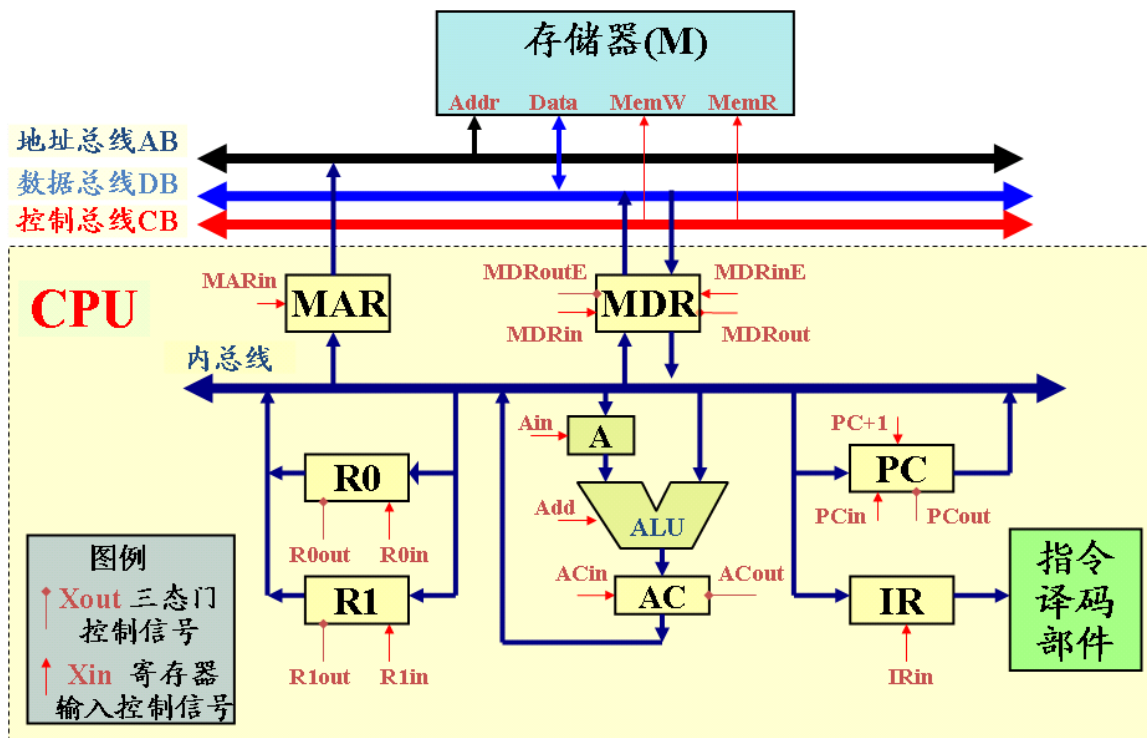


加法指令“**ADD (R1),R0**”的功能为 $(R0)+((R1)) \rightarrow (R1)$ ，即将**R0**中的数据与**R1**的内容所指主存单元的数据相加，并将结果送入**R1**的内容所指主存单元中保存。

下表给出了上述指令取指和译码阶段每个节拍（时钟周期）的功能和有效控制信号，**请按表中描述方式用表格列出指令执行阶段每个节拍的功能和有效控制信号。**

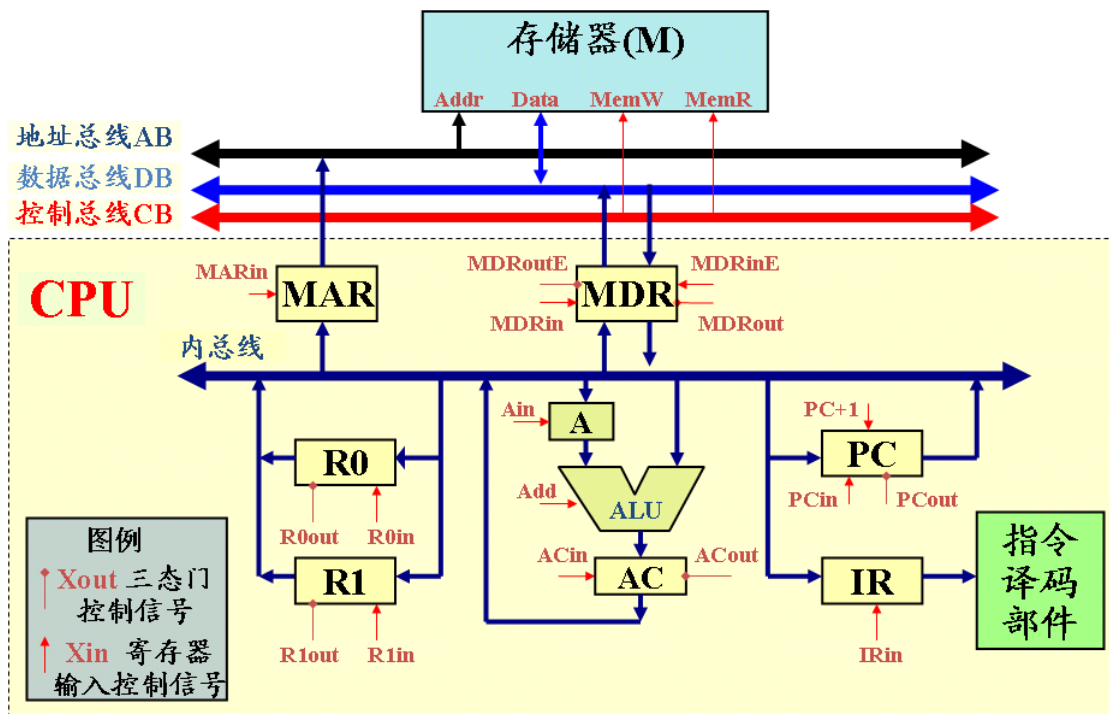
时钟	功能	有效控制信号
C1	$MAR \leftarrow (PC)$	PCout,MARin
C2	$MDR \leftarrow M(MAR)$ $PC \leftarrow (PC)+1$	MemR,MDRinE, PC+1
C3	$IR \leftarrow (MDR)$	MDRout,1Rin
C4	指令译码	无

参考答案一



时钟	功能	有效信号
C5	$MAR \leftarrow (R1)$	R1out, MARin
C6	$MDR \leftarrow M(MAR)$ $A \leftarrow (R0)$	MemR, MDRinE R0out, Ain
C7	$AC \leftarrow (MDR) + (A)$	MDRout, Add, ACin
C8	$MDR \leftarrow (AC)$	ACout, MDRin
C9	$M(MAR) \leftarrow (MDR)$	MDRoutE, MemW

参考答案二



时钟	功能	有效信号
C5	$MAR \leftarrow (R1)$	R1out, MARin
C6	$MDR \leftarrow M(MAR)$	MemR, MDRinE
C7	$A \leftarrow (MDR)$	MDRout, Ain
C8	$AC \leftarrow (A) + (R0)$	R0out, Add, ACin
C9	$MDR \leftarrow (AC)$	ACout, MDRin
C10	$M(MAR) \leftarrow (MDR)$	MDRoutE, MemW

43、（11分）某计算机字长为**16位**，主存地址空间大小为**128KB**，按字编址，采用单字长指令格式，指令各字段定义如下：

15	12	11	6	5	0
OP		Ms	Rs	Md	Rd

源操作数

目的操作数

转移指令采用相对寻址方式，相对偏移是用补码表示。寻址方式定义如下：

注：(x) 表示存储地址x或寄存器x的内容。

Ms/Md	寻址方式	助记符	含义
000B	寄存器直接	R_n	操作数= (R_n)
001B	寄存器间接	(R_n)	操作数= $((R_n))$
010B	寄存器间接、自增	$(R_n) +$	操作数= $((R_n))$, $(R_n) + 1 \rightarrow R_n$
011B	相对	$D(R_n)$	转移目标地址= $(PC) + (R_n)$

请回答下列问题：

(1)、该指令系统最多可有多少条指令？该计算机最多有多少个通用寄存器？存储器地址寄存器（**MAR**）和存储器数据寄存器（**MDR**）至少各需多少位？

(2)、转移指令的目标地址范围是多少？

(3)、若操作码**0010 B**表示加法操作（助记符为**add**），寄存器**R4**和**R5**的编号分别为**100 B**和**101 B**，**R4**的内容为**1234H**，**R5**的内容为**5678H**，地址**1234H**中的内容为**5678H**，地址**5678H**中的内容为**1234H**，则汇编语句为“**add (R4), (R5)+**”（逗号前为源操作数，逗号后为目的操作数）对应的机器码是什么（用十六进制表示）？该指令执行后，哪些寄存器和存储单元的内容会改变？改变后的内容是什么？