

《数字逻辑与数字系统》期末考试试题 (A)

考试 注意 事项	一、学生参加考试须带学生证或学院证明，未带者不准进入考场。学生必须按照监考教师指定座位就坐。 二、书本、参考资料、书包等与考试无关的东西一律放到考场指定位置。 三、学生不得另行携带、使用稿纸，要遵守《北京邮电大学考场规则》，有考场违纪或作弊行为者，按相应规定严肃处理。								
考试 课程	数字逻辑与数字系统			考试时间		2007 年 1 月 26 日			
题号	一	二	三	四	五	六	七	八	总分
满分	10	20	10	10	10	12	14	14	
得分									
阅卷 教师									

一、选择题 (每小题 1 分，共 10 分。)

1. 卡诺图如图 1 所示，电路描述的逻辑表达式 $F=(\quad)$ 。

- A. $\Sigma m(1, 2, 4, 5, 9, 10, 13, 15)$
 B. $\Sigma m(0, 1, 3, 4, 5, 9, 13, 15)$
 C. $\Sigma m(1, 2, 3, 4, 5, 8, 9, 14)$
 D. $\Sigma m(1, 4, 5, 8, 9, 10, 13, 15)$

		AB			
		00	01	11	10
CD	00		1		
	01	1	1	1	1
	11			1	
	10	1			1

图 1

2. 在下列逻辑部件中，不属于组合逻辑部件的是 ()。

- A. 译码器 B. 锁存器 C. 编码器 D. 比较器

3. 八路数据选择器，其地址输入端 (选择控制端) 有 () 个。

- A. 8 B. 2 C. 3 D. 4

4. 将 D 触发器转换为 T 触发器，图 2 所示电路的虚框内应是 ()。

- A. 或非门 B. 与非门
 C. 异或门 D. 同或门

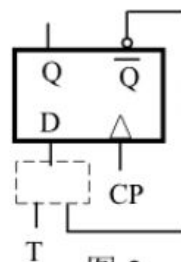


图 2

5. 用 n 个触发器构成计数器，可得到的最大计数模是 ()。

姓名:

班内序号:

学号:

班级:



A. 2^n

B. $2n$

C. n

D. 2^{n-1}

6. GAL 是指 ()。

- A. 随机读写存储器 B. 通用阵列逻辑 C. 可编程逻辑阵列 D. 现场可编程门阵列

7. EPROM 的与阵列 (), 或阵列 ()。

- A. 固定、固定 B. 可编程、固定 C. 固定、可编程 D. 可编程、可编程

8. 在 ispLSI 器件中, GRP 是指 ()。

- A. 通用逻辑块 B. 输出布线区 C. 输入输出单元 D. 全局布线区

9. 双向数据总线可以采用 () 构成。

- A. 三态门 B. 译码器 C. 多路选择器 D. 与非门

10. ASM 流程图是设计 () 的一种重要工具。

- A. 运算器 B. 控制器 C. 计数器 D. 存储器

二、填空题 (每小题 2 分, 共 20 分)

1. 图 3 所示加法器构成代码变换电路, 若输入信号 $B_3B_2B_1B_0$ 为 8421BCD 码, 则输出端 $S_3S_2S_1S_0$ 为 _____ 代码。

2. 2:4 译码器芯片如图 4 所示。欲将其改为四路分配器使用, 应将使能端 \overline{G} 改为 _____, 而地址输入端 A、B 作为 _____。



图 3

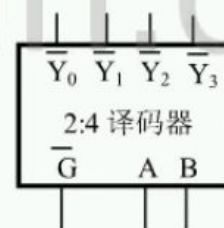


图 4

3. 门电路的输入、输出高电平赋值为逻辑 _____, 低电平赋值为逻辑 _____, 这种关系为负逻辑关系。

4. 组合逻辑电路的输出只与当时的 _____ 状态有关, 而与电路 _____ 的输入状态无关。

5. 译码器实现 _____ 译码, 编码器实现 _____ 译码。

6. 在同步计数器中，所有触发器的时钟都与_____时钟脉冲源连在一起，每一个触发器的_____变化都与时钟脉冲同步。
7. 时序逻辑电路中输出变量是输入变量和状态变量的函数，该电路为_____。
8. 在 CP 脉冲作用下，具有图 5(a)所示功能的触发器是_____，具有图 5(b)所示功能的触发器是_____。

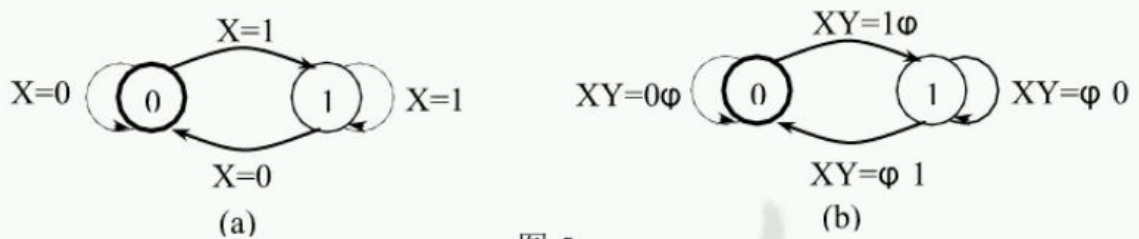


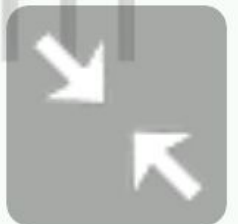
图 5

9. ispLSI 器件具有_____条编程接口线。
10. 小型控制器的结构有_____型、_____型和计数器型。

三、简答题（各 5 分，共 10 分）

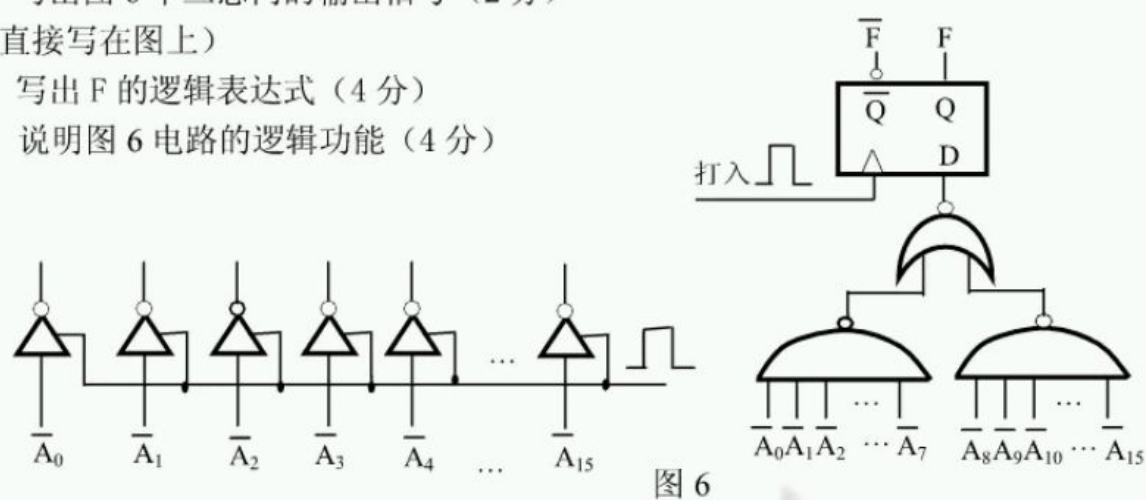
1. 写出 ispLSI1032 中通用逻辑块 GLB 的五种组态模式；指出哪种工作速度最快？哪种工作速度最慢？（5 分）

2. 画出小型控制器的组成框图。（5 分）



四、综合逻辑电路分析题（10 分）

1. 写出图 6 中三态门的输出信号（2 分）
（直接写在图上）
2. 写出 F 的逻辑表达式（4 分）
3. 说明图 6 电路的逻辑功能（4 分）



五、组合电路设计（10 分）

给定如下两种门器件，延迟时间分别为：2 输入与非门 20ns、异或门 40ns。设计一个 32 位串行进位加法器。

1. 列出一位全加器真值表，并写出求和、进位逻辑表达式。（4 分）
2. 画出加法器逻辑电路图（只画最低 2 位），规定输入、输出均为原变量。（3 分）
3. 计算加法器求和运算的最长时间。（3 分）



六、时序逻辑分析 (12 分)

由 D 触发器组成的同步时序电路如图 7 所示。

- 1、写出各触发器状态方程 (3 分)
- 2、列出状态转移表 (3 分)
- 3、画出状态转移图 (3 分)
- 4、说明此电路的逻辑功能 (3 分)

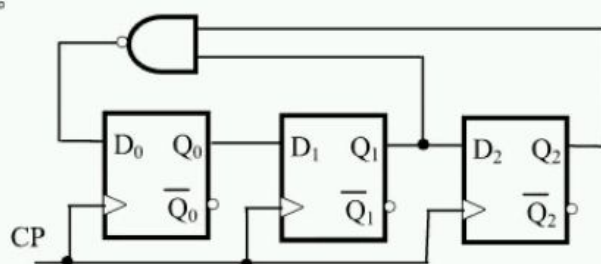


图 7



七、可编程逻辑设计（14 分）

三比特格雷码加/减计数器状态图如图 8 所示。
X 为输入控制变量，X=1 时计数器加，X=0 时计数器减，请用 ABEL-HDL 语言的状态图法设计该计数器（测试向量部可选）。

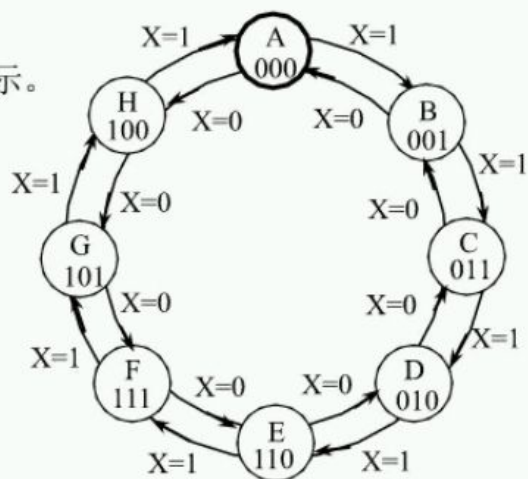


图 8

docin 豆丁

www.docin.com



八、小型控制器设计（14 分）

图 9 所示为数字累加系统的数据通路图，设计计数器型控制器。寄存器 A 从数据总线上接收一系列输入数据，寄存器 B 保存它们的累加结果，加法器完成求和运算，控制器指挥执行部件自动完成上述运算。其中 LDA, LDB 为打入寄存器的控制信号，ADD 为三态门使能信号。假设累加系统启动之前寄存器 A、B 已清零。控制器的状态变化发生在 T_1 节拍脉冲时间，打入寄存器操作发生在 T_2 节拍脉冲时间，控制器状态周期为 $T=T_1+T_2$ 。

1. 画出控制器的 ASM 图
2. 列出状态转移真值表
3. 写出激励方程和控制信号表达式
4. 画出电路图

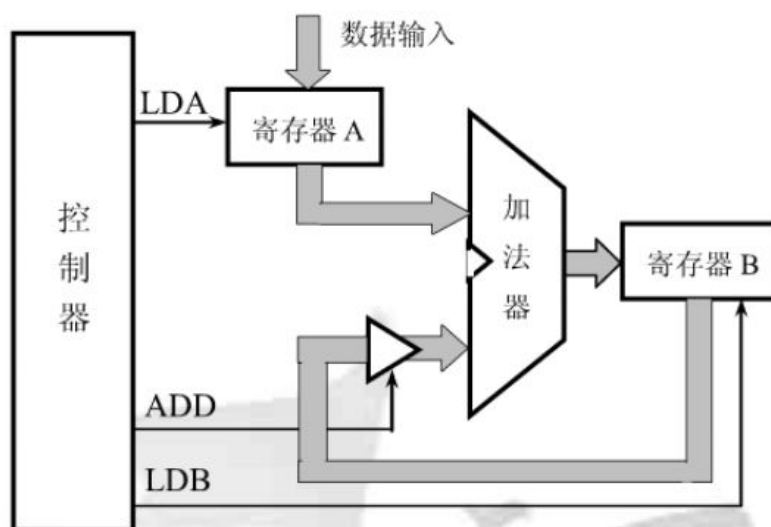


图 9

北京 XX 大学 2006——2007 学年第一学期

《数字逻辑与数字系统》期末考试试题 (A) 标准答案

一、选择题（每小题 1 分，共 10 分）

1. A
2. B
3. C
4. D
5. A
6. B
7. C
8. D
9. A
10. B

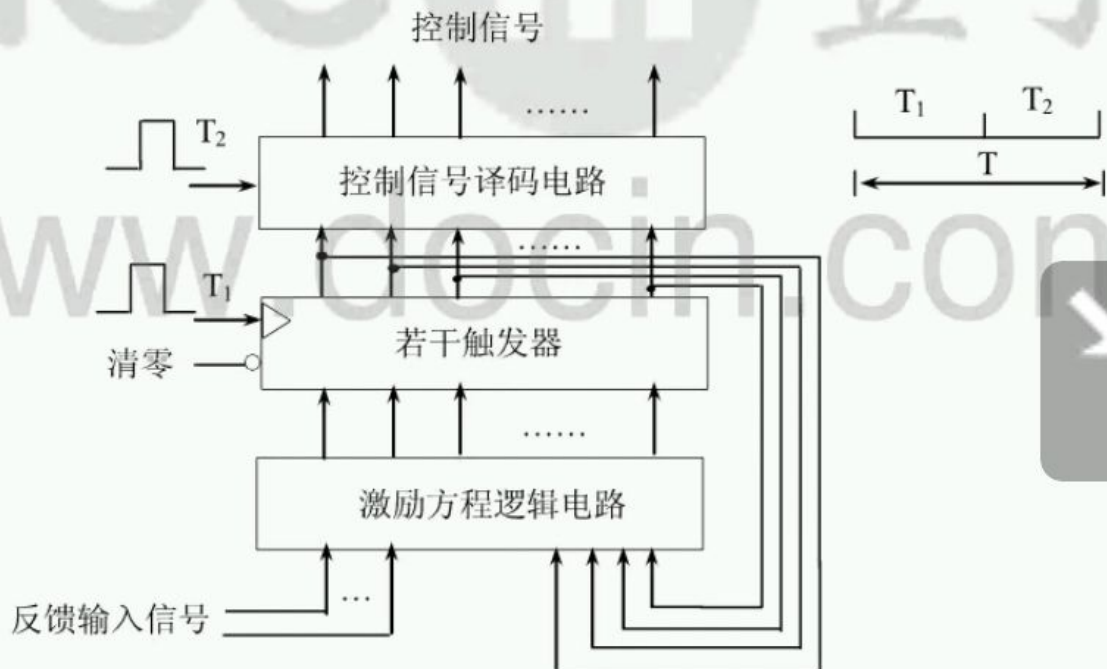
二、填空题（每小题 2 分，共 20 分）

1. 余 3 码

2. 数据输入 D、地址控制输入 A_1 、 A_0
3. 0、1
4. 输入、原来
5. 多对一、一对多
6. 同一个、状态
7. 米里型
8. D 触发器、JK 触发器
9. 5
10. 多路选择器型 (MUX)、定序型

三、简答题（各 5 分，共 10 分）

1. (5 分) ispLSI1032 中通用逻辑块 GLB 的五种组态模式是标准组态，高速直通组态，异或逻辑组态，单乘积项组态，多模式组态。其中单乘积项组态最快，多模式和异或逻辑组态最慢。
2. (5 分) 小型控制器的组成框图。



四、时序电路分析题（10 分）

1. (2 分) 右图从左到右为 $A_0 A_1 A_2 A_3 \dots A_{15}$

2、(4分) $F = \overline{A_0} \overline{A_1} \overline{A_2} \overline{A_3} \overline{A_4} \overline{A_5} \overline{A_6} \overline{A_7} + \overline{A_8} \overline{A_9} \overline{A_{10}} \overline{A_{11}} \overline{A_{12}} \overline{A_{13}} \overline{A_{14}} \overline{A_{15}}$

$$F = \overline{A_0} \overline{A_1} \overline{A_2} \overline{A_3} \overline{A_4} \overline{A_5} \overline{A_6} \overline{A_7} \overline{A_8} \overline{A_9} \overline{A_{10}} \overline{A_{11}} \overline{A_{12}} \overline{A_{13}} \overline{A_{14}} \overline{A_{15}}$$

3、(4分) 当变量 $A_0 A_1 A_2 A_3 \dots A_{15}$ 全位 0 时, 输出 $F=1$, 由打入信号打入标志触发器保存。 $F=1$ 标志着三态门输出信号为全 0。这是判别总线上代码全为 0 的电路。

五、组合电路设计 (10 分)

1、真值表 (2 分)

A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

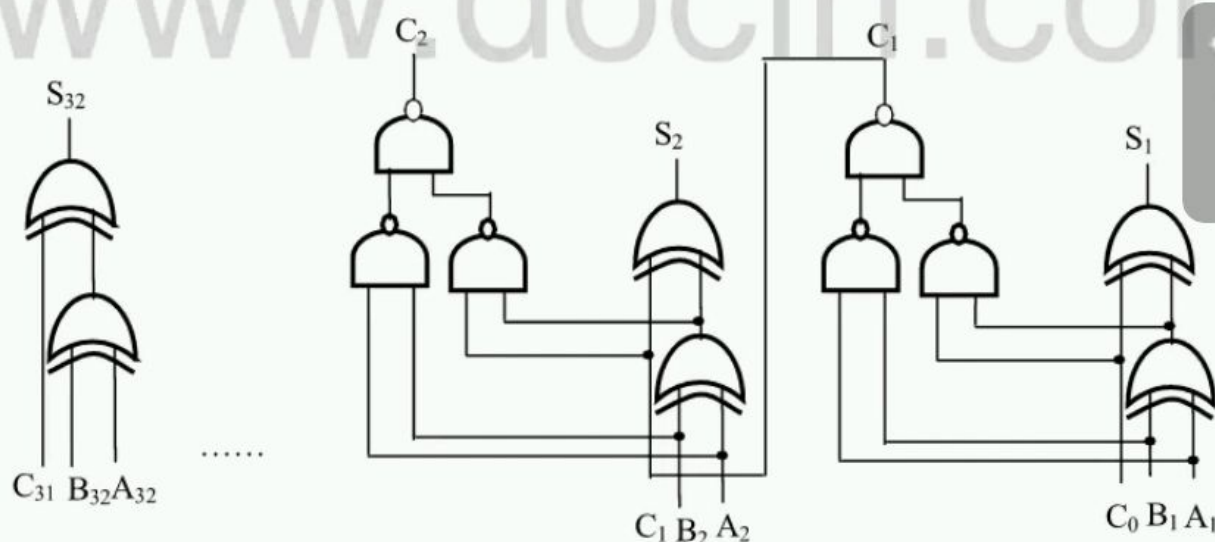
表达式: 2 分

$$S_i = A_i \oplus B_i \oplus C_i$$

$$C_i = A_i B_i + A_i C_{i-1} + B_i C_{i-1}$$

$$= A_i B_i + (A_i \oplus B_i) C_{i-1}$$

2、画图 (3 分):



3、(3分) 32 位加法器最长时间为: 最低位异或门+31 级进位+最高位异或门:

$$t=40ns+(20+20)ns \times 31+40ns=1320ns$$

六、时序电路分析 (12 分)

1、写出状态方程 (3 分)

$$Q_0^{n+1} = D_0 = \overline{Q_1^n Q_2^n}$$

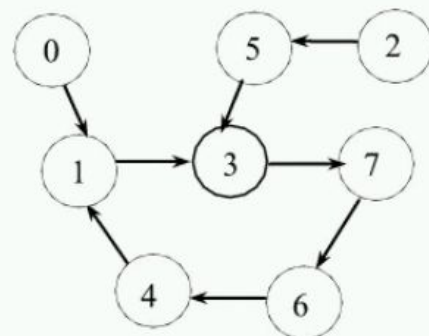
$$Q_1^{n+1} = D_1 = Q_0^n$$

$$Q_2^{n+1} = D_2 = Q_1^n$$

2、出状态转移表 (3 分)

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	1
0	0	1	0	1	1
0	1	1	1	1	1
1	1	1	1	1	0
1	1	0	1	0	0
1	0	0	0	0	1
0	1	0	1	0	1
1	0	1	0	1	1

3. 状态转移图 (3 分)



4、此电路是五进制计数器，可自启动 (3 分)

七、硬件描述语言设计 (14 分)

(3 分) {
 MODULE counter
 TITLE '3-bit Gray code counter';
 Clock, pin;
 X pin;
 Q2, Q1, Q0 node istype 'reg';

(3 分) {
 QSTATE=[Q3, Q2, Q0];
 A=[0, 0, 0];
 A=[0, 0, 1];
 A=[0, 1, 1];
 A=[0, 1, 0];
 A=[1, 1, 0];
 A=[1, 1, 1];
 A=[1, 0, 1];
 A=[1, 0, 0];

(2 分) {
 EQUATIONS
 QSTATE.CLK=Clock;

(6 分) {
 State_diagram QSTATE
 State A;
 CASE X==1:B;
 X==0:H;
 END CASE
 State B;
 CASE X==1:C;
 X==0:A;
 END CASE

 State H;
 CASE X==1:A;
 X==0:G;
 END CASE
 END

State_diagram QSTATE
 State A: if X==1 then B else H;

 State B: if X==1 then C else A;



方案2

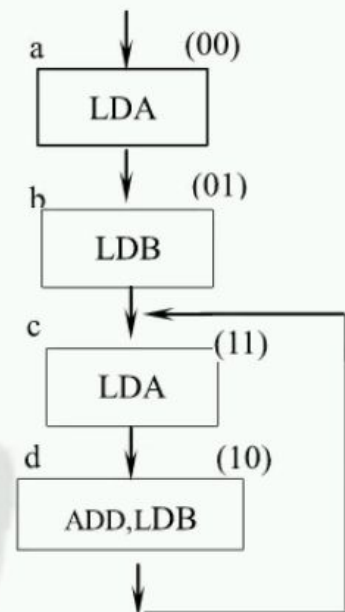
State C: if X==1 then D else B;
 State D: if X==1 then E else C;
 State E: if X==1 then F else D;
 State F: if X==1 then G else E;
 State G: if X==1 then H else F;
 State H: if X==1 then A else G;
 END

八、小型控制器设计（14 分）

1、ASM 流程图（3 分）

2、状态转移真值表（3 分）

PS			NS		
	Q_1^n	Q_0^n		Q_1^{n+1}	Q_0^{n+1}
a	0	0	b	0	1
b	0	1	c	1	1
c	1	1	d	1	0
d	1	0	c	1	1



3、写出激励方程和控制信号表达式（2 分+2 分）

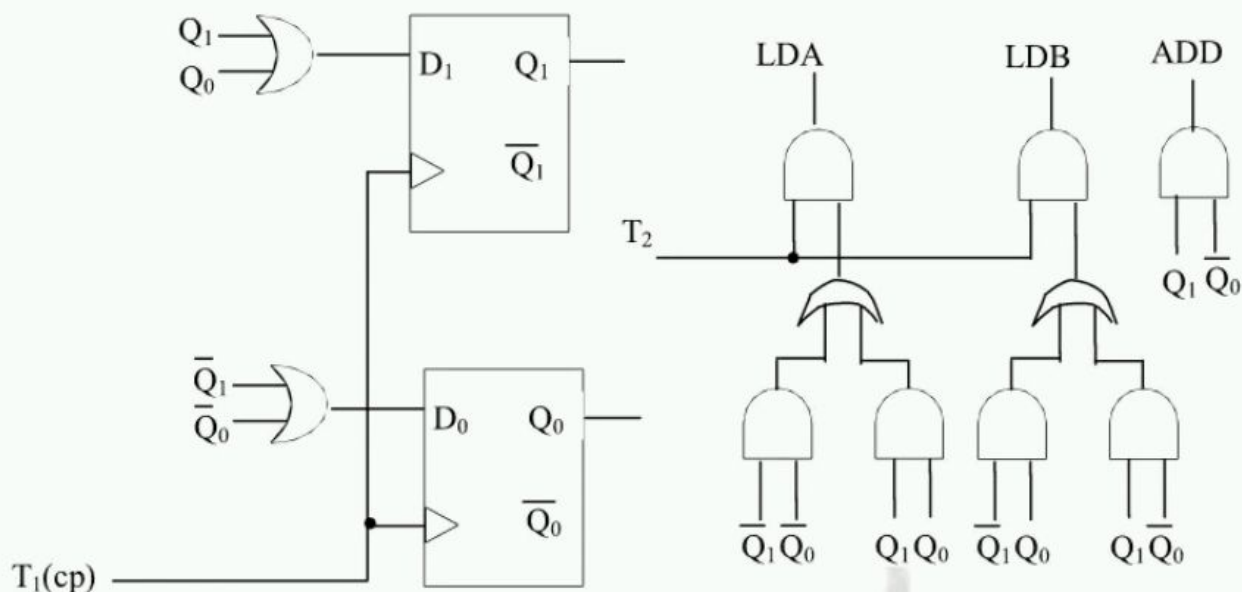
$$D_1 = Q_1^n + Q_0^n$$

$$D_0 = \overline{Q_1^n} + \overline{Q_0^n}$$

$$LDA = (\overline{Q_1^n} \overline{Q_0^n} + Q_1^n Q_0^n) T_2$$

$$LDB = (\overline{Q_1^n} Q_0^n + Q_1^n \overline{Q_0^n}) T_2$$

$$ADD = Q_1^n \overline{Q_0^n}$$



北京 XX 大学 2005——2006 学年第一学期

《数字逻辑与数字系统》期末考试试题 (B)

考试 注意 事项	一、学生参加考试须带学生证或学院证明，未带者不准进入考场。学生必须按照监考教师指定座位就坐。 二、书本、参考资料、书包等与考试无关的东西一律放到考场指定位置。 三、学生不得另行携带、使用稿纸，要遵守《北京邮电大学考场规则》，有考场违纪或作弊行为者，按相应规定严肃处理。								
考试 课程					考试时间		年 月 日		
题号	一	二	三	四	五	六	七	八	总分
满分									
得分									

一、选择题（每小题 1 分，共 10 分。）

- 逻辑函数 $F = \overline{A}B + \overline{B}DEG + \overline{A}B + B$ 的最简式为 ()。
A. $F = \overline{B}$ B. $F=B$ C. $F=0$ D. $F=1$
- 逻辑函数 $F(ABC) = A \odot C$ 的最小项标准式为 ()。
A. $F = \sum(0, 3)$ B. $F = \overline{A}C + A\overline{C}$ C. $F = m_0 + m_2 + m_5 + m_7$ D. $F = \sum(0, 1, 6, 7)$
- 八进制数 $(573.4)_8$ 的十六进制数是 ()。
A. $(17C.4)_{16}$ B. $(16B.4)_{16}$ C. $(17B.8)_{16}$ D. $(17B.5)_{16}$
- 在下列电路中，不是组合逻辑电路的是 ()。
A. 编码器 B. 锁存器 C. 全加器 D. 比较器
- 八路数据分配器，其数据输入端有 () 个。
A. 1 B. 2 C. 3 D. 8
- n 个触发器构成的扭环计数器中，无效状态有 () 个。
A. n B. $2n$ C. 2^{n-1} D. $2^n - 2n$
- 构成数字系统必不可少的逻辑执行部件为 ()。
A. 控制器 B. 计数器 C. 基本子系统 D. 逻辑门

8. 电路如图 1 所示，其中完成 $Q^{n+1} = \overline{Q^n} + A$ 电路是 ()。

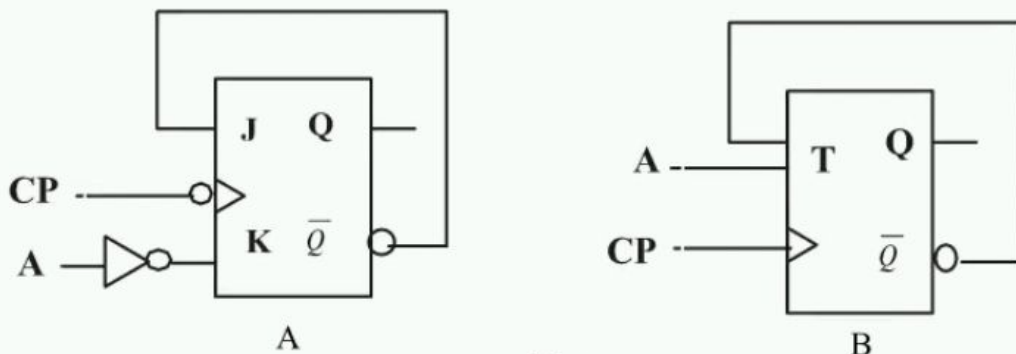


图 1

9. 使用 256×4 位 EPROM 芯片构成 $2K \times 32$ 位存储器, 共需 EPROM 芯片 () 片。
A. 64 B. 32 C. 48 D. 16

10. 在 ispLSI1032 中, 巨块是 ()。
A. 逻辑宏单元 B. 输出布线 C. 时钟设置网络 D. GLB 及其对应的 ORP, IOC 等的总称

二、填空题 (每小题 2 分, 共 20 分)

1. 用卡诺图判断函数 $F = AB + BC + AC$ 和 $G = \overline{A}\overline{B} + \overline{B}\overline{C} + \overline{A}\overline{C}$ 之间的逻辑关系是 _____。

2. 一个逻辑函数如果有 n 个变量, 则有 _____ 个最小项。任何一个逻辑函数可以化成一组 _____ 之和表达式。

3. 在 ABEL_HDL 语言中, 等式 $A = D \$ (B = C)$ 的两个结果分别是 _____ 和 _____。

4. 奇偶校验可以检测出 _____ (几) 位错。若有一个七位二进制数为 1000110, 其监督码元 (奇偶校验位) 是 _____ 时为偶校验。

5. 一个由 3:8 译码器构成的逻辑电路如图 2 所示, 函数 F 的最小项表达式为 _____。

6. 某移位寄存器的时钟脉冲频率为 100KHz, 欲将存放在该寄存器中的数左移 16 位, 完成该操作需要 _____ μS 。

7. 用计数器产生 110010 序列, 至少需要 _____ 个触发器。

8. 控制器的控制过程可以用 _____ 图表示出来, 它能和实现它的 _____ 很好地对应起来。

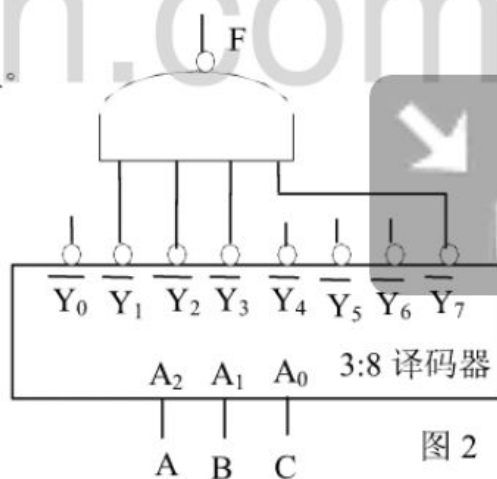


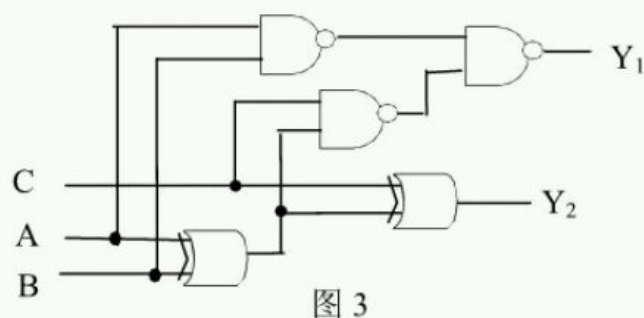
图 2

三、简答题（每小题 5 分，共 10 分）

1. 描述米里型和摩尔型时序电路的定义。
2. 比较定序型控制器和计数型控制器的特点。

四、简单分析题（每小题 5 分，共 10 分）

1. 分析图 3 所示逻辑电路的功能。



2、分析由 74LS90 异步计数器构成的电路图 4，写出电路采用什么编码？为模几计数器？

功能表如下：

R_{01}	R_{02}	R_{91}	R_{92}	CP_1	CP_2	Q_D	Q_C	Q_B	Q_A	说明
1	1	0	x	x	x	0	0	0	0	异步置 0
1	1	x	0	x	x	0	0	0	0	异步置 0
0	x	1	1	x	x	1	0	0	1	异步置 9
x	0	1	1	x	x	1	0	0	1	异步置 9
x	0	x	0	↓	0	二进制计数				由 Q_A 输出
x	0	0	x	0	↓	五进制计数				由 $Q_D Q_C Q_B$ 输出
0	x	x	0	↓	Q_A	8421 码十进制计数				$Q_D Q_C Q_B Q_A$ 输出
0	x	0	x	Q_D	↓	5421 码十进制计数				$Q_A Q_D Q_C Q_B$ 输出

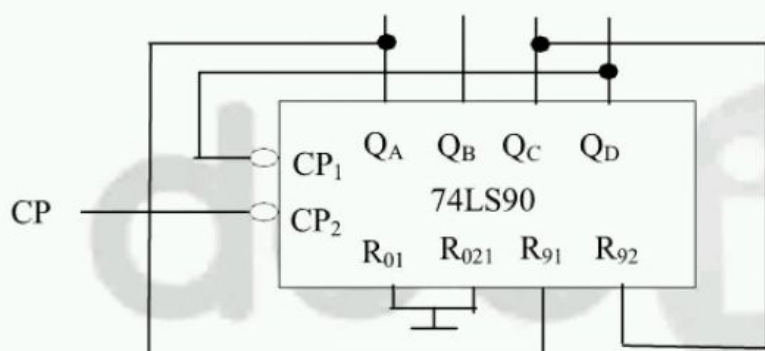


图 4

五、组合电路设计（10 分）

设 A、B、C 为保密锁的 3 个按键，当 A 键单独按下时，锁既不打开也不报警；只有当 A、B、C 或者 A、B 或者 A、C 分别同时按下时，锁才能被打开，当不符合上述组合状态时，将发出报警信息，请设计此保密锁的逻辑电路。

- ① 列真值表。
- ② 求最简逻辑表达式。（卡诺图）
- ③ 画出用与非门实现的电路图。



六、时序电路设计（12分）

某计数器的输出波形如图 5 所示。

- ① 试确定该计数器的计数循环中有几个状态？
- ② 列出状态转移真值表、画出状态转移图。
- ③ 若使用 D 触发器，写出激励方程表达式。
- ④ 画出计数器电路图。

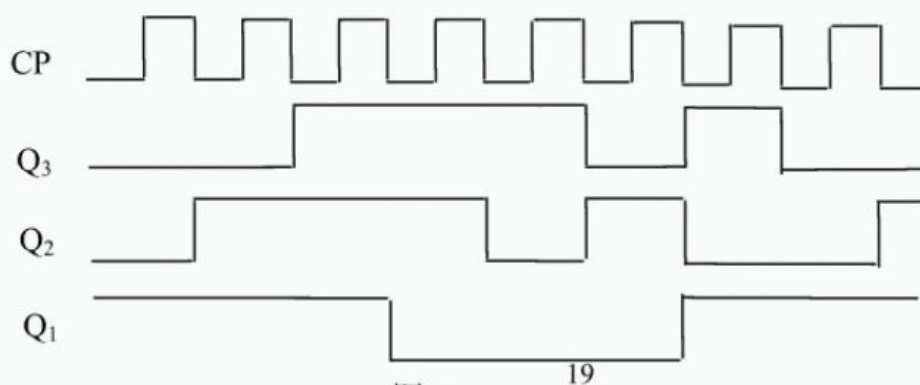


图 5



北京 XX 大学 2005——2006 学年第一学期

《数字逻辑与数字系统》期末考试试题标准答案

二、选择题（每小题 1 分，共 10 分）

1. D
2. C
3. C
4. B
5. A
6. D
7. C
8. A
9. A
10. D

二、填空题（每小题 2 分，共 20 分）

1. $F = \overline{G}$
2. 2^n , 最小项

3. $A = \overline{D}$, $A=D$

4. 1 位(奇数位), 1
- 5.

$$F = \sum (1, 2, 3, 7)$$

6. 160
7. 3
8. ASM 图, 硬件
9. 20, 4
10. 可编程, 固定

三、简答题

1、(5 分, 每个概念各占 2.5 分)

同步时序逻辑电路按其输入与输出的关系不同, 可分为米里型和摩尔型两类。在输出表达式中包含输入变量和状态变量时, 称之为米里型时序逻辑电路。在输出表达式中只包含状态变量时, 称之为摩尔型时序逻辑电路。

2、(5 分, 每个概念各占 2 分, 特点 1 分)

将所要求的控制状态按一定原则进行编码分配, 从而设计的状态计数型的控制器称之为计数器型控制器。这种方法的优点是对于控制状态数较多时, 为了节省触发器数目, 采用编码方式组成状态。对 n 个触发器进行编码最多可代表 2^n 个状态, 也就是可以构成 2^n 个状态编码。缺点是算法流程图中的微小变化, 都要重新逐一计算生成次态激励函数。

定序型控制器需要较多数量的触发器, 其基本思想是一对一法, 即触发器的数目代表了状态数, 并依赖最新的代码实现状态转换。这种方法的优点是设计简单, 不需要状态译码。

四、简单分析题 (每小题 5 分, 共 10 分)

1. ①真值表 (2 分)

A	B	C	Y2	Y1
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

②表达式 (2 分)

$$Y_1 = AB + (A \oplus B)C$$

$$Y_2 = A \oplus B \oplus C$$

③该电路为全加器 (1 分)

2. ①5421 码 (2 分), ②当 $Q_A Q_D Q_C Q_B = 1010$ (7) 时置 9。从 9 到 0 需要一个时钟脉冲, 即

(0) \rightarrow (1) \rightarrow (2) \rightarrow (3) \rightarrow (4) \rightarrow (5) \rightarrow (6) \rightarrow (7) (9) \rightarrow (0)

因此为模 8 计数器 (3 分)

五、组合电路设计（10 分）①真值表（3 分）

A	B	C	F	G
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	0	1
1	0	0	0	0
1	0	1	1	0
1	1	0	1	0
1	1	1	1	0

②表达式（3 分）

$$F = AB + AC$$

$$G = \overline{A}B + \overline{A}C$$

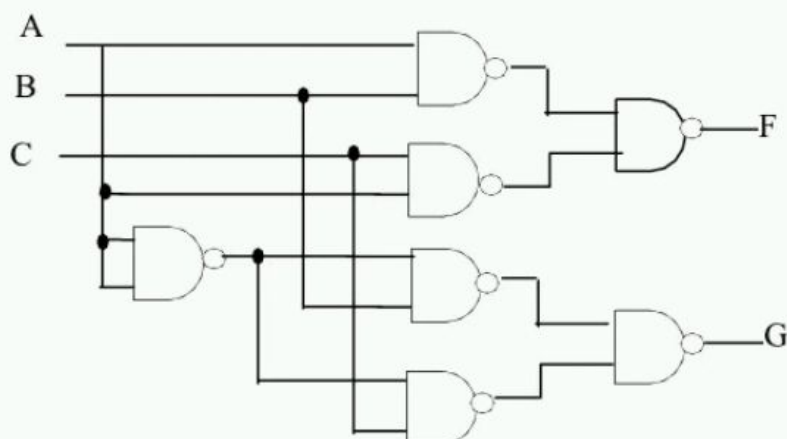
AB \ C	00	01	11	10
0	0	0	1	0
1	0	0	1	1

AB \ C	00	01	11	10
0	0	1	0	0
1	1	1	0	0

③画电路图（4 分）

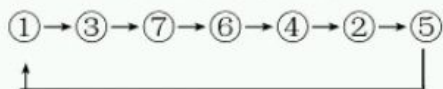
$$F = \overline{\overline{AB} \cdot \overline{AC}}$$

$$G = \overline{\overline{\overline{A}B} \cdot \overline{\overline{A}C}}$$



六、时序电路设计 (12分)

- ① 该计数器的计数循环中 7 个状态。(2 分)
- ② 列出状态转移真值表、画出状态转移图。(4 分)



Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	1	0	1	1
0	1	1	1	1	1
1	1	1	1	1	0
1	1	0	1	0	0
1	0	0	0	1	0
0	1	0	1	0	1
1	0	1	0	0	1
0	0	0			

- ③ 若使用 D 触发器，写出激励方程表达式。(3 分)

 Q_2^{n+1}

Q_2Q_1	00	01	11	10
Q_0				
0	X	1	1	0
1	0	1	1	0

 $D_2=Q_1$
 Q_1^{n+1}

Q_2Q_1	00	01	11	10
Q_0				
0	X	0	0	1
1	1	1	1	0

$$D_1 = \overline{Q_2}Q_0 + Q_1Q_0 + \overline{Q_1}\overline{Q_0}$$

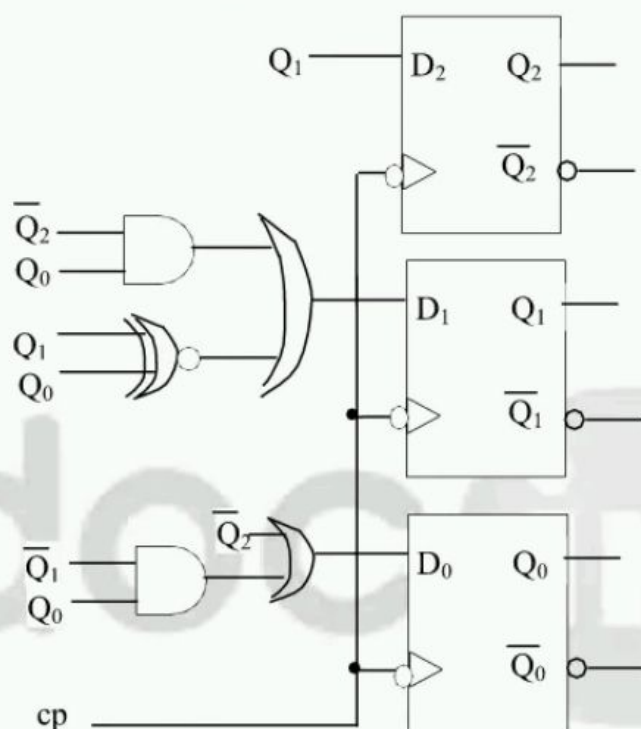
 Q_0^{n+1}

Q_2Q_1	00	01	11	10
Q_0				

0	X	1	0	0
1	1	1	0	1

$$D_0 = \overline{Q_2} + \overline{Q_1}Q_0$$

④ 画出计数器电路图。(3 分)



七、硬件描述语言设计 (14 分)

① 程序结构 (3 分)

②

```
MODULE 8421BCD_LED
```

```
TITLE 'output 8421bcd code and 7 LED code'
```

```
Declarations (2 分)
```

```
Q0,Q1,Q2,Q3 node istype 'reg';
```

```
clk pin ;
```

```
a,b,c,d,e,f,g pin ;
```

```
Q=[Q0..Q3];
```

```
Equations (4 分)
```

```
Q:=(Q+1)&!(Q==9);
```

```
Q:=0&(Q==9);
```

```
Q.clk=clk;
```

```
TRUTH_TABLE (5 分)
```

([Q3, Q2, Q1, Q0]->[a, b, c, d, e, f, g])

[0,0,0,0] ->[1,1,1,1,1,1,0];

[0,0,0,1] ->[0,1,1,0,0,0,0];

[0,0,1,0] ->[1,1,0,1,1,0,1];

[0,0,1,1] ->[1,1,1,1,0,0,1];

[0,1,0,0] ->[0,1,1,0,0,1,1];

[0,1,0,1] ->[1,0,1,1,0,1,1];

[0,1,1,0] ->[1,0,1,1,1,1,1];

[0,1,1,1] ->[1,1,1,1,0,0,0];

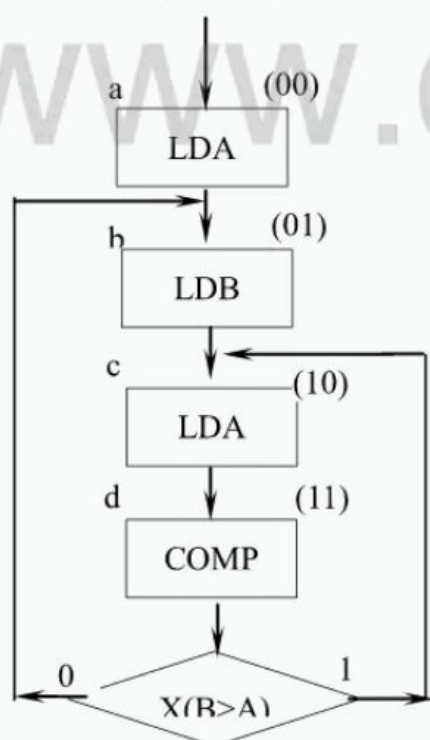
[1,0,0,0] ->[1,1,1,1,1,1,1];

[1,0,0,1] ->[1,1,1,0,0,1,1];

END

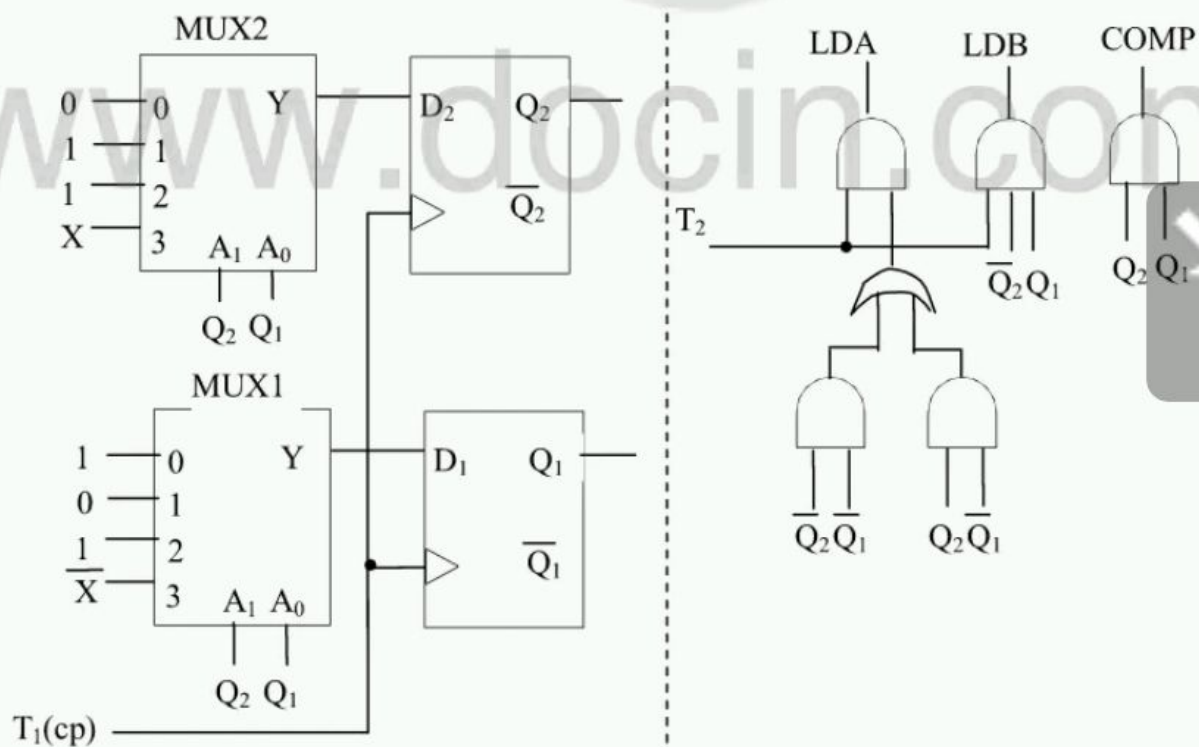
八、小型控制器设计（14 分）

① ASM 流程图（3 分）



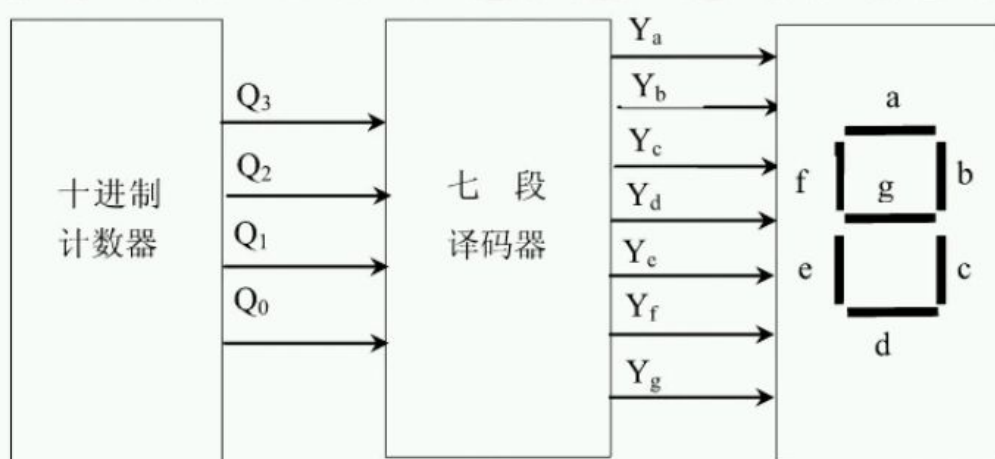
现态		次态			
	编码		Q_2^{n+1}	Q_1^{n+1}	转移条件
a	0	b	0	1	
b	1	c	1	0	
c	2	d	1	1	
d	3	c	1	0	X
		b	0	1	\overline{X}

③ 设计多路选择器型控制器电路。（7分）



七、硬件描述语言设计（14 分）

一位十进制计数器七段数字显示系统如图 6 所示。计数器是 8421BCD 码同步计数器，其输出 $Q_3 \sim Q_0$ 作为七段译码器的输入，译码器的输出送到七段发光二极管显示器，它能显示 0, 1, 2, …… 9 十个字符。采用 ABEL-HDL 语言设计一位十进制计数器和七段译码器，写出完整的设计源程序。



七段发光二极管为共阴极电路，即各段为“1”时亮

图 6

8421BCD 七段显示译码真值表

Q_3	Q_2	Q_1	Q_0	a	b	c	d	e	f	g	显示
0	0	0	0	1	1	1	1	1	1	0	0
0	0	0	1	0	1	1	0	0	0	0	1
0	0	1	0	1	1	0	1	1	0	1	2
0	0	1	1	1	1	1	1	0	0	1	3

八、小型控制器设计（14 分）

有一个数字比较系统，它能连续对两个八位二进制数据进行比较，操作过程如下：先将两个数存入寄存器 A 和寄存器 B，然后进行比较，最后将大数移入寄存器 B 中。其方框图如图 7 所示。其中 Y 为输入数据，LDA 和 LDB 为打入控制信号，COMP 是三态门使能控制信号，X 是比较器输出信号。假设状态发生变化在 T_1 节拍时间，打入寄存器操作发生在 T_2 节拍时间，状态周期 $T = T_1 + T_2$ 。

- ① 画出 ASM 流程图。
- ② 列出状态转移真值表
- ③ 设计多路选择器型控制器电路。

