

浙江大学



计算机逻辑设计基础

Lab 10

Author: 苏煜程

Student ID: 3220105481

Date: 2023 年 11 月 29 日

浙江大学实验报告

课程名称：计算机逻辑设计基础

实验名称：锁存器与触发器基本原理

学生姓名：苏煜程 专业：人工智能（图灵班） 学号：3220105481

同组学生姓名：张延泽 指导老师：董亚波

实验地点：东 4-509 实验日期：2023 年 11 月 16 日

1 实验目的

1. 掌握锁存器与触发器构成的条件和工作原理
2. 掌握锁存器与触发器的区别
3. 掌握基本 SR 锁存器、门控 SR 锁存器、D 锁存器、SR 锁存器、D 触发器的基本功能
4. 掌握基本 SR 锁存器、门控 SR 锁存器、D 锁存器、SR 锁存器存在的时序问题

2 实验任务

1. 实现基本 SR 锁存器，验证功能和存在的时序问题
2. 实现门控 SR 锁存器，并验证功能和存在的时序问题
3. 实现 D 锁存器，并验证功能和存在的时序问题
4. 实现 SR 主从触发器，并验证功能和存在的时序问题
5. 实现 D 触发器，并验证功能

3 实验原理

3.1 锁存器

构成锁存器的充分条件：

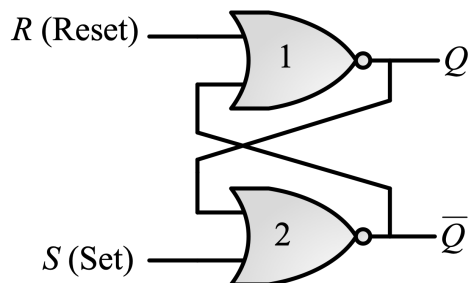
1. 能长期保持给定的某个稳定状态
2. 有两个稳定状态：0、1
3. 在一定条件下能随时改变逻辑状态，即：置 1 或置 0

最基本的锁存器有：SR 锁存器、D 锁存器

锁存器有两个稳定状态，又称双稳态电路

3.1.1 SR 锁存器

将两个具有 2 输入端的反向逻辑器件的输出与输入端交叉连起来，另一个输入端作为外部信息输出端，就构成最简单的 SR 锁存器。

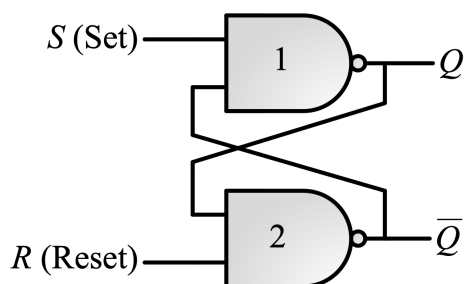


(a) SR 锁存器

RS	QQ	说明
00	QQ	保持
01	10	置1
10	01	置0
11	00	未定义

(b) SR 锁存器真值表

使用 NAND 门实现的 SR 锁存器：

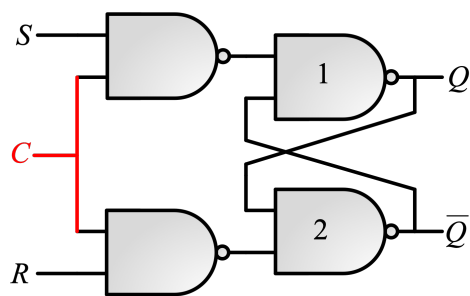


(a) SR 锁存器

RS	QQ	说明
00	11	未定义
01	01	置0
10	11	置1
11	QQ	保持

(b) SR 锁存器真值表

门控 SR 锁存器：加入使能端，只有使能端为 1 时，才能改变锁存器的状态



(a) 门控 SR 锁存器

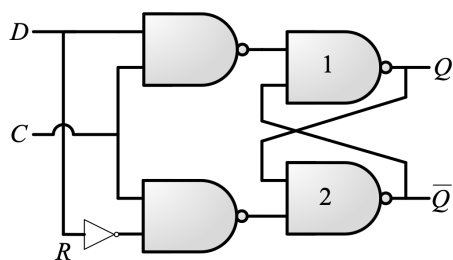
CRS	QQ	说明
$0 \times \times$	QQ	保持
100	QQ	保持
101	10	置1
110	01	置0
111	11	未定义

(b) 门控 SR 锁存器真值表

3.1.2 D 锁存器

基本 SR 锁存器缺点：存在不确定状态

解决方法：消除不确定状态，只需 1 个数据输入端 D，输出端 Q 等于输入端 D，采用电平控制 C。



(a) D 锁存器

CD	$Q\bar{Q}$	说明
$0 \times$	$Q\bar{Q}$	保持
10	01	置0
11	10	置1

(b) D 锁存器真值表

锁存器的空翻现象 D 锁存器的缺点：存在空翻现象，如果 D 锁存器直接用在时序电路中作为状态存储元件，当使能控制信号有效时，会导致该元件内部的状态值随时多次改变，而不是保持所需的原始状态值。而需要的是每个时钟周期内只改变一次。

解决方法：消除空翻现象，使一个时钟周期内每次触发仅使锁存器的内部状态改变一次。

3.2 触发器

触发：外部输入使锁存器状态改变的瞬间状态

触发器：在锁存器的基础上使每次触发仅使状态改变一次的锁存电路（双稳态）

- 主从触发器：用两个锁存器，主锁存器在脉冲控制下接受输入信号，从锁存器在脉冲结束后改变并保持状态。
- 边沿触发器：利用时钟上升沿或下降沿变换状态，其他时间保持状态。

常见触发器：D 触发器、JK 触发器、T 触发器、主从 SR 触发器

3.2.1 主从 SR 触发器

1. 由两个钟控 S-R 锁存器串联构成，第二个锁存器的时钟通过反相器取反
2. 当 $C=1$ 时，输入信号进入第一个锁存器（主锁存器）
当 $C=0$ 时，第二个锁存器（从锁存器）改变输出
3. 从输入到输出的通路被不同的时钟信号值 ($C = 1$ 和 $C = 0$) 所断开

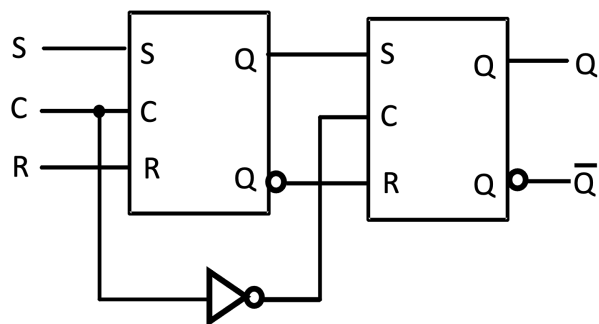
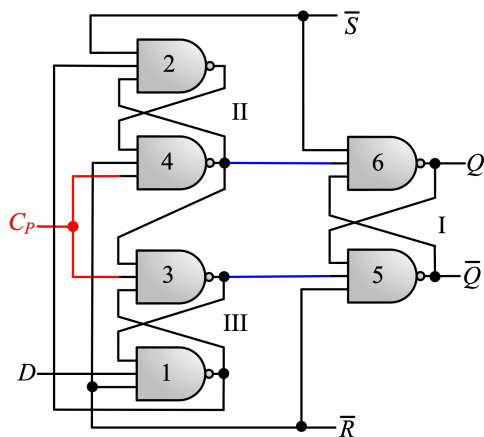


图 5: 主从 SR 触发器

3.2.2 正边沿维持阻塞型 D 触发器



(a) 正边沿维持阻塞型 D 触发器

异步控制			上升沿触发		
R	S	C_P	D	Q	\bar{Q}
0	1	×	×	0	1
1	0	×	×	1	0
1	1	↑	0	0	1
1	1	↑	1	1	0

(b) 正边沿维持阻塞型 D 触发器真值表

4 实验内容与步骤

1. 实现基本 SR 锁存器，验证功能和存在的时序问题
2. 实现门控 SR 锁存器，并验证功能和存在的时序问题
3. 实现 D 锁存器，并验证功能和存在的时序问题
4. 实现 SR 主从触发器，并验证功能和存在的时序问题
5. 实现 D 触发器，并验证功能

4.1 基本 SR 锁存器

1. 新建工程 MyLATCHS
2. 新建源文件 SR_LATCH.sch

3. 用原理图方式设计

4. 用 NAND2 实现

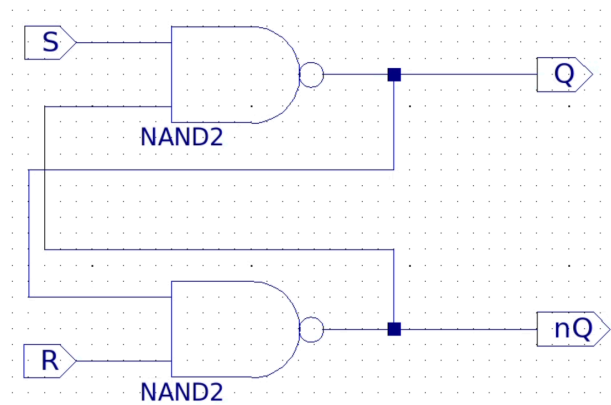


图 7: 基本 SR 锁存器

5. 仿真

```
initial begin
    R=0;S=0; #50;
    R=1;S=0; #50;
    R=1;S=1; #50;
    R=0;S=1; #50;
    R=1;S=1; #50;
    R=0;S=0; #50;
end
```

(a) 仿真代码



(b) 仿真结果

结果符合 SR 锁存器的真值表。其中 0 ns 时, S 和 R 都为 0, 此时 Q 和 Qbar 都为 1, 为未定义状态。

4.2 门控 SR 锁存器

1. 新建源文件 CSR_LATCH.sch

2. 用原理图方式设计

3. 用 NAND2 实现

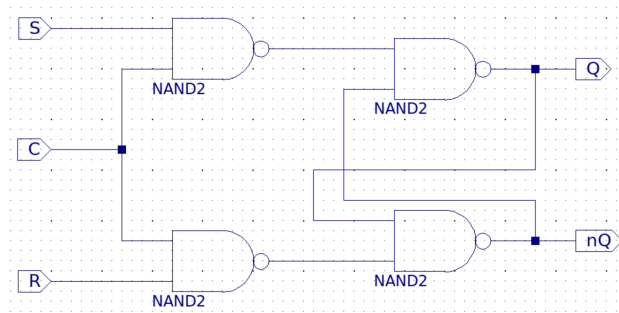
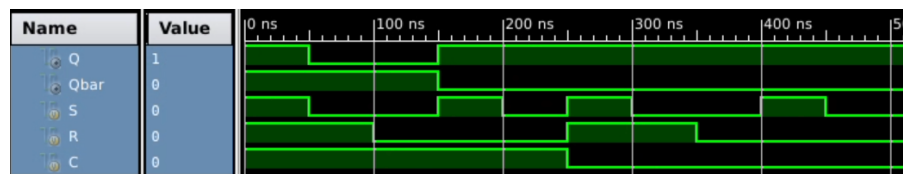


图 9: 门控 SR 锁存器

4. 仿真

```
initial begin
    C = 1;
    R = 1; S = 1; #50;
    R = 1; S = 0; #50;
    R = 0; S = 0; #50;
    R = 0; S = 1; #50;
    R = 0; S = 0; #50;
    C = 0;
    R = 1; S = 1; #50;
    R = 1; S = 0; #50;
    R = 0; S = 0; #50;
    R = 0; S = 1; #50;
    R = 0; S = 0; #50;
end
```

(a) 仿真代码



(b) 仿真结果

结果符合门控 SR 锁存器的真值表。其中 0 ns 时，S 和 R 都为 1，此时 Q 和 Qbar 都为 1，为未定义状态。

4.3 D 锁存器

1. 新建源文件 D_LATCH.sch
2. 用原理图方式设计
3. 用 NAND2 实现

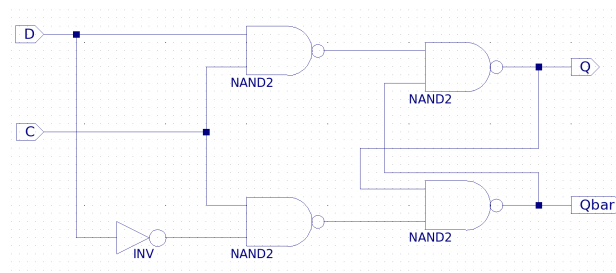
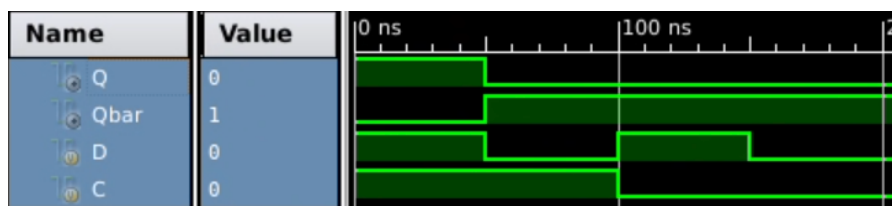


图 11: D 锁存器

4. 仿真

```
initial begin
    C=1;D=1; #50;
    D=0; #50;
    C=0;D=1; #50;
    D=0;
end
```



(a) 仿真代码

(b) 仿真结果

结果符合 D 锁存器的真值表。

5. 搭建电路验证空翻现象

搭建如下电路：

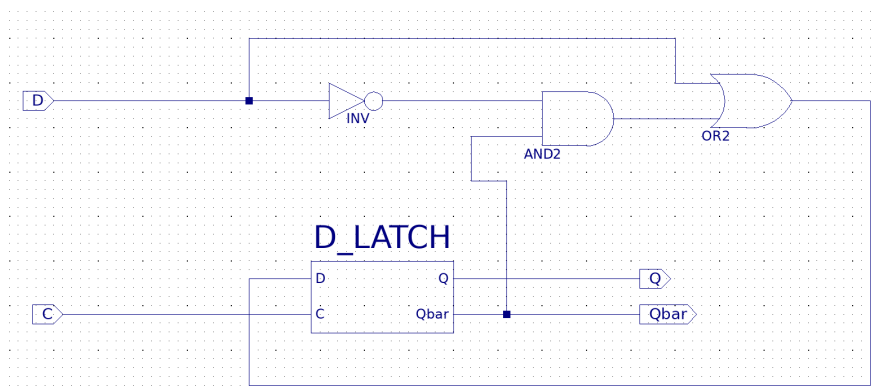


图 13: 验证空翻现象电路

首先将输入端 D 置为 1，此时 Q 为 1，Qbar 为 0。随后将 D 置为 0，这样相当于 Qbar 和 D 锁存器的 D 输入相连接，产生一个振荡电路，因为 Qbar 和 D 锁存器的 D 输入理论上相反。

仿真代码如下：

```
initial begin
    D = 1; #40;
    D = 0;
end
always begin
    C = 0; #20;
    C = 1; #20;
end
```

图 14: 仿真代码

仿真结果如下：



图 15: 空翻现象

可见 60 ns 后电路进入了振荡状态，最后时刻的 Q 和 Qbar 在不断变化。

4.4 SR 主从触发器

1. 新建源文件 MS_FLIPFLOP.sch
2. 用原理图方式设计
3. 调用 CSR_LATCH 实现

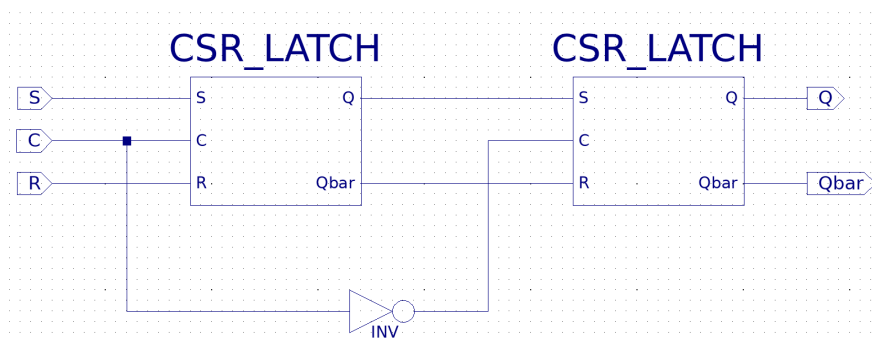


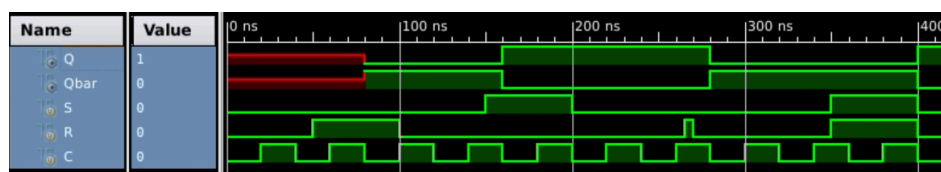
图 16: SR 主从触发器

4. 仿真

```

initial begin
    R=0;S=0; #50
    R=1;S=0; #50;
    R=0;S=0; #50;
    R=0;S=1; #50;
    R=0;S=0; #65;
    R=1;S=0; #5;
    R=0;S=0; #30;
    R=0;S=0; #50;
    R=1;S=1; #50;
    R=0;S=0; #50;
end
always begin
    C=0;#20;
    C=1;#20;
end
end

```



(a) 仿真代码

(b) 仿真结果

其中体现了 SR 主从触发器的一次性采样问题：

270 ns 时，R 输入有一次抖动，但是在下一次时钟下降沿的时候，R 和 S 的输入和上一次未发生改变。由于 R 的抖动，导致 Q 和 Qbar 的输出发生了改变。



图 18: SR 主从触发器一次性采样问题

4.5 D 触发器

1. 新建源文件 D_FLIPFLOP.sch
2. 用原理图方式设计
3. 调用 NAND3 实现

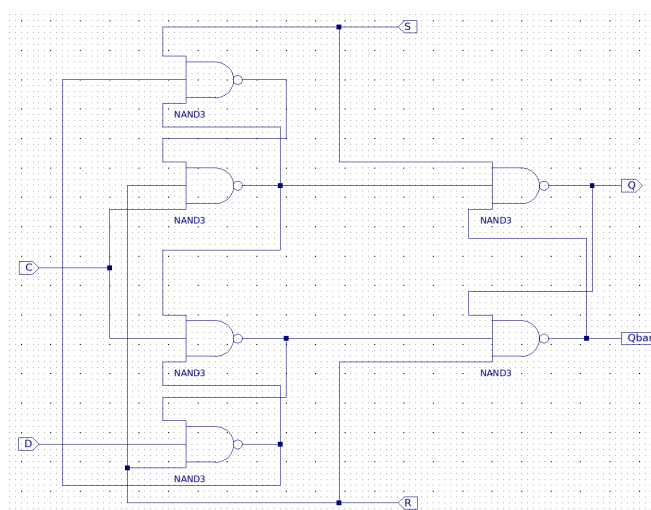


图 19: D 触发器

4. 仿真

```
initial begin
    D = 0;
    R=1;S=1; #50;
    R=1;S=0; #50;
    R=1;S=1; #50;
    R=0;S=1; #50;
    R=1;S=1; #100;
    D = 1; #150;
    D = 0;
end
always begin
    C = 0; #50;
    C = 1; #50;
end
```

(a) 仿真代码



(b) 仿真结果

可以看到，当 $R = S = 1$ 时，输出 Q 由输入 D 决定；当 R 和 S 变化时，输出由 R 和 S 决定，与 C 和 D 无关。和真值表一致。

5 实验结果分析

本次实验没有进行上板，仿真代码和结果已在上文给出。实验结果符合预期。

6 讨论与心得

在设计 D 锁存器的空翻现象时，虽然老师上课讲了振荡电路，但没有讲如何实现，我自己设计了几个电路都无法正常实现振荡，之后看了学长的设计才成功实现（直呼巧妙）。

PPT 上的仿真感觉都挺随便的，甚至代码和仿真波形都对不上。还是需要自己理解了原理，自己设计仿真方案才行。