**UART** är en förkortning för "Universal Asynchronous Receiver/Transmitter" och är en datorhårdvara som omvandlar parallell data till seriell data. En UART tar en byte data och överför dessa sekventiellt bit för bit till en annan UART i andra änden som sätter ihop dessa till en byte igen. Start- och stoppbitar används för att signalera när data skickas.

En synkron variant finns också, **USART** eller "Universal Synchronous/Asynchronous Receiver/Transmitter". Den använder inte start- och stoppbitar utan en delad klocksignal håller reda på när bitarna kommer. Synkron kommunikation är effektivare eftersom endast databitar(block) skickas mellan sändare och mottagare, men det kräver också att sändare och mottagare har tillgång till samma klocksignal.

USART har även en data/clock recovery som används för att sätta buad rate clock hastigheten(Baud rate (in bits per second, bps) och ta emot asynchronous bitar på RxDn pin. Om man får felmeddelanden på UARTen så brukar de vara pga att clock frekvensen inte är satt till rätt värde.

TWI - 2-wire Serial Interface. Features

• Simple, yet Powerful and Flexible Communication Interface, only two Bus Lines Needed

• Both Master and Slave Operation Supported

• Device can Operate as Transmitter or Receiver

• 7-bit Address Space Allows up to 128 Different Slave Addresses

• Multi-master Arbitration Support

• Up to 400kHz Data Transfer Speed

• Slew-rate Limited Output Drivers

• Noise Suppression Circuitry Rejects Spikes on Bus Lines

• Fully Programmable Slave Address with General Call Support

• Address Recognition Causes Wake-up When AVR is in Sleep Mode

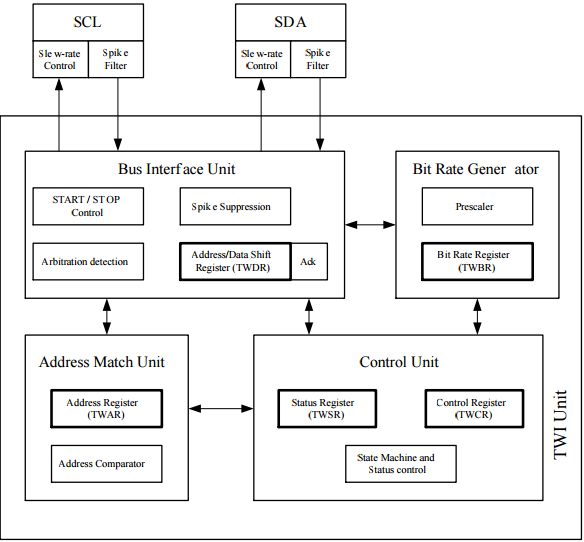
• Compatible with Philips’ I2C protocol

Det ända som behövs för att koppla 128 olika enheter till TWI (SDA,SCL ) är en pull-up resistor på vardera kanal.

TWI består av 9bits samt en master och en slave. Där master utfärdar ett START/STOPP vilkor, vilket signalerar och ändrar nivån på SDA/SCL kanalerna.

Alla slavenheter som är inkopplade kommer kolla efter SDA kanalen i ACK cykeln(ACK är den 9e biten inte fatt fram så mycket info om det) om det finns datapaket att hämta.

Dessa slavar måste hämta datan från addresser och inte readbit. Använder man readbit skulle det medföra fel om olika slavar skickar data samtidigt.



Bit Rate Generator Unit This unit controls the period of SCL when operating in a Master mode. The SCL period is controlled by settings in the TWI Bit Rate Register (TWBRn) and the Prescaler bits in the TWI Status Register

Bus Interface Unit This unit contains the Data and Address Shift Register (TWDRn), a START/STOP Controller

Address Match Unit The Address Match unit checks if received address bytes match the seven-bit address in the TWI Address Register (TWARn).

Control Unit The Control unit monitors the TWI bus and generates responses corresponding to settings in the TWI Control Register