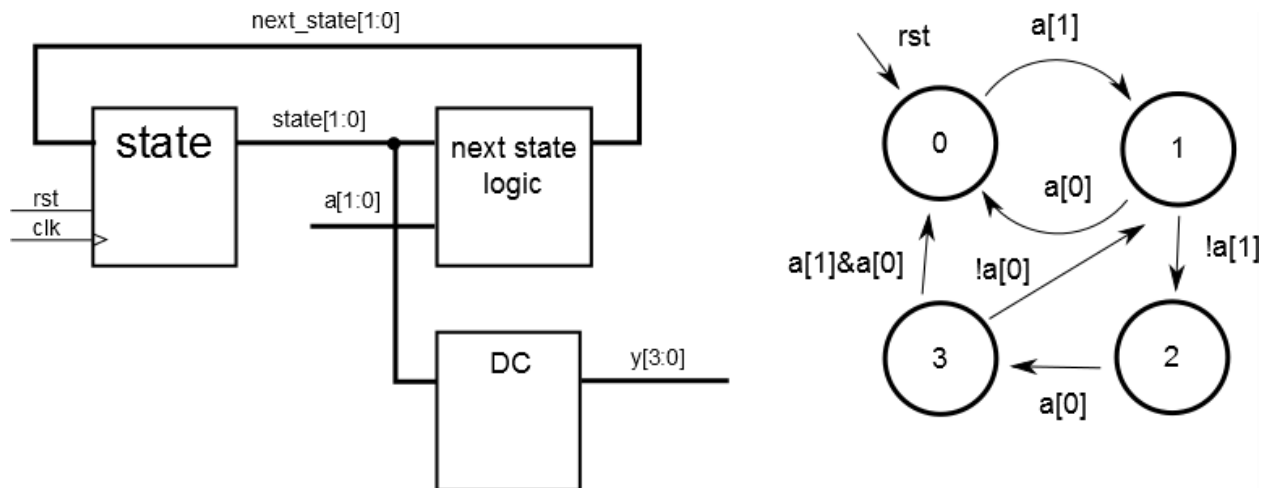


## ПРИМЕР КОНТРОЛЬНОЙ РАБОТЫ №2

### Задание 1

Напишите модуль на языке Verilog HDL, реализующий поведение автомата:



Блок **next state logic** – это комбинационный блок, который формирует значение следующего состояния на основе информации о текущем состоянии и значении входного сигнала **a**. Функциональность данного блока можно выразить с помощью таблицы:

state	a[1]	a[0]	next_state	y
0	1	0/1	1	1
1	0/1	1	0	2
1	1	0/1	2	2
2	0/1	1	3	4
3	0/1	0	1	8
3	1	1	0	8
При остальных комбинациях next_state = state				

Блок **DC** - позиционный дешифратор.

**ПОЯСНЕНИЕ:** Необходимо написать только логику конечного автомата по схеме на Verilog. Мне главное понимать, что вы знаете, как описывать автомат на Verilog. Написание кода по схеме — это обратное действие, которое вы делали на лабах.

### Задание 2

Постройте структурную схему функционального блока по описанию его поведения на языке Verilog HDL. При построении схемы необходимо использовать базовые операционные элементы цифровой схемотехники: мультиплексоры, шифраторы/дешифраторы, сумматоры, регистры, счетчики и т.п.

```
module fblock(  
    input clk,  
    input rst,  
    input wr,
```

```

    input [7:0] a,
    input [7:0] b,

    output y
);

    reg [7:0] val_r;
    wire [7:0] val_next;

    assign y = val_r[0];
    assign val_next = (wr)? a + b : val_r >> 1 ;

    always@(posedge clk, posedge rst)
        if(rst) begin
            val_r <= 0;
        end else begin
            val_r <= val_next;
        end

endmodule

```

**ПОЯСНЕНИЕ:** Данное задание показывает, как вы понимаете базовые конструкции Verilog. В коде запрограммировано не много элементов. Для это задания изучите как описываются мультиплексоры, шифраторы/дешифраторы, сумматоры, регистры, счетчики на Verilog.

### Задание 3

---

Напишите модуль на Verilog HDL.

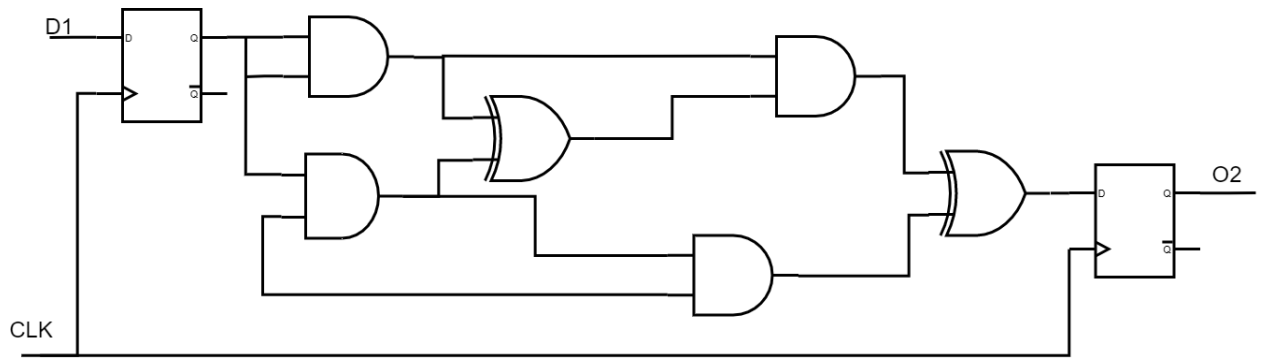
Модуль имеет три одноразрядных входа a, b, c и одноразрядный выход. На выходе формируется значение, которое установлено на большинстве входов. Нарисуйте структурную схему получившегося модуля в терминах базовых операционных элементов цифровой схемотехники.

**ПОЯСНЕНИЕ:** Заменяю задания на попроще, которое займет меньше времени. В этом задании важно показать, что вы знаете формат описания основных элементов модулей в Verilog и можете выбрать правильный способ расчета поставленной задачи. Если вы сделаете незначительные ошибки или опечатки в коде, то это не снизит оценку. Так как модуль получится простым, то и схема будет небольшой.

### Задание 4

---

Для указанного примера изобразите критический путь. Также необходимо рассчитать максимально возможную частоту тактового сигнала (CLK) если: задержка триггера - 5 пс, время удержания - 1 пс, время предустановки - 3 пс, задержка на вентилях - 3 нс и задержка на линиях связи – 2 нс.



**ПОЯСНЕНИЕ:** В данном задании нужно понимать, что такое критический путь в схемах и как рассчитывать задержку в синхронных схемах. Формулы и пояснения можно найти в презентациях

[https://drive.google.com/drive/folders/1g22a4ATPRDM5zowCWP6JS5gphrfz4a0K?usp=drive\\_link](https://drive.google.com/drive/folders/1g22a4ATPRDM5zowCWP6JS5gphrfz4a0K?usp=drive_link)