

东南大学成贤学院考试卷（B 卷）

课程名称	计算机组成原理	适用专业	计算机科学与技术 软件工程
考试学期	20-21-2	考试形式	开卷□闭卷√
考试Q	2305201452	姓名	呆@西西弗斯
得分			

题号	一	二	三	合计
得分				

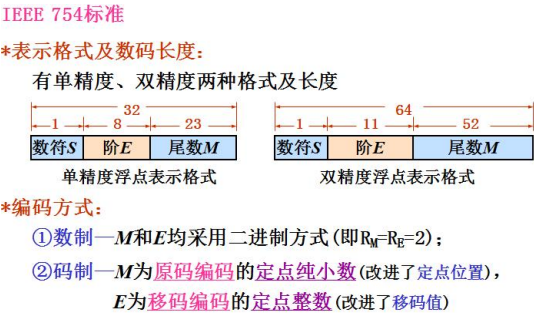
一、选择题（共 10 分，每题 1 分）

1. 某机字长 8 位，采用补码形式（其中 1 位为符号位），则机器数所能表示的范围是\_\_\_\_\_。  
A. -127 ~ 127; B. -128 ~ +128; C. -128 ~ +127; D. -128 ~ +128。
2. 某计算机字长是 32 位，它的存储容量是 64KB。按字编址，它的寻址范围是\_\_\_\_\_。  
A. 16KB; B. 16K; C. 32K; D. 32KB。
3. 中断向量可提供\_\_\_\_\_。  
A. 被选中设备的地址; B. 传送数据的起始地址;  
C. 中断服务程序入口地址; D. 主程序的断点地址
4. 计算机操作的最小单位时间是\_\_\_\_\_。  
A. 时钟周期; B. 指令周期; C. CPU 周期; D. 执行周期。
5. 系统总线是指（ ）。  
A. 运算器、控制器和寄存器之间的信息传送线  
B. 运算器、寄存器和主存之间的信息传送线  
C. 运算器、寄存器和外围设备之间的信息传送线  
D. CPU、主存和外围设备之间的信息传送线
6. \_\_\_\_\_寻址便于处理数组问题。  
A. 间接寻址; B. 变址寻址; C. 相对寻址; D. 立即寻址。
7. 下面有关“中断”的叙述，\_\_\_\_\_是不正确的。  
A. 一旦有中断请求出现，CPU 立即停止当前指令的执行，转而去受理中断请求  
B. CPU 响应中断时暂停运行当前程序，自动转移到中断服务程序  
C. 中断方式一般适用于随机出现的服务  
D. 为了保证中断服务程序执行完毕以后，能正确返回到被中断的断点继续执行程序，必须进行现场保存操作
8. \_\_\_\_\_寻址对于实现程序浮动提供了较好的支持。  
A. 间接寻址; B. 变址寻址; C. 相对寻址; D. 直接寻址。
9. 堆栈寻址方式中，设 A 为累加寄存器，SP 为堆栈指示器，Msp 为 SP 指示器的栈

- 顶单元，如果操作的动作是：(A) →Msp，(SP) - 1 → SP，那么出栈操作的动作作为：  
A. (Msp) → A, (SP) + 1 → SP B. (SP) + 1 → SP, (Msp) → A  
C. (SP) - 1 → SP, (Msp) → A D. (Msp) → A, (SP) - 1 → SP
10. 某 DRAM 芯片，其存储容量为 512K×8 位，该芯片的地址线和数据线数目为\_\_\_\_\_。  
A. 8, 512 B. 512, 8 C. 18, 8 D. 19, 8

二、简答题(本题 4 题，每题 10 分，共 40 分)

1、求  $(-11/128)_{10}$  的 IEEE 754 单精度规格化数的机器码（IEEE 754 标准如下）



2、解释如下概念：ALU，CPU，主机和字长。

3、为什么外围设备要通过接口与 CPU 相连？接口有哪些功能？

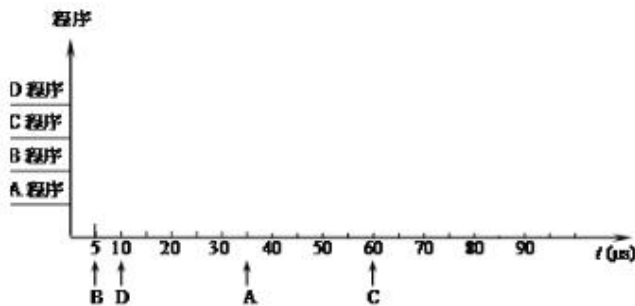
4、什么是微指令和微操作？微程序和机器指令有何关系？微程序和程序之间有何关系？

三、综合设计题(本题共 5 小题，每题 10 分，共 50 分)

- 1、设有一个具有 12 位地址和 4 位字长的存储器，问：
- (1) 该存储器能存储多少字节信息？
  - (2) 如果存储器由 1K×1 位 RAM 芯片组成，需要多少片？
  - (3) 需要地址多少位作为芯片选择？
  - (4) 试画出该存储器的结构图。

- 2、已知  $x=2^{-011} \times 0.101100$ ,  $y=2^{-010} \times (-0.100100)$  用浮点规格化补码加法求  $[x+y]$   
补 (阶码、尾数均用补码表示)，要求写出计算步骤。

- 3、设某机有四个中断源 A、B、C、D，其硬件排队优先次序为 A,B,C,D，现要求将中断处理次序改为 D,A,C,B。
- (1) 写出每个中断源对应的屏蔽字。
  - (2) 按下图时间轴给出的四个中断源的请求时刻，画出 CPU 执行程序的轨迹。设每个中断源的中断服务程序时间均为 20s。



4、某计算机主存按字节编址、有符号定点数采用原码编码，有基址 REG 和变址 REG 各 1 个(分别记为 RB 和 RI)，单地址指令格式如右图所示，设 (RB)=0037H、(RI)=1122H、(PC)=1234H，请计算 MEM 中指令内容为①4428H ②2244H ③1392H ④ 3592H 的操作数或 EA。



5、CPU 结构如下图所示，其中有一个累加寄存器 AC、一个状态条件寄存器和其他 4 个寄存器，各部件之间的连线表示数据通路，箭头表示信息传送方向。

(1) 标明 a, b, c, d 4 个寄存器的名称。

(2) 简述指令从主存取出送到控制器的数据通路。

(3) 简述数据在运算器和主存之间进行存取访问的数据通路

