

东南大学成贤学院考试卷（A卷）

课程名称	数字集成电路	适用专业	17 电子科学与技术
考试学期	19-20-2	考试形式	开卷√
		考试时间	120分钟

一、名词解释(本题共5小题，每小题4分，满分 20分)

1. 电迁移：  
是金属线在电流与温度的作用下产生的金属迁移现象  
在电流（主要是直流）作用下，金属原子会发生迁移现象

2. 建立时间：  
指触发器的信号上升沿到来以前，数据稳定不变的时间

3. L di/dt电压降：  
P311

4. 时钟偏差：  
P223

5. 锁存器（latch）：
- 1.维持时间  
指触发器的信号上升沿到来以后，数据稳定不变的时间

2.时钟抖动  
指时钟信号的重要时刻从其理想位置的短期变化

3.欧姆电压降  
指电流通过导体时，由于导体本身的电阻而产生的电压降

4.寄存器  
一般情况下，只在时钟翻转时（边沿触发）才进行数据采样的储存元件，通常由Latch构成

5.电荷泄露  
指电荷从一物体流向另一物体的过程。通常发生在两个带电体间，他们之间没有导体连接时，电荷通过电场相互作用而移动。

二二、 简答题(本题共 4小题，每小题 5分，满分 20分)

1. 根据TCL语言的知识，判断下列语句是否正确？如果有错如何修改。

puts "This is line 1", puts "this is line 2"

2. 根据TCL语言的知识，说明下列语句的含义。

set y [set x "def"]

3. 尽量避免悬浮的节点；使敏感点与全摆幅信号隔离；采用差分信号传输避免共模干扰；额外增加屏蔽层避免串扰

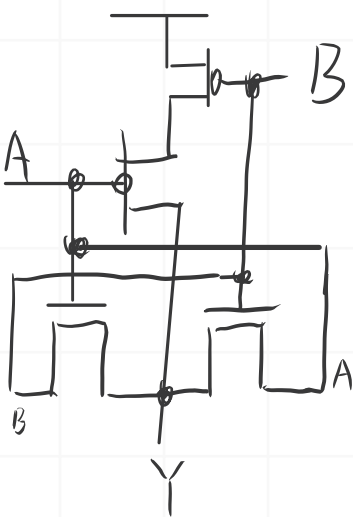
3. 克服线间电容串扰（C Cross Talk）的方法。

4. 提高组合逻辑电路性能的设计方法：
4. 调整晶体管尺寸；逐级增大晶体管尺寸；在逻辑门与输出负载间级联反相器缓冲隔离；重新安排输入，缩小关键逻辑路径的路程

2.动态逻辑电路的优点和缺点。  
2. 优点：与静态逻辑电路比，速度快2—3倍，通常用于高速电路  
缺点：输出信号一但错误放电一次，便不能输出高电平；噪声耐性、漏电耐性低；有时间制约

3.同19年

4.根据以下电路图写出Y与A、B的关系。



$A=0, B=0, Y=1$

$A=1, B=1, Y=1$

$A=0, B=1, Y=0$

$A=1, B=0, Y=0$

$Y = A \oplus B$

3.多米诺门逻辑电路的特点

4.互补传输逻辑的特点



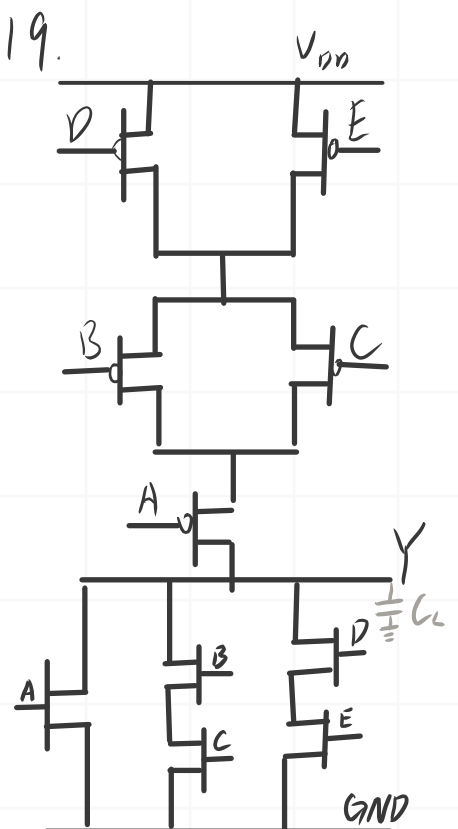
$Y = K_0(\bar{A}\bar{B}) + K_1\bar{A}B + K_2A\bar{B} + K_3AB$

设计题(本题共 6 题, 每小题 10, 满分 60 分)

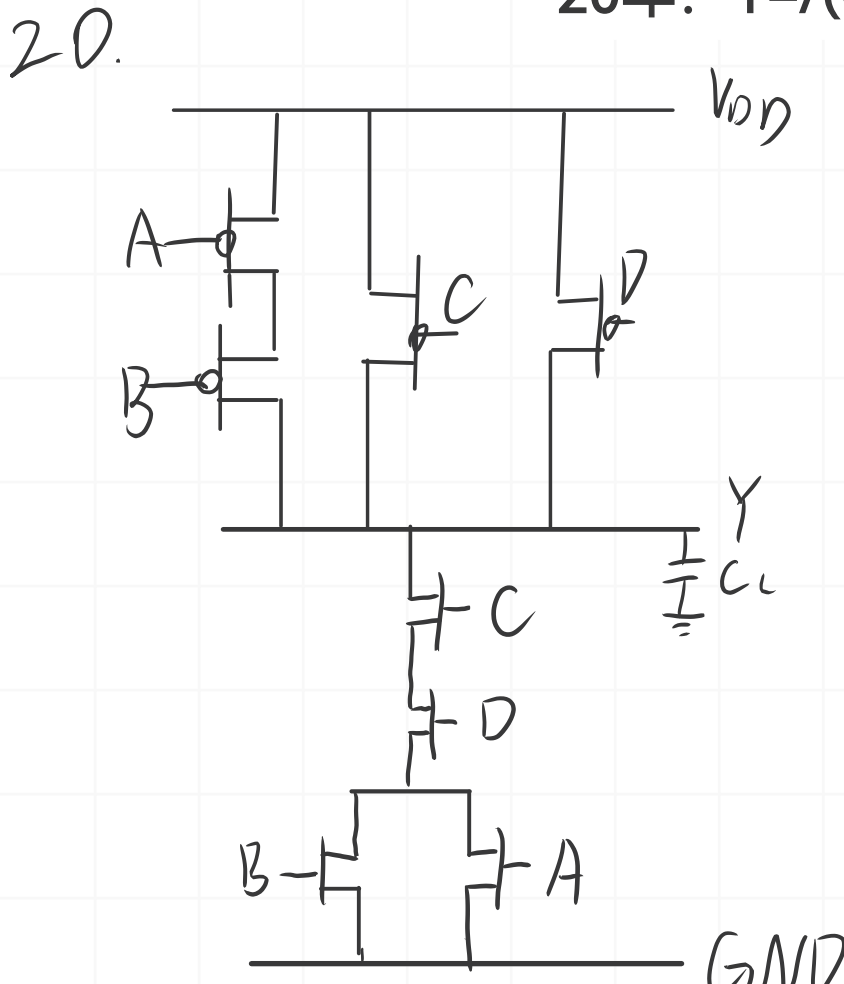
1. 利用互补 CMOS 结构设计有下列逻辑关系的电路图。根据 PMOS 管的导通电阻为  $R_p$ , NMOS 管的导通电阻为  $R_n$ , 负载电容为  $C_L$ , 计算平均边沿延迟时间  $t_p=0.5(t_{pLH}+t_{pHL})$

$Y = \overline{A + BC + DE}$

20年:  $Y = \overline{CD(A+B)}$



$T_{PLH} = 0.69 \times 3 R_p C_L$   
 $T_{PHL} = 0.69 \times 2 R_n C_L$  (最长)  
 $t_p = \frac{1}{2} (T_{PLH} + T_{PHL})$   
 $= 0.345 (2 R_n + 3 R_p) C_L$

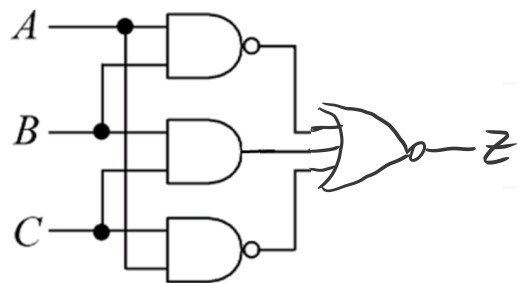
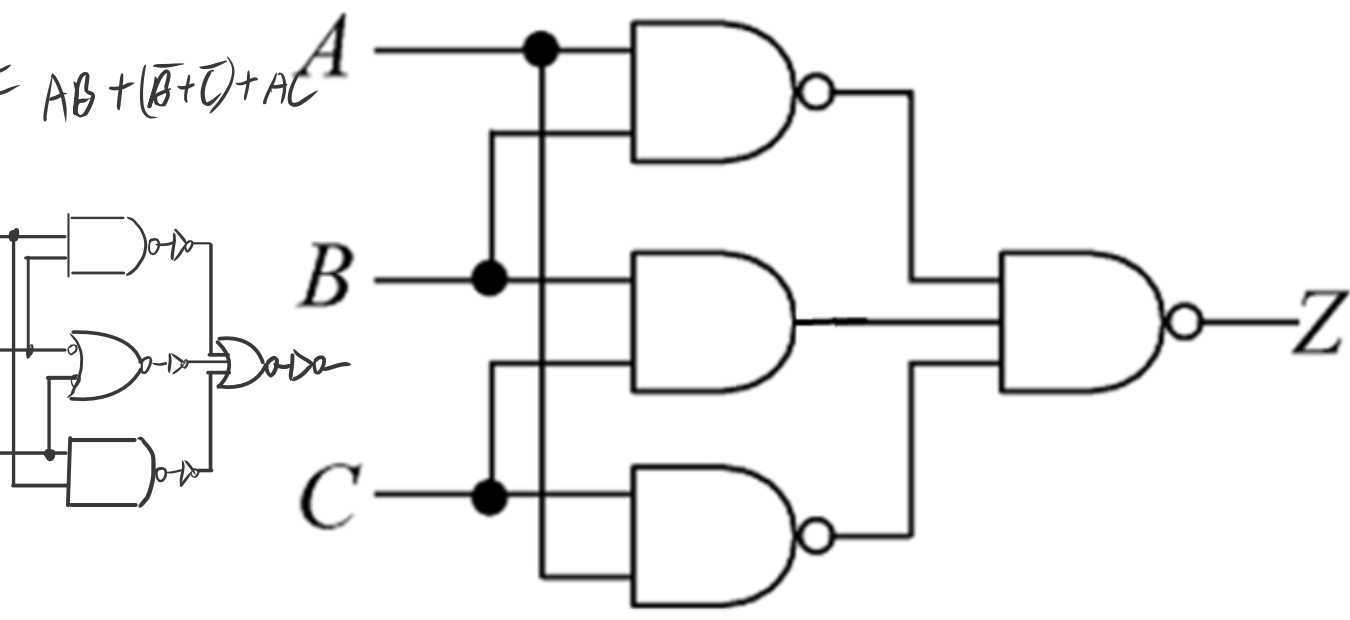


$T_{PLH} = 0.69 \times 2 R_p C_L$   
 $T_{PHL} = 0.69 \times 3 R_n C_L$   
 $t_p = 0.69 (2 R_p + 3 R_n) C_L$

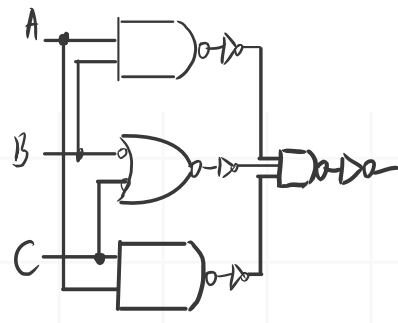
2. 已知电路如下图所示, 试用多米诺逻辑电路实现图示电路的功能。

$Z = \overline{AB} \cdot BC \cdot \overline{AC}$

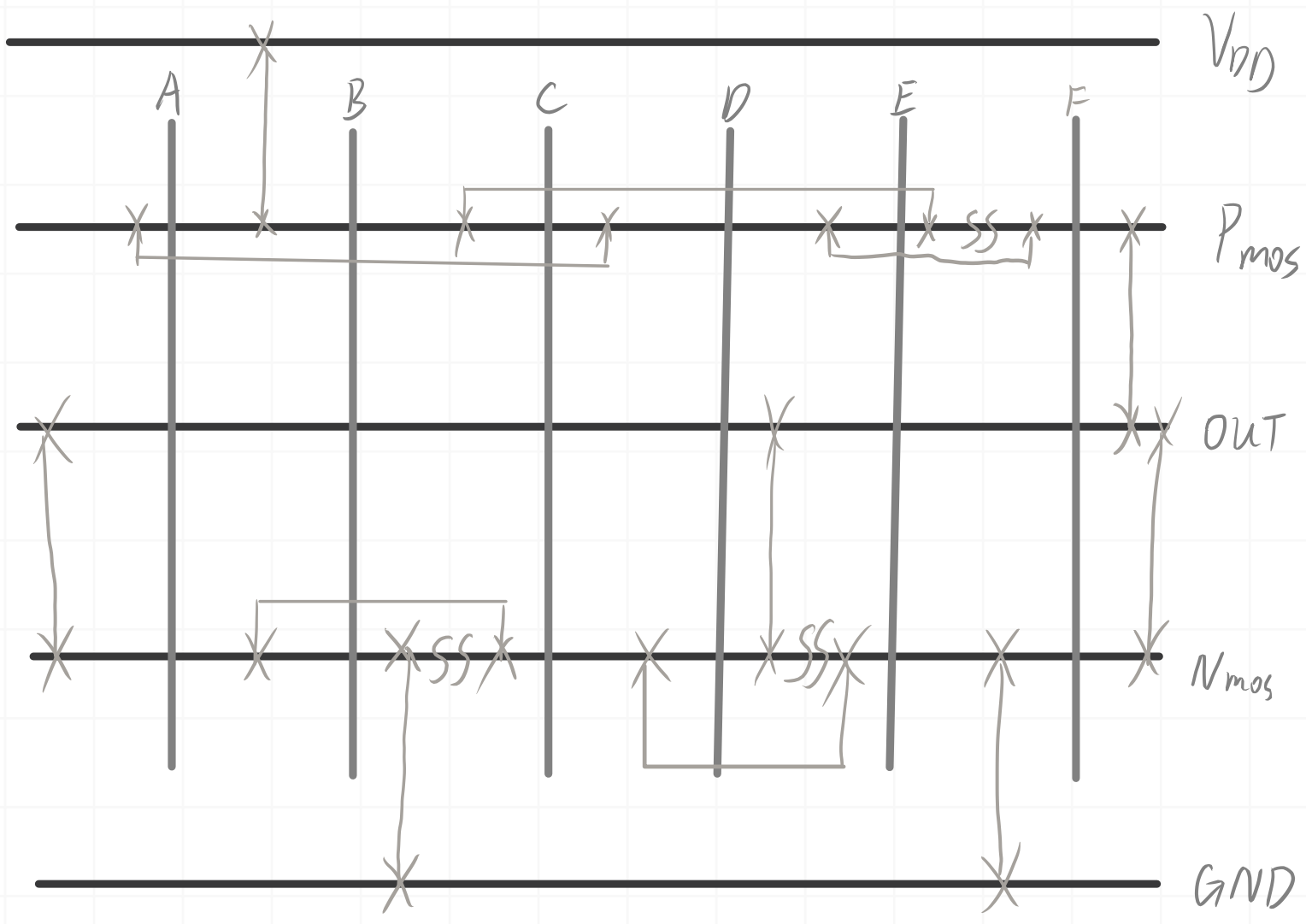
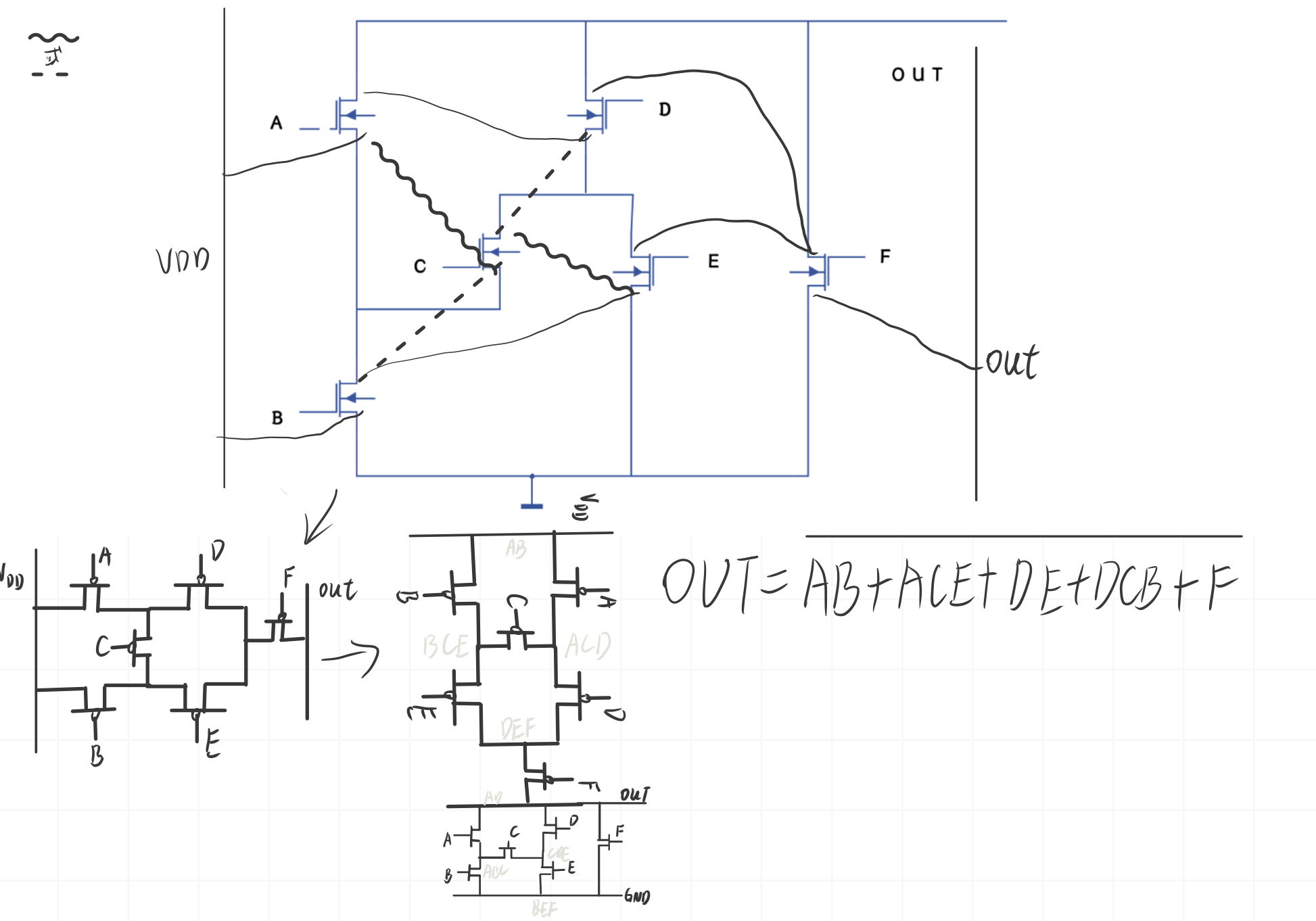
20年:



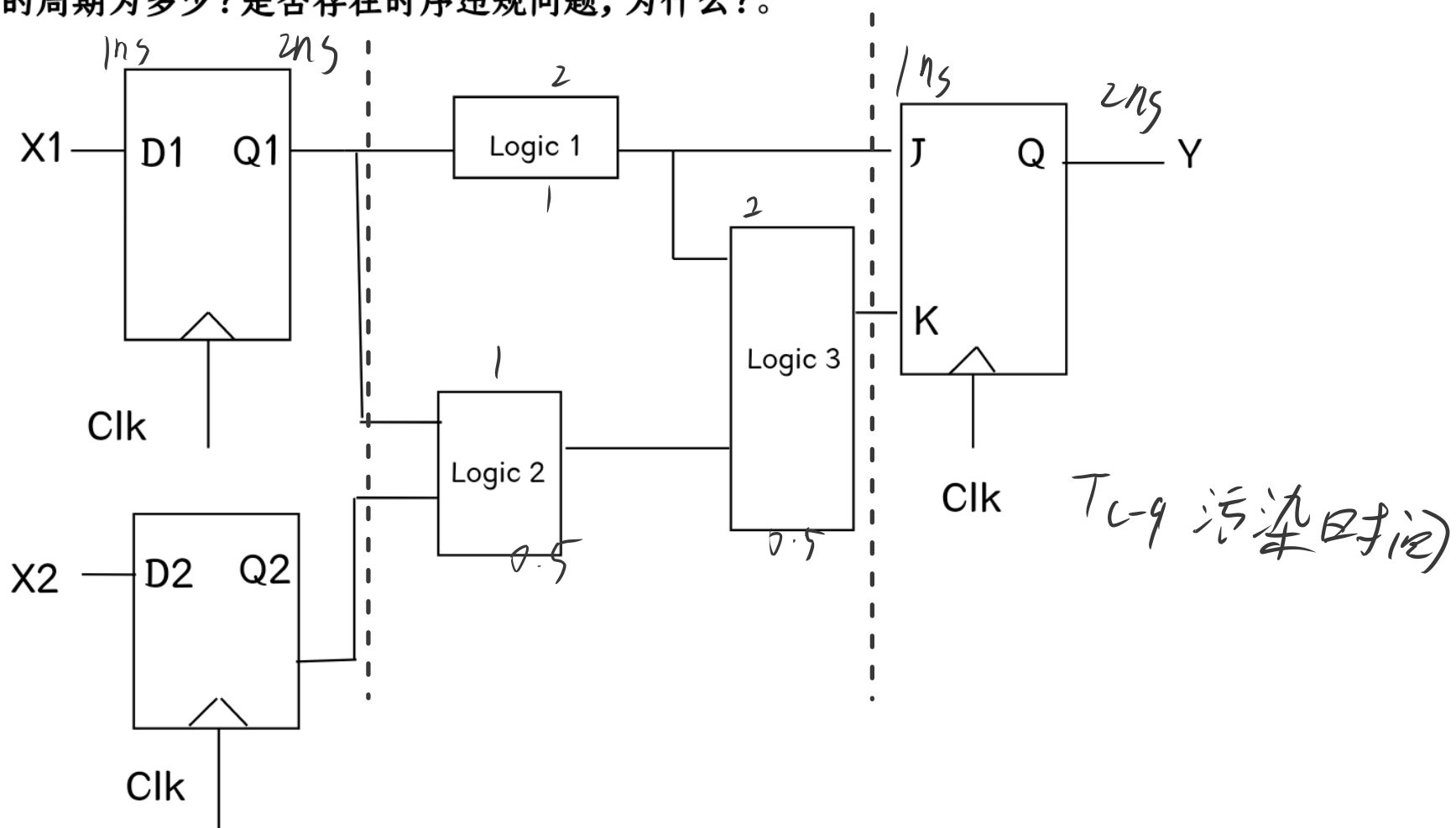
$Z = \overline{AB} + BC + \overline{AC}$   
 $= AB \cdot (\overline{B} + \overline{C}) \cdot AC$



3. 根据图示 NMOS 网络电路图, 利用相关知识, 补全画出相应的 PMOS 网络电路, 写出 OUT 的逻辑表达式, 并由给定的 MOS 管排列顺序画出相应的棒状图。20年第四题



4. 如下图所示，两触发器时间参数相同，其  $T_{\text{setup}}$  为 1ns,  $T_{\text{hold}}$  为 2ns,  $T_{\text{c-q}}$  为 2ns, 污染延时  $T_{\text{cd}}$  为 0.5ns; 两个触发器之间为组合逻辑电路，由三部分组成：logic1、logic2 和 logic3, logic1 的最长延时为 2ns, 污染延时为 1ns; logic2 的最长延时为 1ns, 污染延时为 0.5ns; logic3 的最长延时为 2ns, 污染延时为 0.5ns。请问该电路的周期为多少？是否存在时序违规问题，为什么？。



$$T_c \geq t_{\text{cq}} + t_{\text{su}} + t_{\text{logic.max}} = 7\text{ns}$$

$\downarrow$        $\downarrow$        $\downarrow$   
 2      1      2+2

$$f = \frac{1}{T} = \frac{1}{7\text{ns}} \approx 143\text{MHz}$$

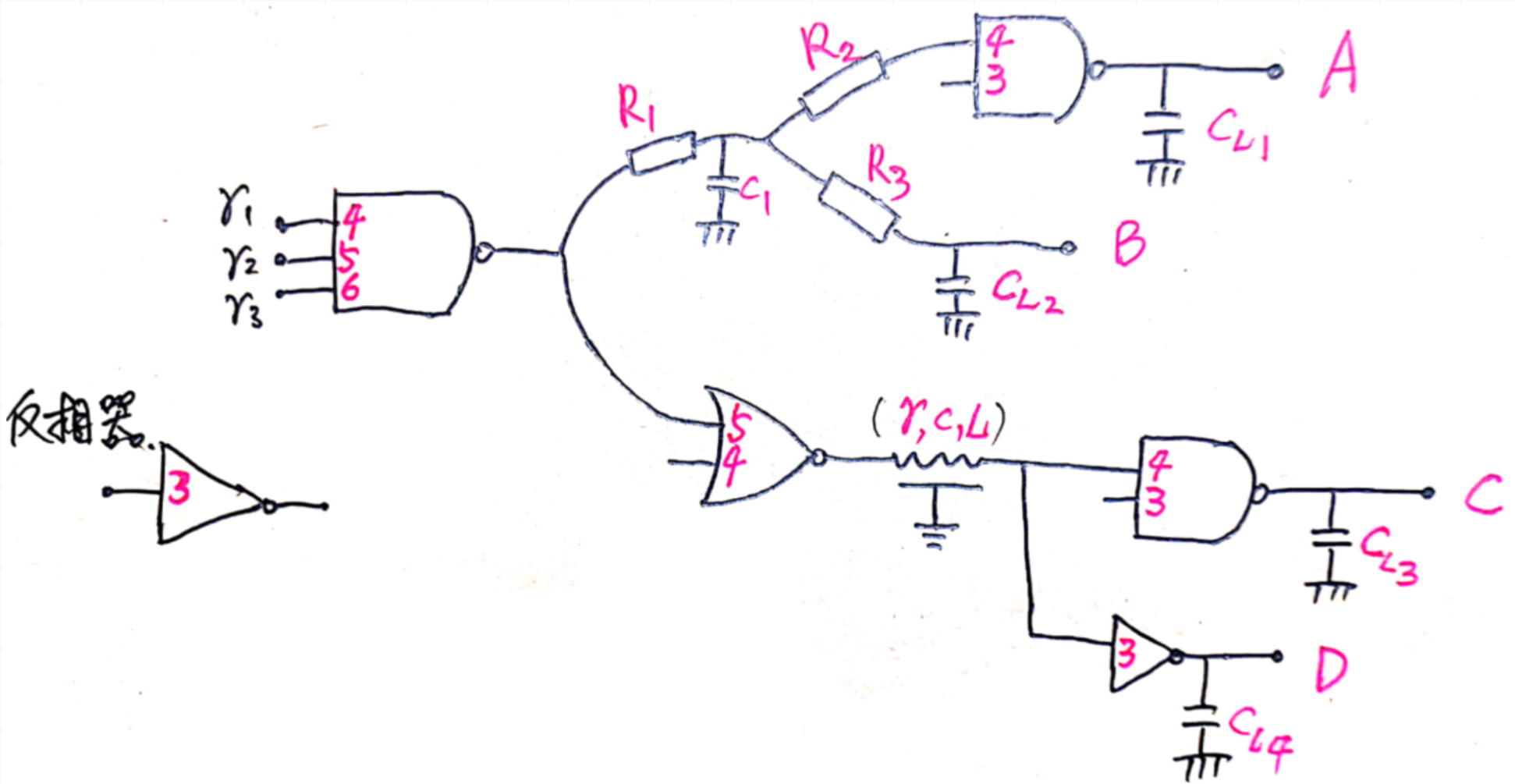
时序约束条件

$$T_{\text{cdregister}} + T_{\text{cdlogic.min}} \geq t_{\text{hold}}$$

$\downarrow$        $\downarrow$        $\rightarrow$   
 0.5x2      1      最短延时污染延迟时间和

$$2\text{ns} \geq 2\text{ns}$$

不存在时序违规



求  $\gamma_3 \rightarrow C$  的时延

6. 电路如下图所示，根据 CLK、In 的输入波形，画出对应的输出 X 和 out 的波形。

当  $CLK=0$  时  
     $In=0$  时  $X=1$   
     $In=1$  时  $X$  保持  
当  $CLK=1$  时  
     $X=\overline{In}$

