cMOS反相器的动态特性

传输延迟时间tPHL 和 tPLH

- 由于MOS管的奇生电容和负载电容的存在，使得输出

电压的变化滞后输入电压的变化，将输出电压变化迟

后输入电压变化的时间称为**传输延迟时间**。

tPHL：**输出由高电平跳变为低电平时的传输延迟时间**

tPLH：**输出由低电平跳变为高电平时的传输延迟时间**

tpd：**平均传输延迟时间**

CMOS 反相器的特点

**（一)电压摆幅接近电源电压，噪声容限大。**

**（二）为无比逻辑**

**（三)传输特性:当反相器的阈值在电压摆幅的中点时，高与低电平的曝声余量相同，此时的噪声容限最大**

降低cmos的传延迟：

1. **逐级增大晶体管的尺寸**
2. **重新安排输入--把关键路径上的晶体管安排在靠近门的输入端**
3. **重组逻辑结构，将过多的并行输入门改为级联电路**

互补CMOS 特点

o对偶拓扑，n个输入端的门**需耍 2n 个管**:

o设计快，可综合，可实现所有的逻辑功能

o逻辑电平与器件的相对尺寸无关，**即“无比逻辑”**

o**从电源到地全摆幅，鲁棒性好、噪声容限大**;(但它也会产生高的噪声) 改变电源电压可提高o噪声容限或降低功耗；

o稳态时总存在一条路径通向 Vdd 或 Gnd;**低输出阻抗**

o**极高的输入电阻**，稳态输入电流几乎为零;输入电容由PMOS和NMOS组成:

o稳态时在电源和地之间无直接通路;**无静态功耗**

o**传播延时与负载电容及晶体管的电阻有关**:输出的上升下降时间不同，改变尺寸可调整开关闯值或晶体管电阻，可使上升下降时间接近;

o NAND、NOR门较快，MUX、XOR较慢

o**延时与扇出和入数有关**: (FI>4 时延时显著增加)

tp=a1(FI)+a2(FI)+a3(FO)

互补传输逻辑（CPL）

特点:

1、由于电路是差分方式，所以总是存在互补的数据输入和输出。

2、CPL属于静态门类型，因为定义为输出的节点，总是通过一个低阻路径连到VDD或GND，这有利于避免噪声干扰。

3、CPL的设计具有模块化的特点。

动态门的特点

一、逻辑功能仅由 PDN 实现(紧凑)

1. **品体管的数目是N+2(静态互补 CMOS需2N个晶体管)**
2. **输入电容与伪 nMOS 逻辑相同**

二、全摆幅输出(VoL = GND 及 VOH = Vdd)

三、无比逻辑 -器件尺寸不影响逻辑电平

四、上拉改善，下拉变慢

五、快速的开关速度

**1.输入电容(Cin)小**

**2.负电容(Cout)小**

六、无短路电流Isc 因此由 PDN 提供的电流均用来使 CL放电

**1.输入只允许在预充电阶段变化，在求值阶段必须保持稳定**

**2.简单的动态 CMOS 逻辑级不能串联**

**动态逻辑电路的优点：**

1.比静态逻辑相应管子数量少， (N+2个)

2.是无比的逻辑门，管子的尺寸不影响逻辑设计;

3.只有动态功耗，没有静态功耗(**但总功耗实际比静态逻辑电路高**)

4.具有较快的开关速度(有预充电功能，不存在直通电流:输入输出电容负载小)

**动态逻辑电路的缺点：**

1.需要**两相时钟**，设计复杂，时钟的馈通会导致输出逻辑错误:

2.预充电系统造成**总功耗**实际比静态逻辑电路高且一定程度影响开关速度;

3.求值阶段的**电荷泄漏**可能造成门的逻辑错误:

4.由于**电荷分享**因素，输出电压会下降:

5.输出节点阻抗较高使得电路抗串扰能力受影响噪声容限低。

**什么是亚稳态？**

亚稳态是指触发器无法在某个规定的时间段内到达一个可以确认的状态。

**如何防止亚稳态？**

1: 降低系统时钟频率

2: 用反应更快的FF

3 :引入同步机制，防止亚稳态传播（可以采用前面说的加两级触发器）。

4 :改善时钟质量，用边沿变化快速的时钟信号

**多米诺逻辑的特点：**

1.逻辑求值的传播如同多米诺骨牌的倾倒

2.求值阶段的时间决定了 （允许的）逻辑深度

3.只能实现非反相的逻辑(所有的门均为非反相)

4.只有一个过渡被优化

5.门为无比逻辑，但电平恢复电路为有比逻辑

6.节点必须在预充电期问被预充电 (这可能限制了PMOS的最小尺寸)

7.求值期间，输入必须稳定（或只能仅有一个上升的过渡)

**8.速度非常快:**

静态反相器可以设计成不对称，在反相器的输入端只有10的过渡

加大PMOS管可使 VM上移

输入电容减小-较小的 logicaleffort

根据扇出 (Fan-out)优化反相器

1. 增加电平恢复电路可以减少漏电和电荷分享问题

(1) 建立 (set-up) 时间: tsu

(2) 维持 (hold)时间: thold

(3) 时钟至输出 ( clk-q) 时间 (max) : tclk-q

(4) 时钟周期:T

**建立时间: tsu**

- 在时钟翻转之前数据(D) 必须有效的时间:

**维持时间: thold**

- 在时钟边沿触发之后数据输入必须仍然有效的时间:

**传播延时:**

- 输入数据 (D) 在最坏传播情况下，传送到输出端(Q)的传播延时。

**时钟偏差: Clock skew**

- 指一个时钟翻转的到达时间在空间上的差别，是由时钟路径的静态不匹配以及时钟在负载上的差异造成的。

**时钟抖动: Clock jitter**

-是指在某一给定点上时钟周期发生暂时的变化是严格衡量时钟暂时不确定性的一项指标。

**锁存器（latch）和触发器（flip-flop）区别？**

电平敏感的存储器件称为锁存器。可分为高电平锁存器和低电平锁存器，用于不同时钟之间的信号同步。有交叉耦合的门构成的双稳态的存储原件称为触发器。分为上升沿触发和下降沿触发。可以认为是两个不同电平敏感的锁存器串连而成。前一个锁存器决定了触发器的建立时间，后一个锁存器则决定了保持时间。

建立时间：tsu

在时钟翻转之前数据必须有效的时间；

维持时间：thold

在时钟边沿触发之后数据输入必须仍然有效的时间；

传播延时：tc-q

输入数据在最坏传播情况下，传送到输出端（Q）的传播延时。

**时序约束条件**

**寄生参数（电容、电阻、电感）对集成电路的特性影响**

都会使传播延时增加，相应性能下降。

都会影响能耗和功率的分布。

都会引起额外的噪声来源，影响集成电路的可靠性。

**电迁移：**

在电流（直流为主）的作用下，金属原子会发生迁移的现象，这是电子的动量传给带正电的金属离子所造成的。

**组合逻辑电路：**

假设有足够时间是逻辑门稳定，则其输出就只于当前的输入有关。

**时序逻辑电路：**

输出不仅取决于当前输入，还与原先的输入值有关，即电路具有记忆功能。时序电路是由记忆元件与组合逻辑组成的。

由交叉耦合的门构成的任何双稳态器件称为**触发器**

**锁存器（latch）和触发器（flip-flop）区别？**

电平敏感的存储器件称为锁存器。可分为高电平锁存器和低电平锁存器，用于不同时钟之间的信号同步。有交叉耦合的门构成的双稳态的存储原件称为触发器。分为上升沿触发和下降沿触发。可以认为是两个不同电平敏感的锁存器串连而成。前一个锁存器决定了触发器的建立时间，后一个锁存器则决定了保持时间。

**时序设计的实质：**

时序设计的实质就是满足每一个触发器的建立/保持时间的要求。

**建立时间与保持时间的概念？**

建立时间：触发器在时钟上升沿到来之前，其数据输入端的数据必须保持不变的最小时间。

保持时间：触发器在时钟上升沿到来之后，其数据输入端的数据必须保持不变的最小时间。