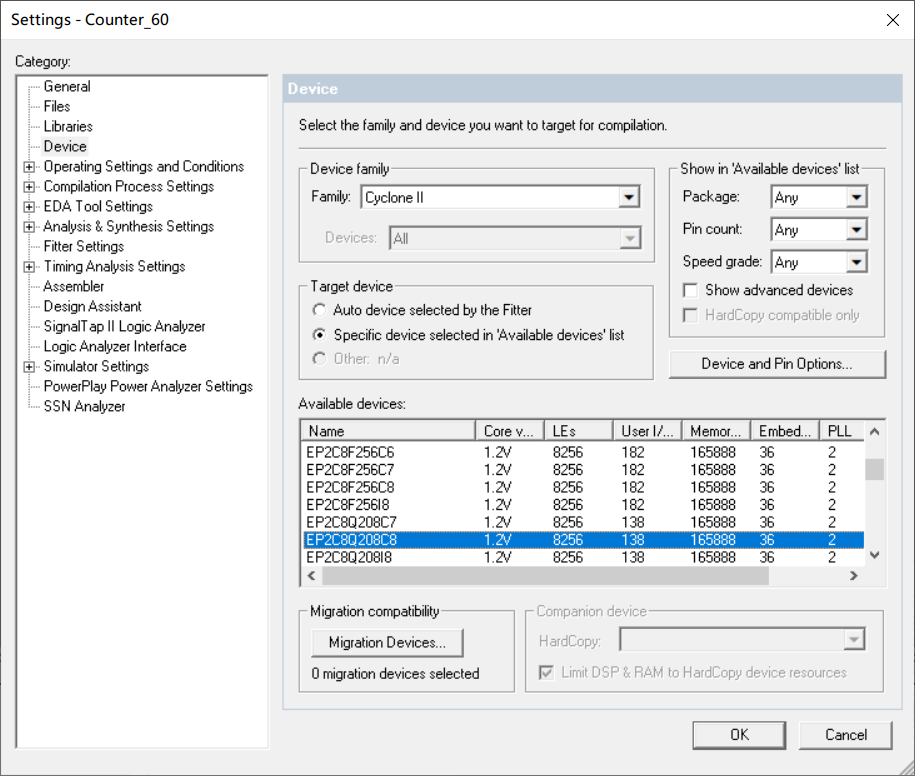
**实验三 可编程数字逻辑设计基础**

1. **实验目的和要求**
2. 了解可编程数字系统设计的流程；
3. 掌握 Quartus 软件的使用方法；
4. 掌握竞争和冒险的基本概念和电路时延分析方法；
5. **实验原理**
6. **观察并记录实验箱上的FPGA型号，新建一个Project，器件选用实验箱上的FPGA：**

实验箱上的FPGA型号为Cyclone II-EP2C8Q208C8，在Quartus中的Assignments-Devices中选择对应的器件：



1. **新建一个原理图文件，用“74161”器件设计一个模10同步计数器，并用功能仿真进行验证：**
2. **设计：**

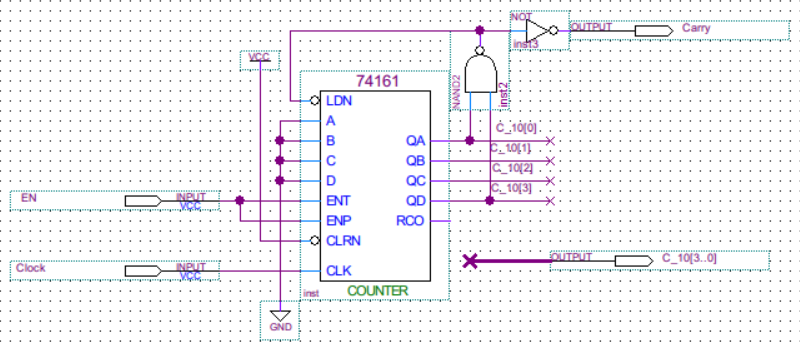
74161是四位二进制同步加法计数器，其模为16，需要使用门电路来将其改为所需要的模10计数器。因为使用异步清零法时，在清零时会不可避免地出现尖峰，为了避免，则使用同步送数法。

设有效计数状态为0000-1001，所以对74161的QA、QD进行与非操作，输入至置数端，同时作为进位输出。

并行输入端设为0000。

需要输入时钟信号，一个计数周期完成后输出进位信号。

1. **逻辑电路图：**

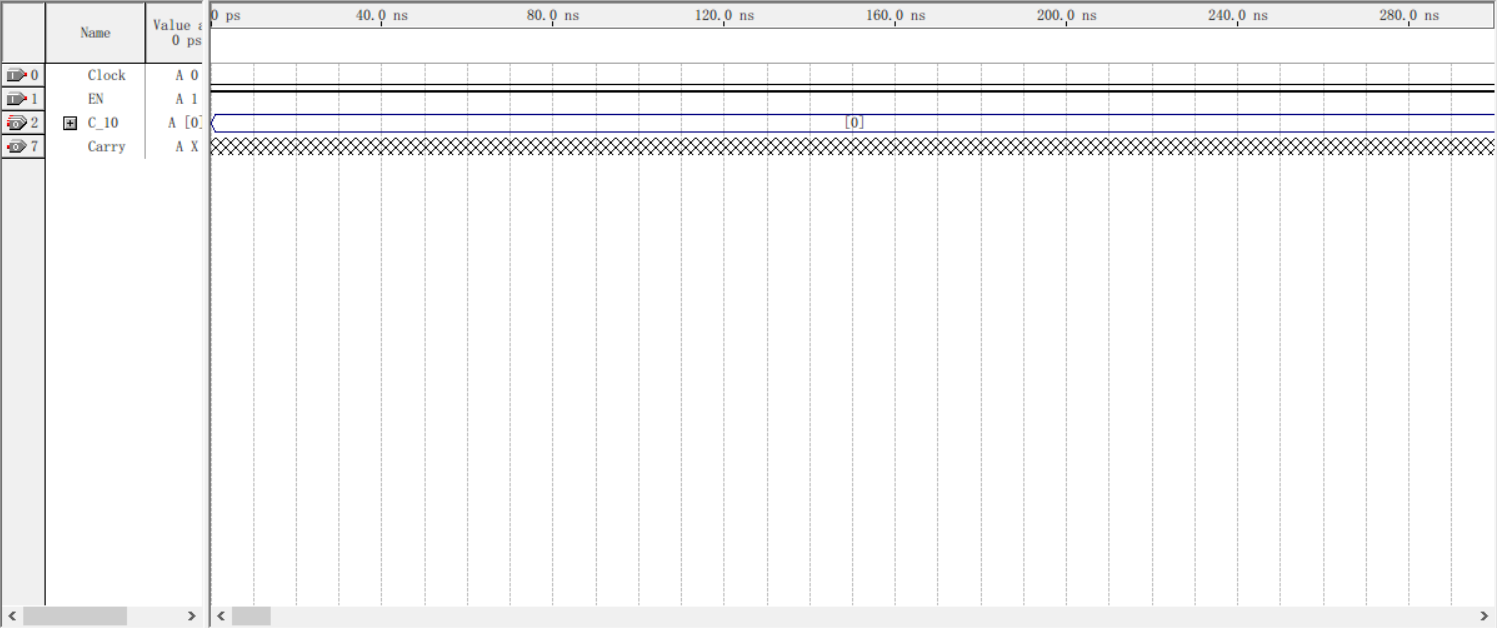


左侧两个输入分别为，EN：使能端，控制电路是否工作；Clock：时钟输入。

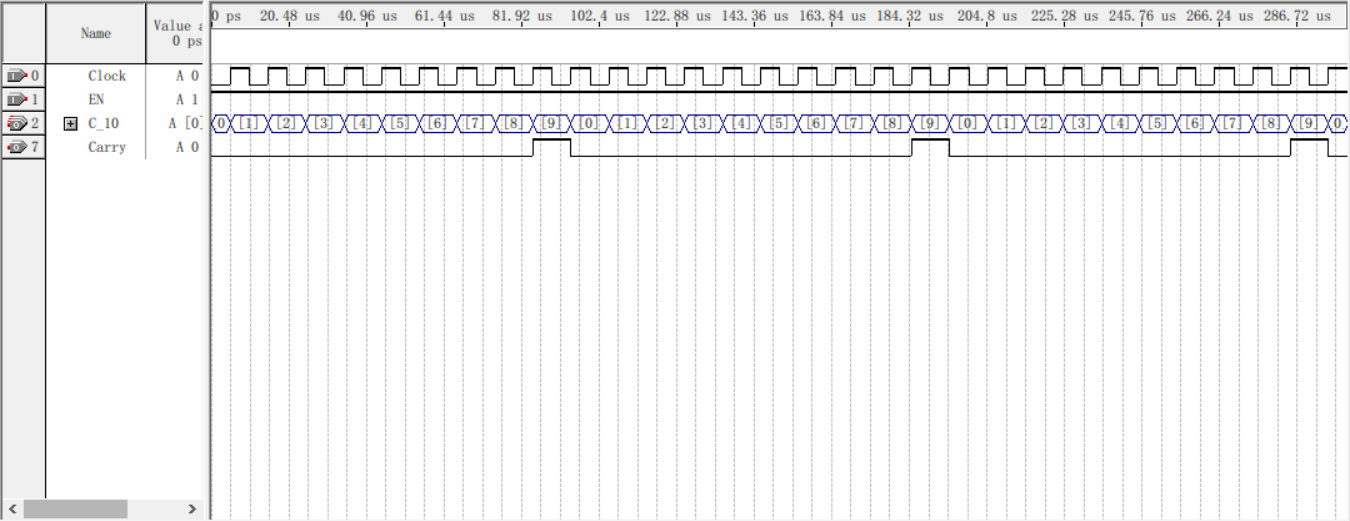
右侧两个输出分别为，Carry：进位，记满10次后输出一个高电平；C\_10[3..0]：表示模10计数器的当前计数状态。

1. **使用功能仿真验证：**

创建波形文件，Clock接入时钟脉冲，EN接高电平。

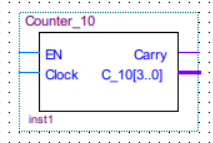


进行功能仿真，查看波形：



从0000到1001共计10个状态，进位信号输出一次1，结果正确。

1. **点击“File->Create/Update->Create Symbol File for Current File”菜单项，将模10计数器封装成元件：**

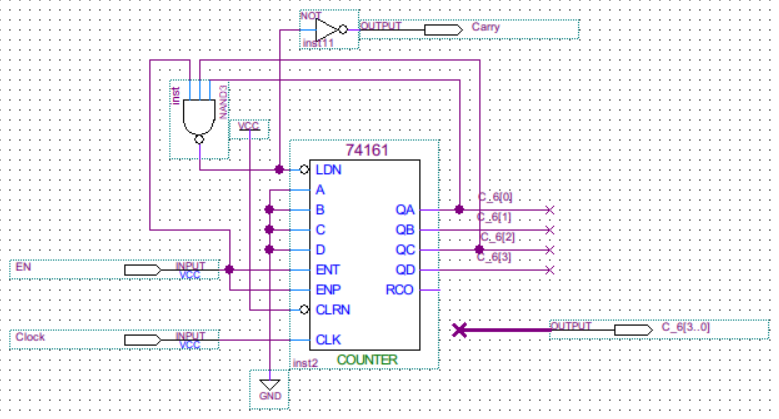


1. **新建一个原理图文件，用“74161”器件设计一个模6同步计数器，并用功能仿真进行验证：**
2. **设计：**

设计思路、方案与上述模10计数器相同，只须将计数状态改为0000-0101。

另外，为了实现两片计数器之间的操作，需要添加一个输入端，连接ENP、ENT，其输入应为模10计数器的输出端。

1. **逻辑电路图：**



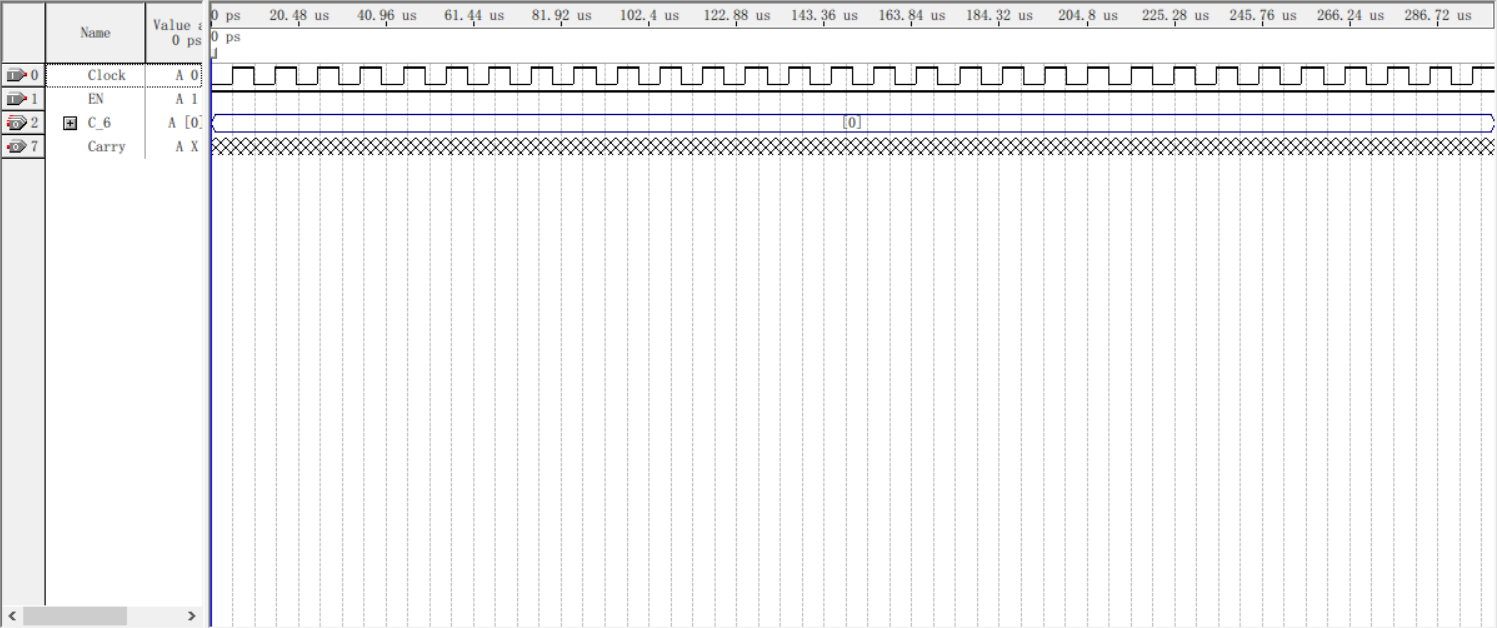
左侧两个输入分别为，EN：使能端，控制电路是否工作；Clock：时钟输入。

右侧输出为，C\_6[3..0]：表示模6计数器的当前计数状态。

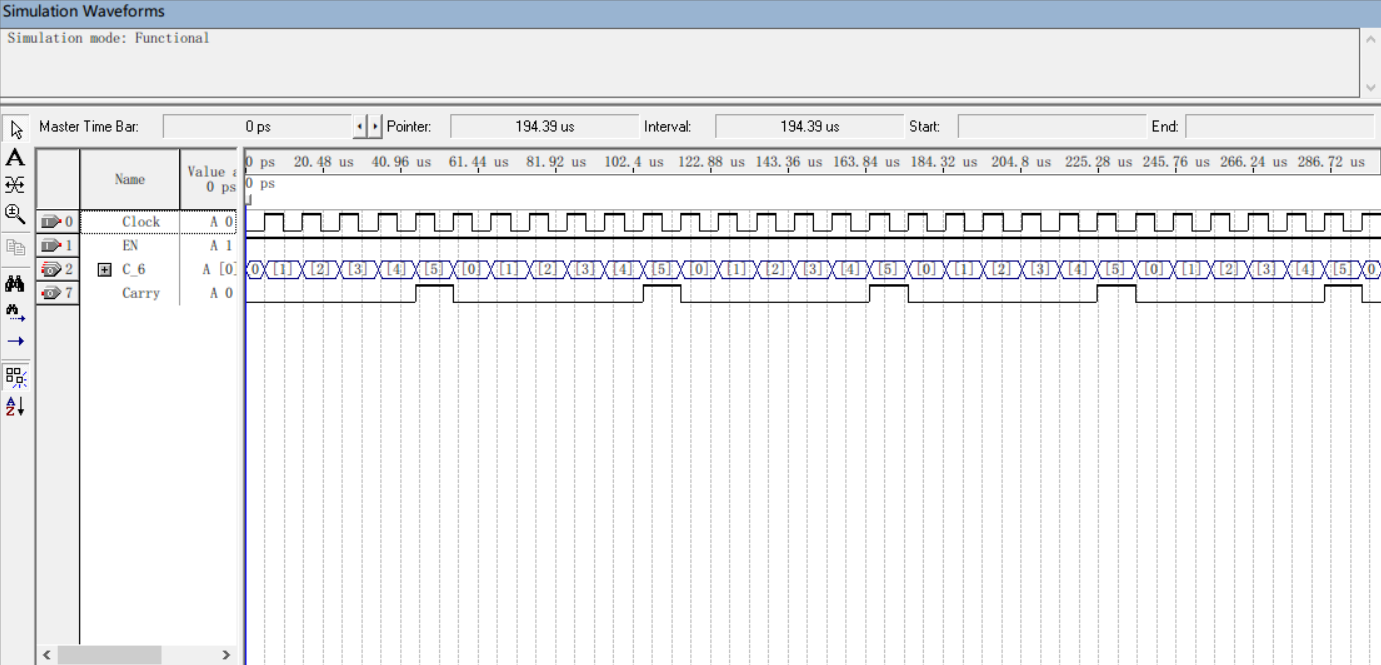
上方输出为，Carry：进位，记满6次后输出一个高电平。

1. **使用功能仿真验证：**

创建波形文件，Clock接入时钟脉冲，EN接高电平。

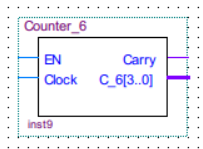


进行功能仿真，查看波形：



从0000到0101共计6个状态，进位信号输出一次1，结果正确。

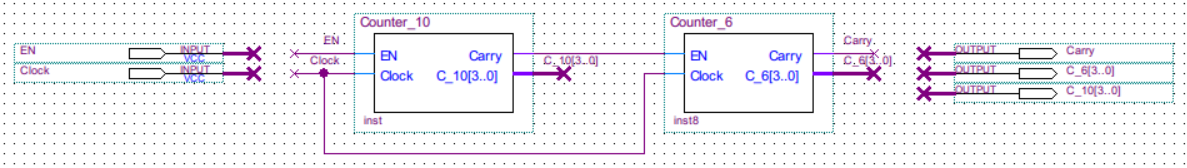
1. **点击“File->Create/Update->Create Symbol File for Current File”菜单项，将模6计数器封装成元件：**



1. **新建一个原理图文件，调用前面完成的模6和模10计数器实现一个 模60同步计数器，并用功能仿真进行验证，用“Tools->Netlist Viewers->RTL Viewer”查看电路综合结果：**
2. **设计：**

按照前面的设计，将模10计数器作为低位，模6计数器作为高位，模10计数器的进位输出连接至模6计数器的ENT、ENP端，即封装好的模6计数器上所标注的EN输入，两片计数器共用同一个时钟源。

1. **逻辑电路图：**



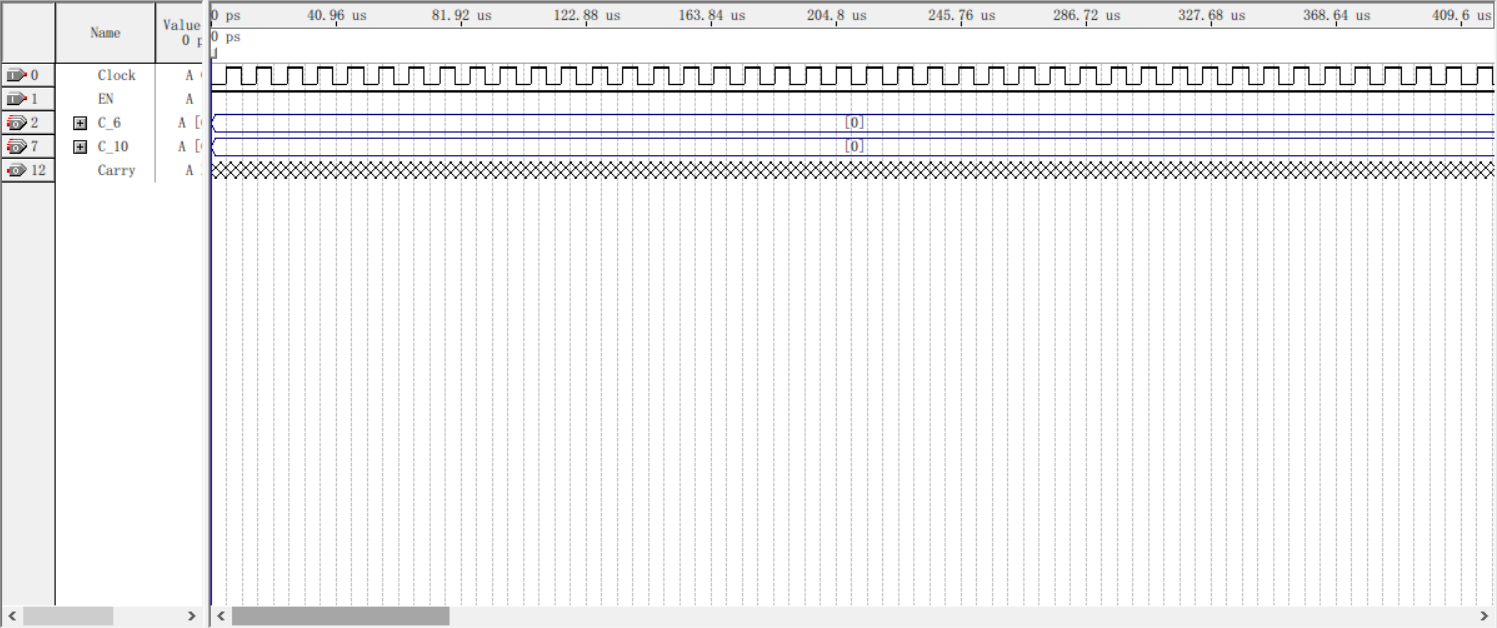
左侧两个输入分别为，EN：总使能端，控制电路是否工作；Clock：时钟输入。

右侧输出为，C\_6[3..0]：表示模6计数器的当前计数状态；C\_10[3..0]：表示模10计数器的当前计数状态；

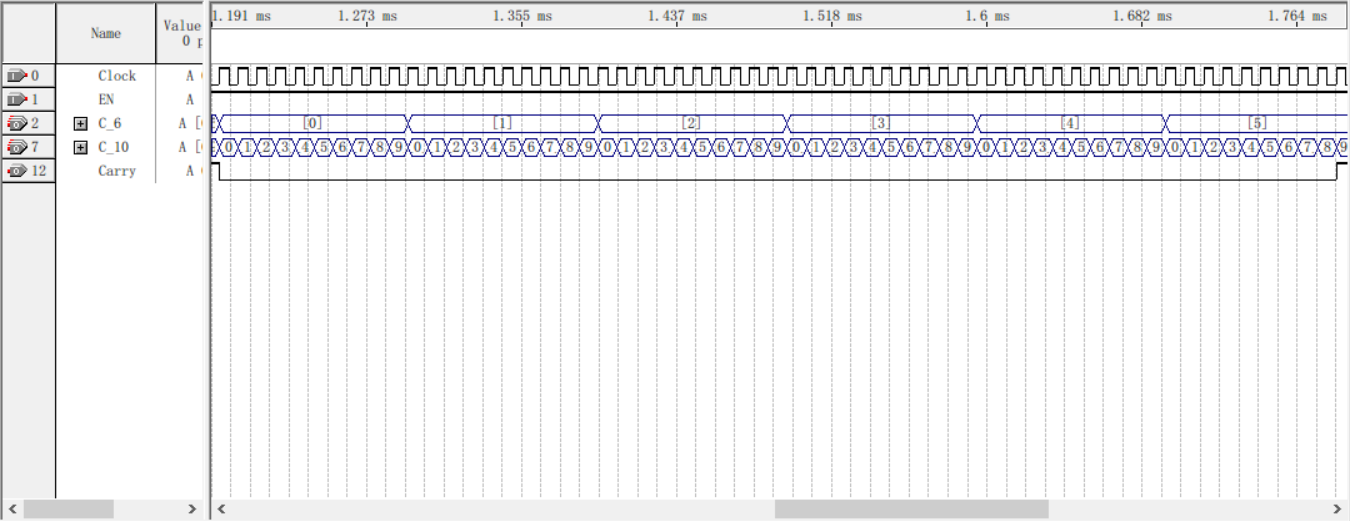
上方输出为，Carry：总进位，记满60次后输出一个高电平。

1. **使用功能仿真验证：**

创建波形文件，Clock接入时钟脉冲，EN接高电平。



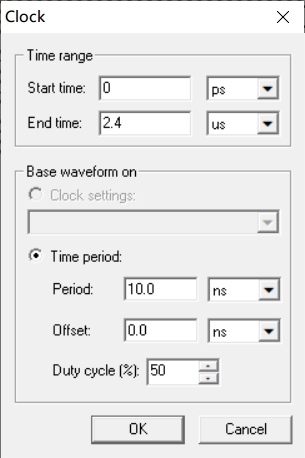
进行功能仿真，查看波形：



共计60个状态，进位信号输出一次1，结果正确。

因中间状态过多，不便于数清楚，使用Time Bar来读取时间，再除以时钟的周期，来得到中间经过了多少周期。

间隔时间为+600ns

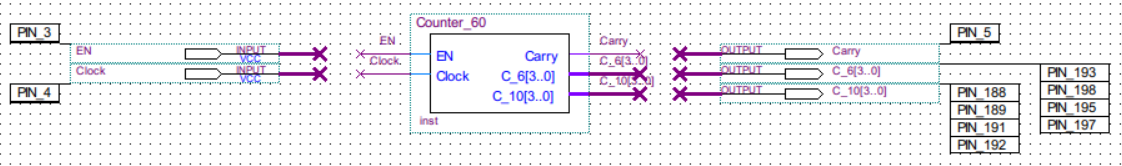


而时钟脉冲周期设定为10ns

N=600ns/10ns=60

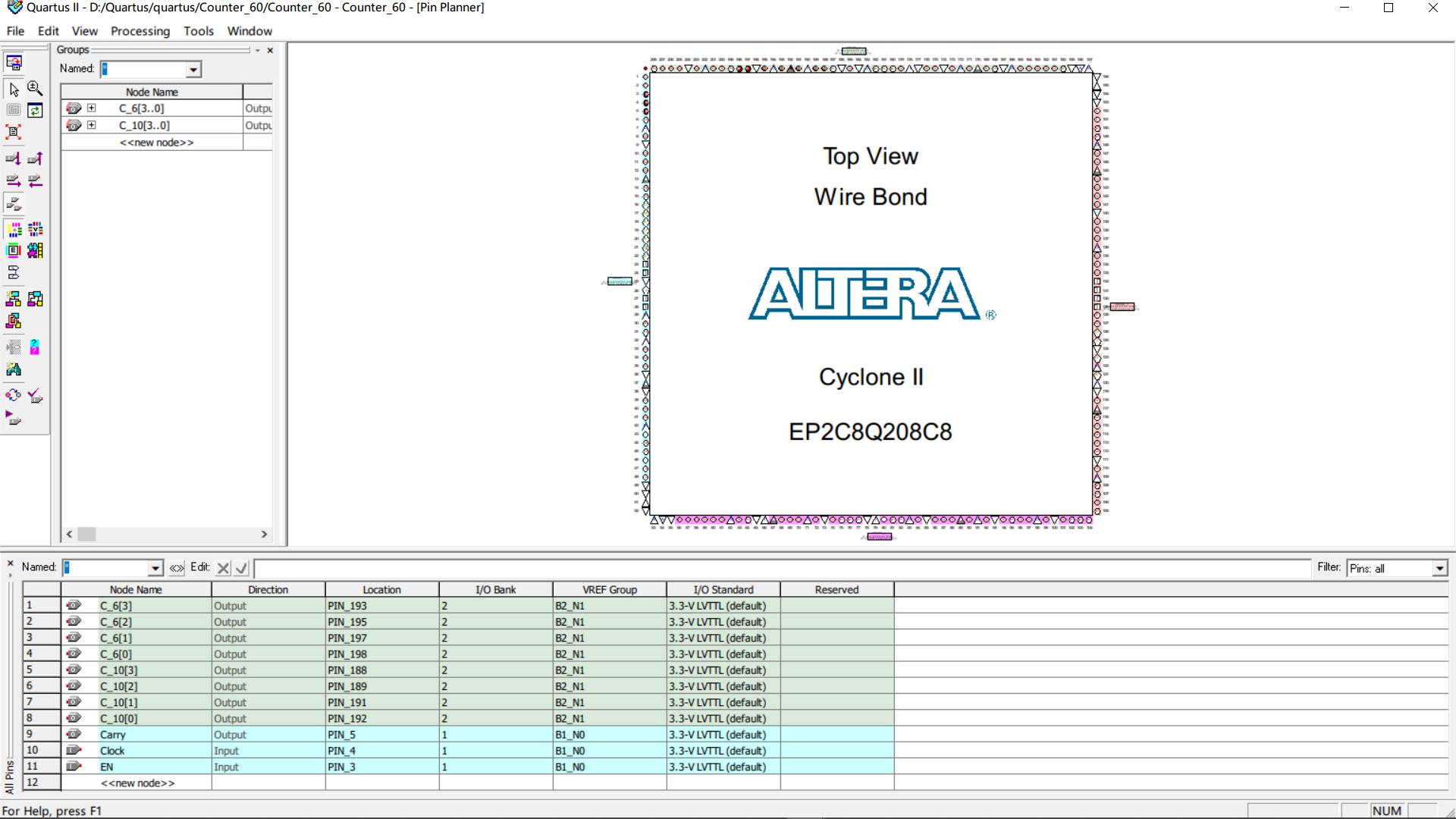
结果正确。

1. **（选做）参看 7.6节“总线（Bus）功能”，将模60计数器的输入输出信号用总线的方式引出，并封装成元件：**



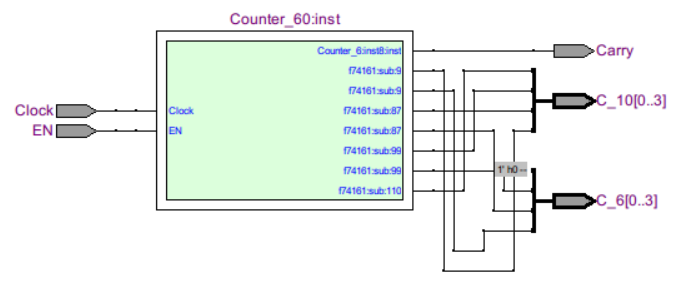
图为已完成管脚分配后的电路图。

1. **分配管脚并适配编译，用“Tools->Netlist Viewers->Technology Map Viewer”查看电路Map结果；用“Tools->Chip Planner”查看器件适配结果，并用时序仿真进行验证：**
2. **分配管脚：**

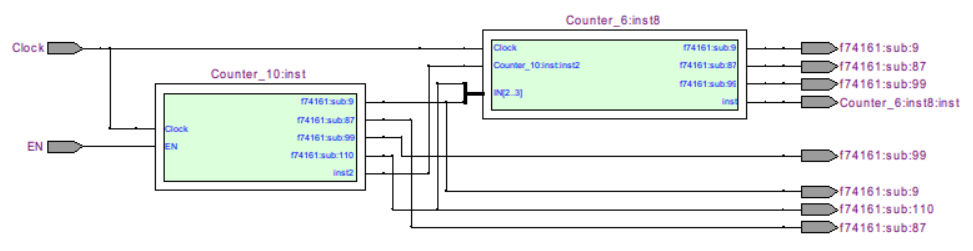


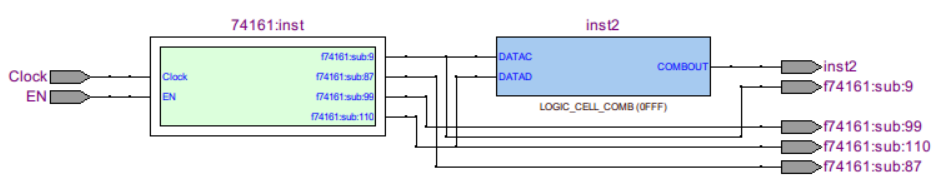
将C\_10的四位输出和C\_6的四位输出均分别连接到数码管上（注意高低位顺序），总进位输出连接到外部的LED灯上，即一般时熄灭，记满60次后亮起一个时钟周期。

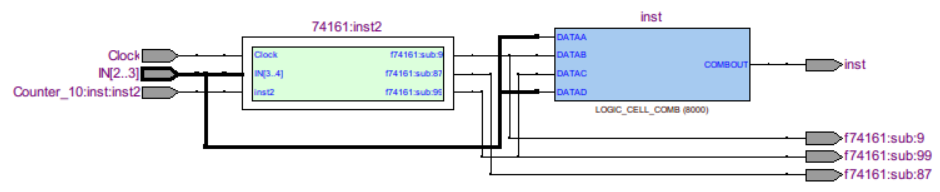
1. **在Technology Map Viewer中查看电路Map结果：**



双击可逐层展开查看详细电路：





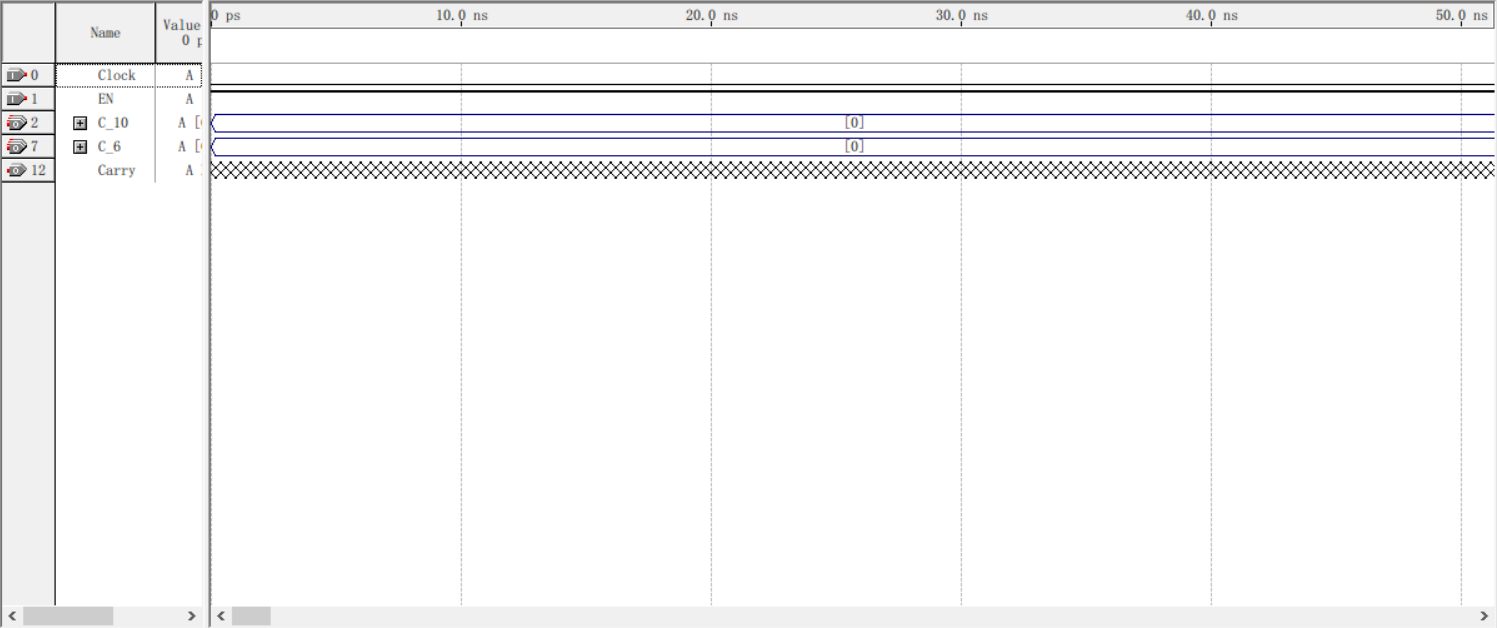


1. **在Chip Planner中查看器件适配结果：**

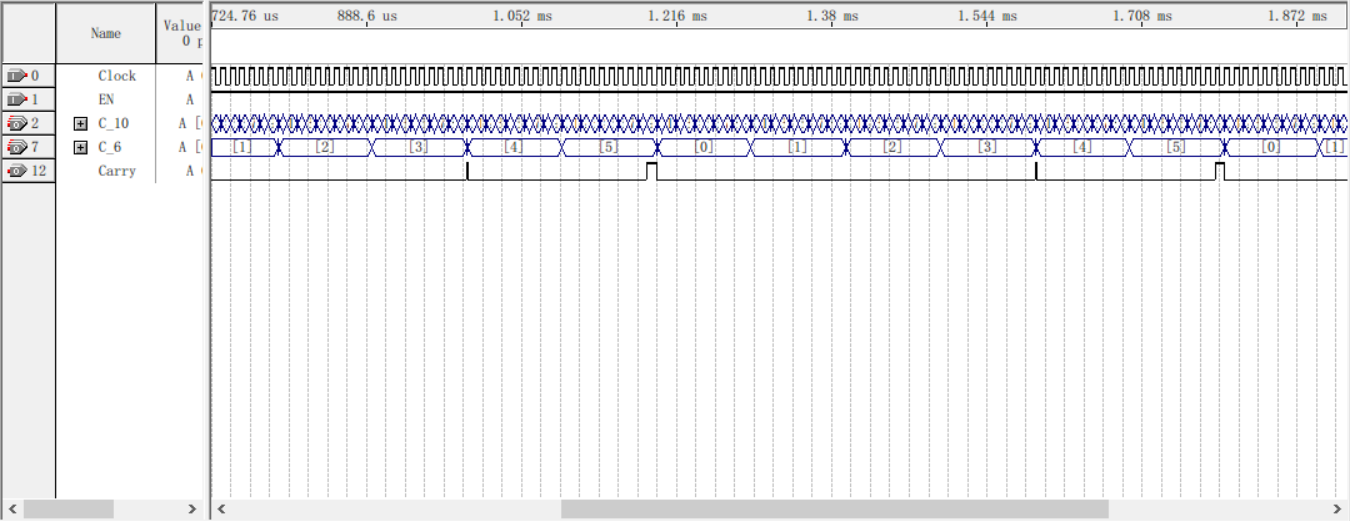


1. **使用时序仿真进行验证：**

波形文件：



时序仿真结果：



可观察到有延时和尖峰的出现，但整体结果没有错误。

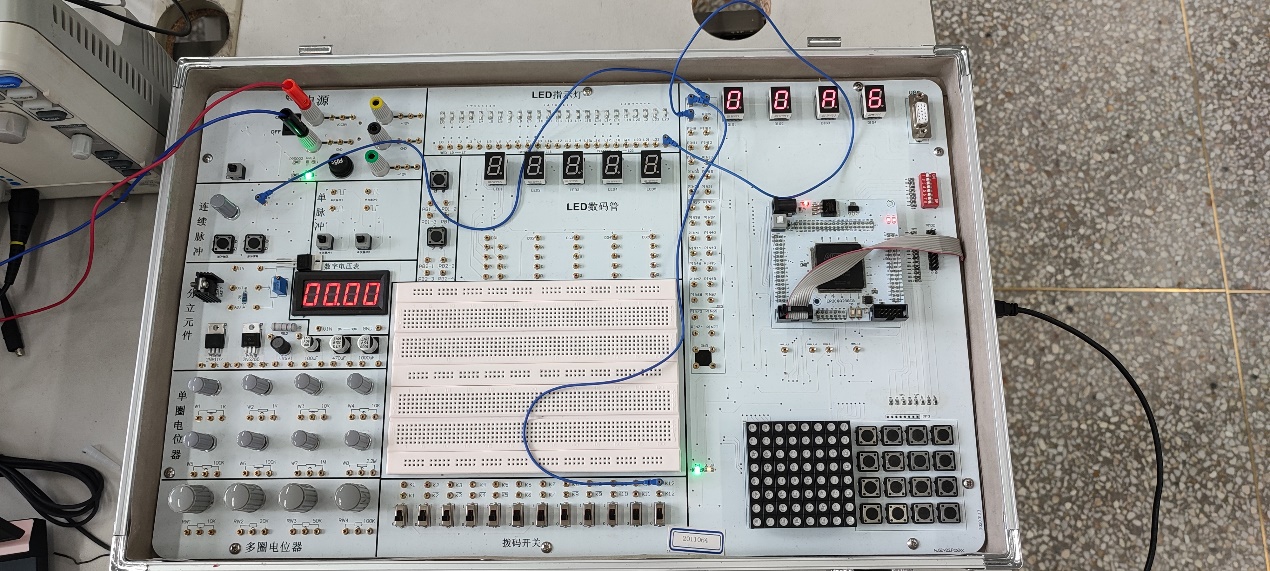
1. **将模60计数器下载到实验箱，连接时钟进行实物验证：**

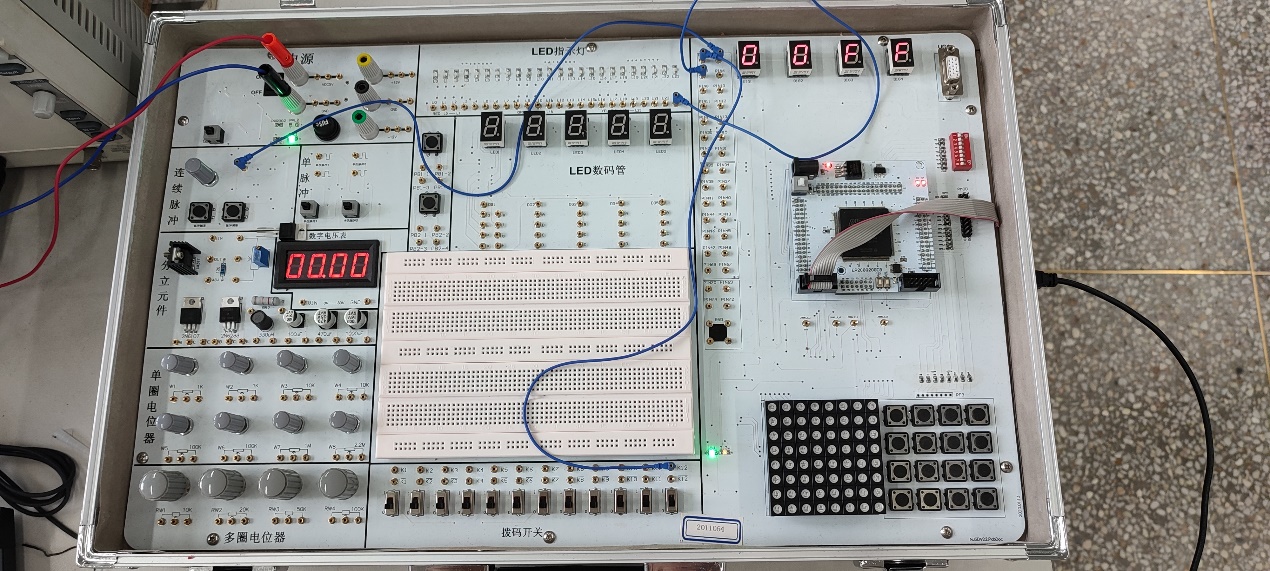
见下“实验记录”部分。

1. **实验仪器**

稳压电源、万用表、实验箱，FPGA: Cyclone II - EP2C8Q208C8.

1. **实验记录**





图为初次实验结果，显示为A6-FF，后改为正确的00-59.