**实验一 寄存器组的设计**

1. **实验内容**
2. 测试D触发器的功能。
3. 设计具有1个读端口、1个写端口的4\*8位寄存器组，并验证设计正确性。
4. **电路设计与实现**
5. 需求分析

需要使用D触发器来完成寄存器的构建，共需4个8位D触发器，再加入数据选择器实现片选读写的功能。

1. 模块划分

4块8位D触发器是实现寄存功能的部分；数据同时输入到每块D触发器上，数据选择器连接到D触发器的使能端，所选中的D触发器工作，储存数据；输出端使用数据选择器来实现选择输出；另外再添加负责清零和置数的控制端。

1. 引脚组织 与 信号命名

输入端：

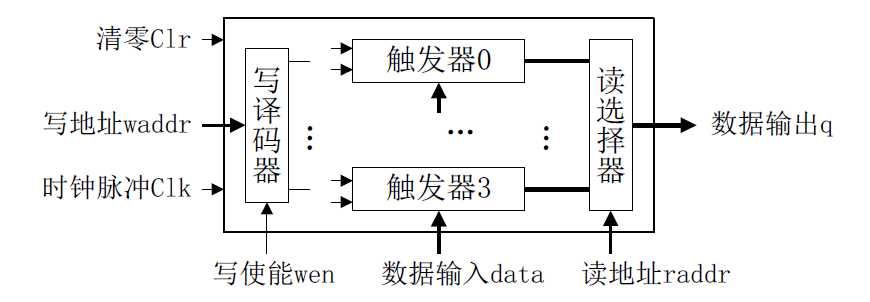
1. 时钟脉冲信号：Clk
2. 写入使能（高电平有效）：wen
3. 数据输入：data[7..0]
4. 异步清零（高电平有效）：Clr
5. 异步置数（高电平有效）：Set
6. 写入地址：waddr[1..0]
7. 读取地址：raddr[1..0]

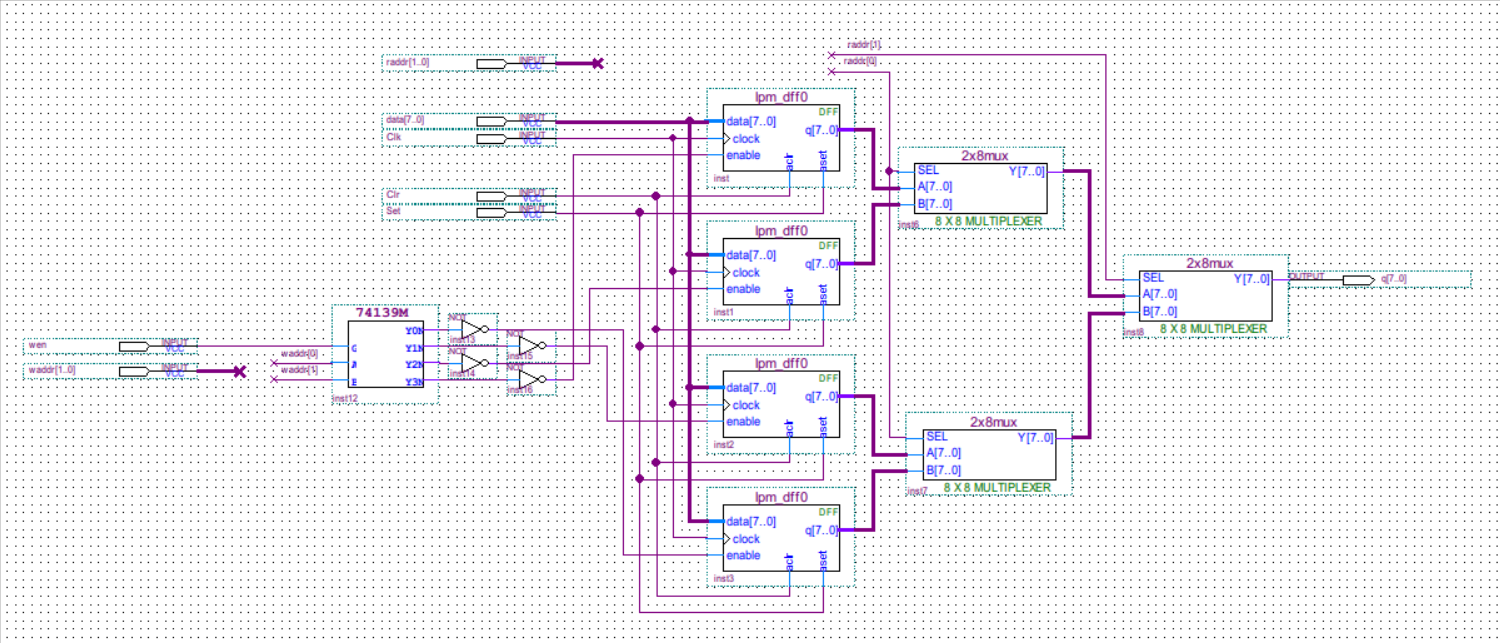
输出端：

1. 数据输出：q[7..0]
2. 器件选择

D触发器为lpp\_dff；写入端的片选使用二四译码器74139m ；读取端的片选使用三个8位的二选一数据选择器构成一个8位的四选一数据选择器。

1. 电路组成

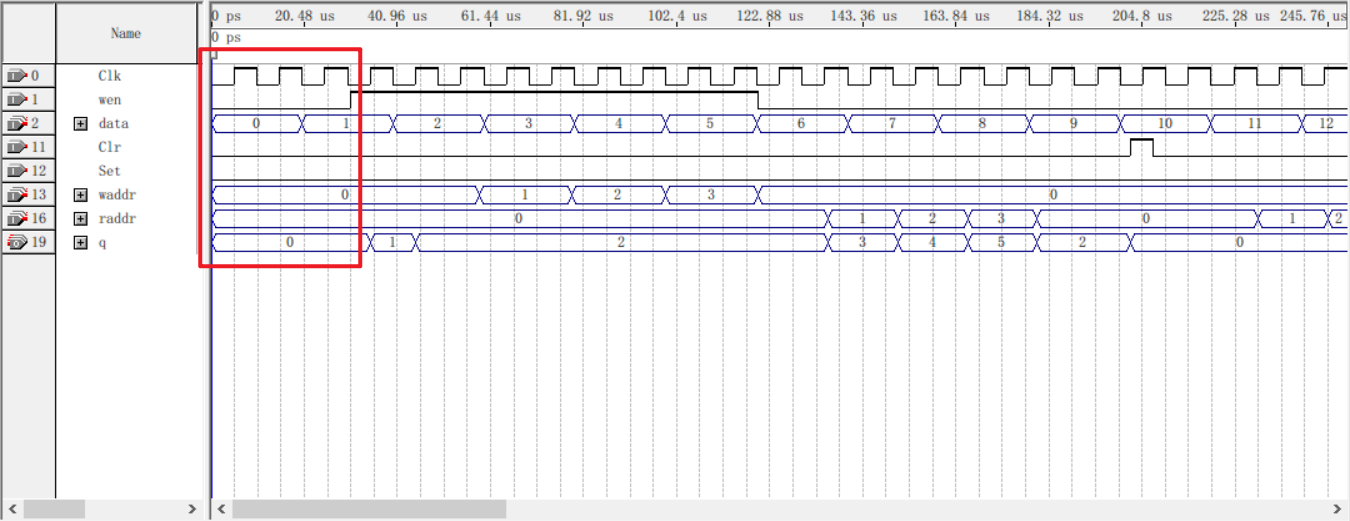




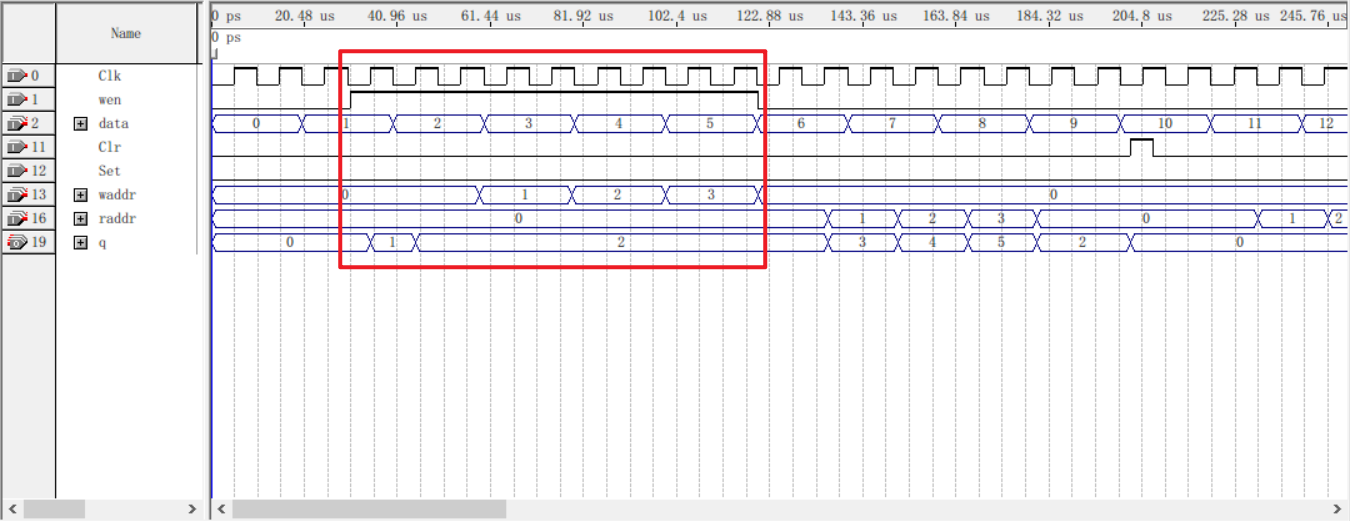
中间四个D触发器从下往上分别对应地址的00、01、10、11

**三、电路正确性验证**

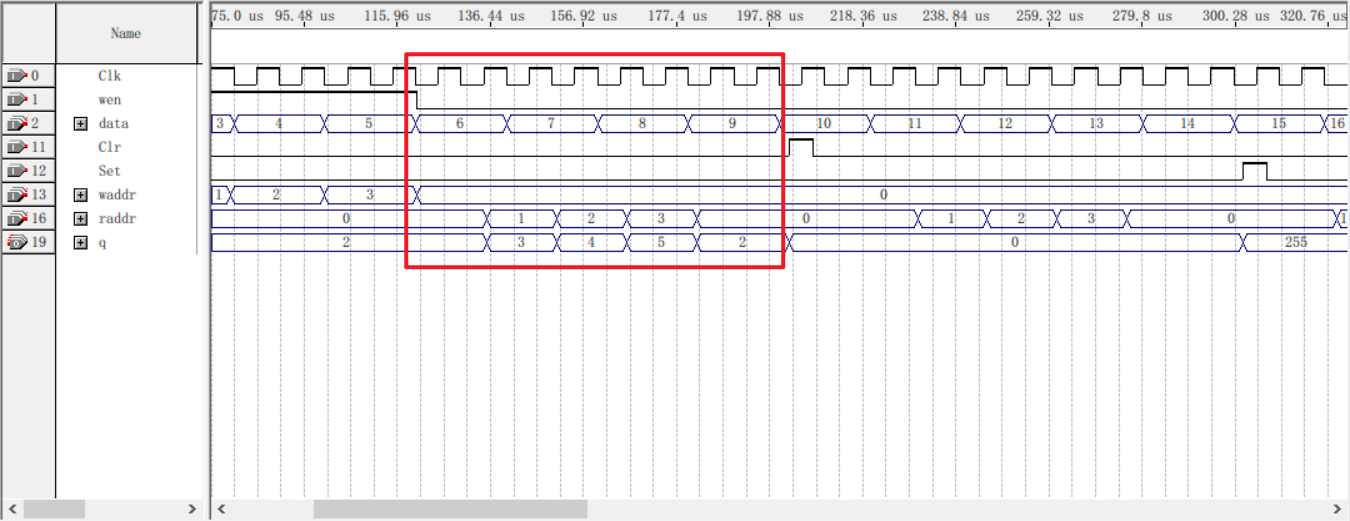
**电路仿真 与 结果分析**



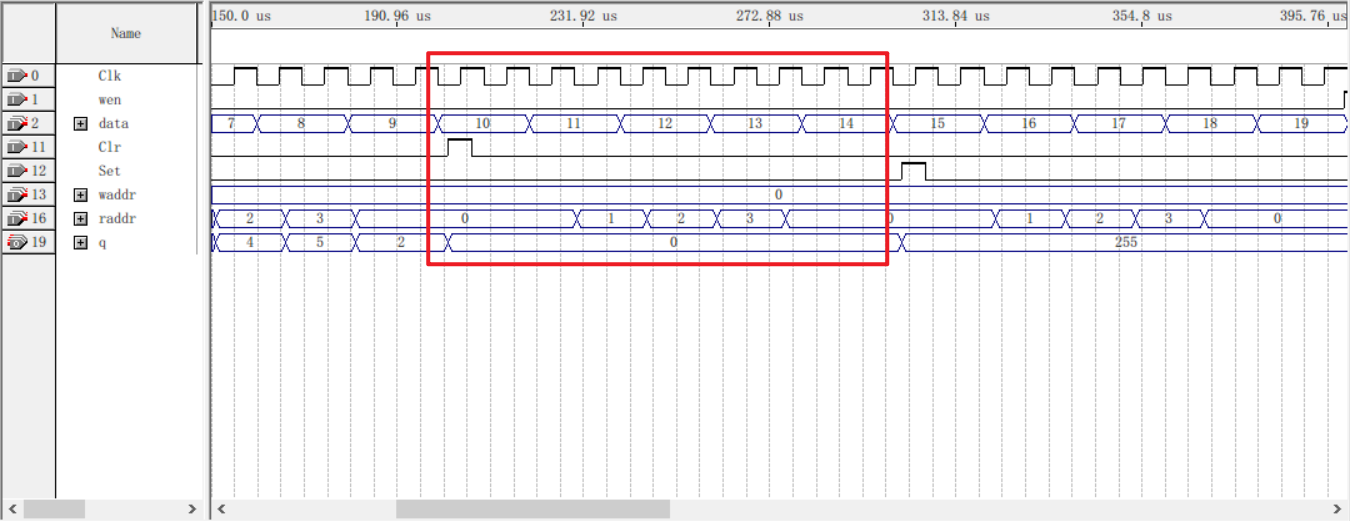
写使能为0，写地址为00，不写入；读地址为00，q为00D触发器所存储的数据。



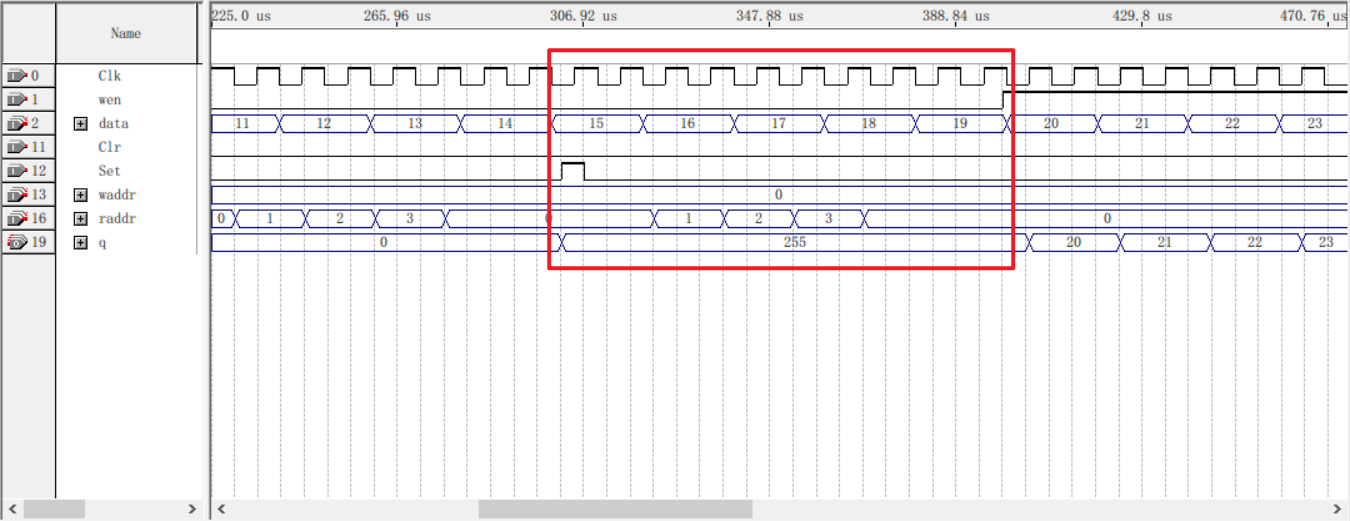
写使能为1，写地址从00依次变化至11，时钟上升沿触发写入，四个D触发器写入数据依次为2、3、4、5；读地址为00，q为00D触发器所储存的数据。



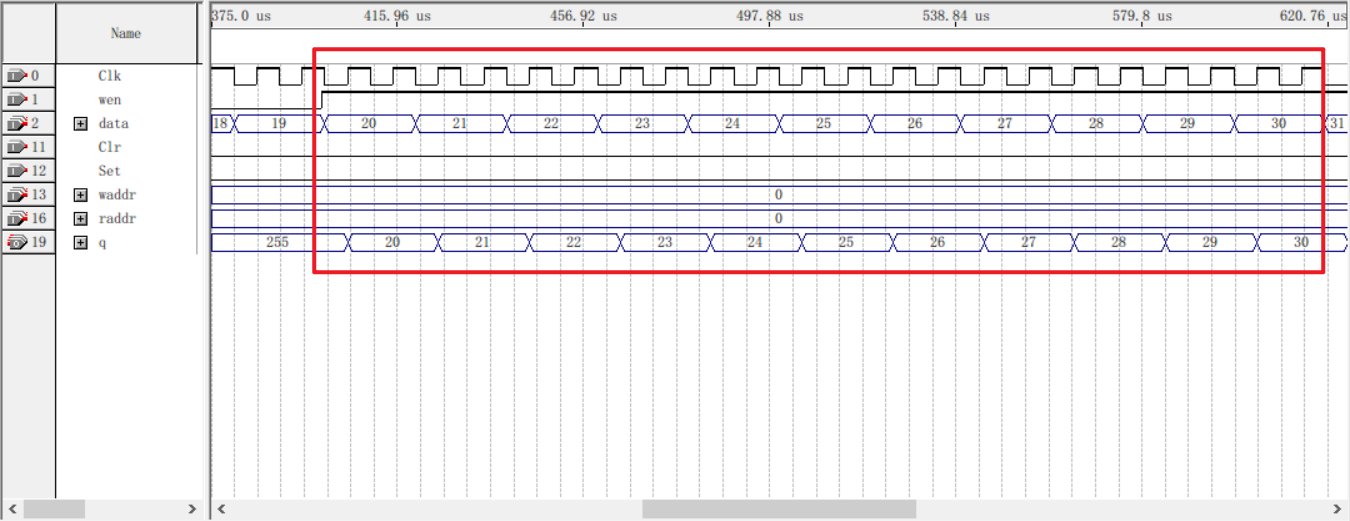
写使能为0，不再写入，读地址从00依次变化至11，输出与时钟信号无关，依次从四个D触发器中读出数据为2、3、4、5。



写使能为0，异步清零，读地址再从00变化至11，依次读出数据，全为0。



写使能为0，异步置数，读地址再从00变化至11，依次读出数据，由于是8位寄存器，所以是十进制下的255。



写使能为1，读写地址均为00，即在时钟上升沿向00D触发器写入数据，并立即读出。

根据仿真波形结果分析，寄存器所包含的各功能正常。

1. **实验小结**
2. 工作分工

实验我们两个都自己在Quartus上做了一遍，报告分工撰写。

1. 有待改进之处

在读地址端使用了3块二选一的8位数据选择器，因为没有找到8位的四选一数据选择器，嫌麻烦就没有自己设计。

另外在读取的时候没有时钟触发，不知道是否合理。

**五、教师评语**

教师签字：

日期：