**实验二 ALU的设计**

**一、实验内容**

1. 熟悉加/减法器的功能及使用方法。
2. 掌握ALU 的组成原理。

**二、电路设计与实现**

1. 需求分析
2. 模块划分
3. 引脚组织 与 信号命名

输入端：

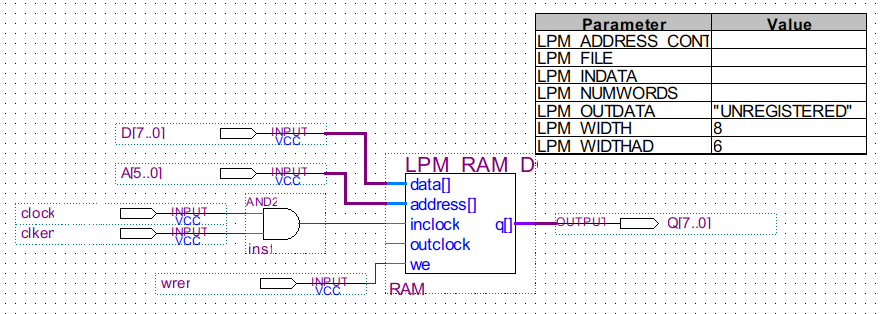
输出端：

1. 器件选择
2. 电路组成

**三、电路正确性验证**

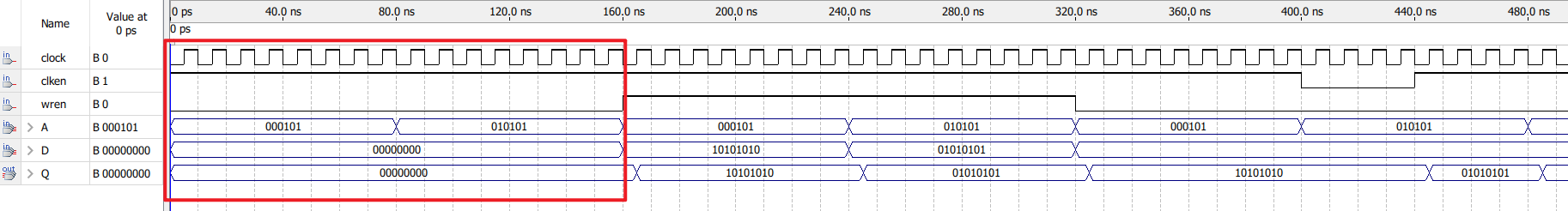
1. **RAM功能验证**

原理图：

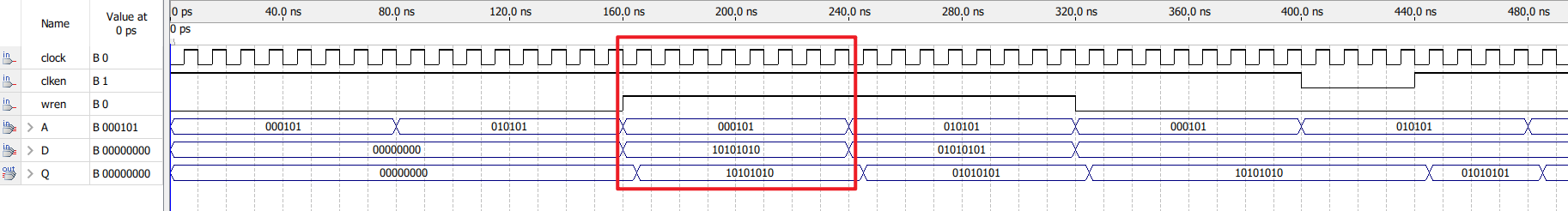


这个版本里的lpm\_ram\_dq没有实验手册里写的时钟使能引脚，所以我自己添加了一个时钟使能信号输入，与时钟脉冲信号进行与操作，只有当其为1时，时钟信号才能输入进RAM。

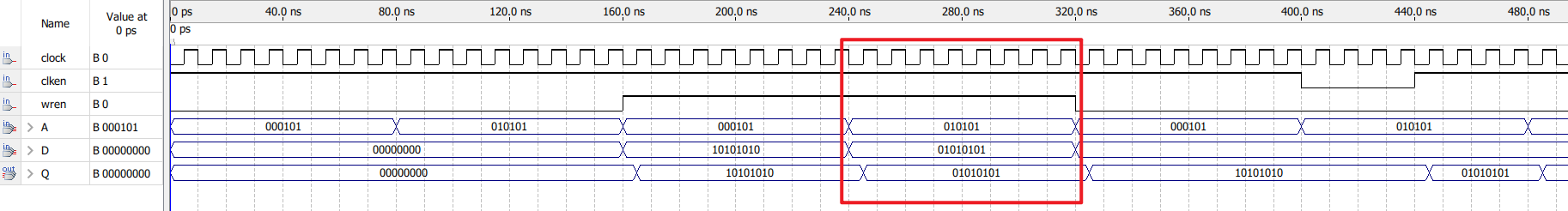
输出波形分析：



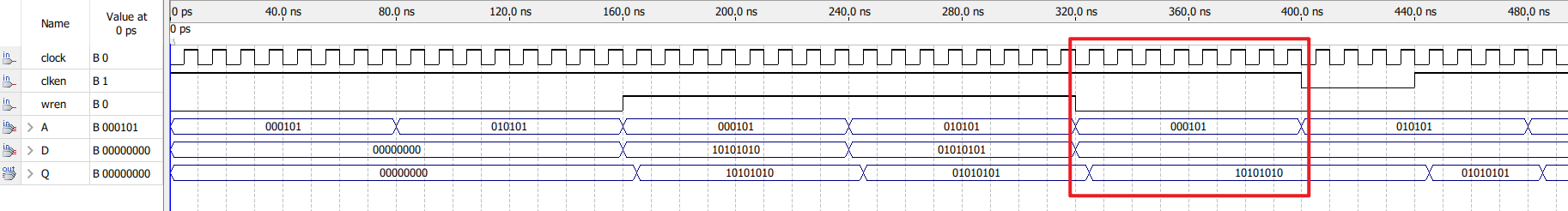
clken=1，wren=0， A[5..0]=000101/010101，首先分别读出RAM中地址为000101和010101的两组数据，均为0；



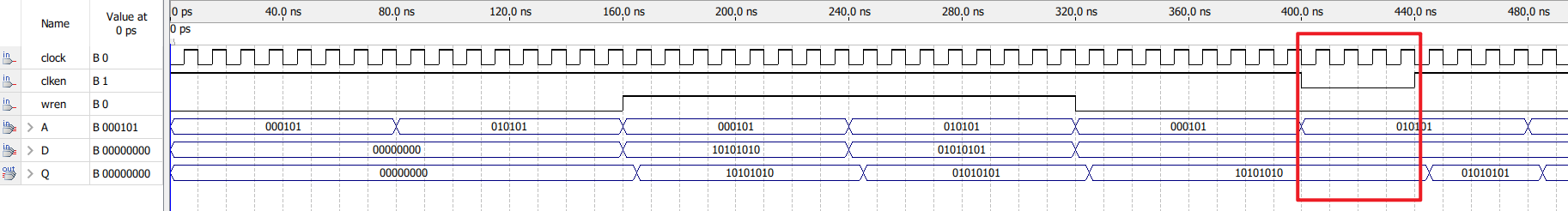
clken=1，wren=1，A[5..0]=000101，D[7..0]=10101010，向地址000101中写入数据10101010；



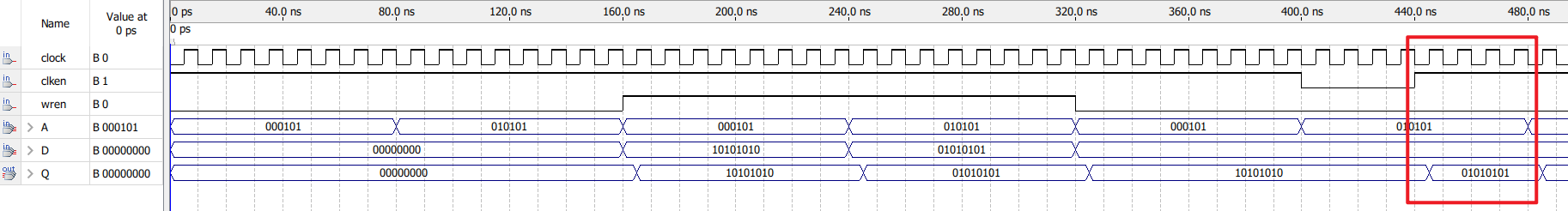
clken=1，wren=1，A[5..0]=010101，D[7..0]=01010101，向地址000101中写入数据10101010；



clken=1，wren=0，A[5..0]=000101，读出地址000101中的数据，为10101010，正确，因为是时钟信号上升沿触发，所以输出不是立刻变化；



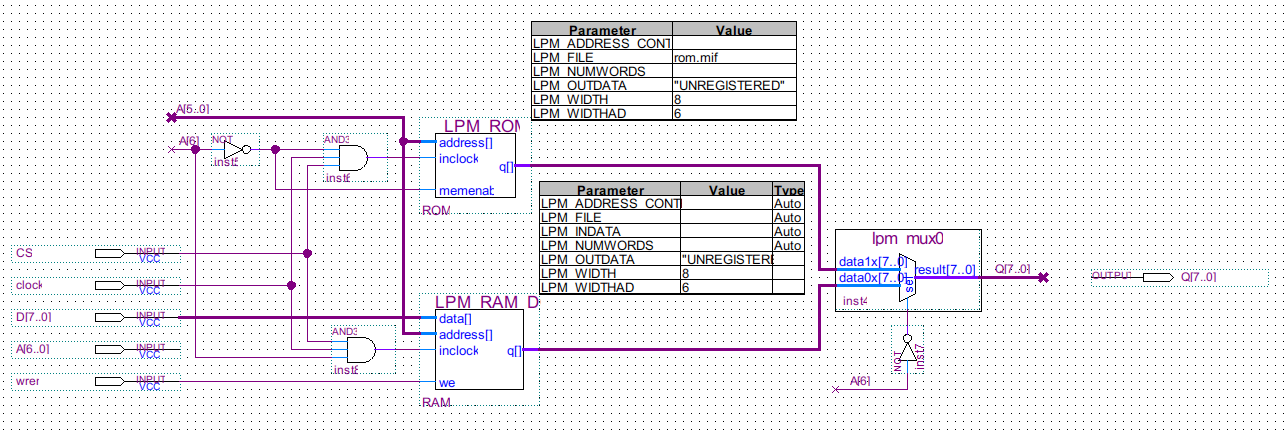
clken=0，wren=0，A[5..0]=010101，使能端为0，所以RAM不工作，输出没有变化，仍为上一次输出的值；



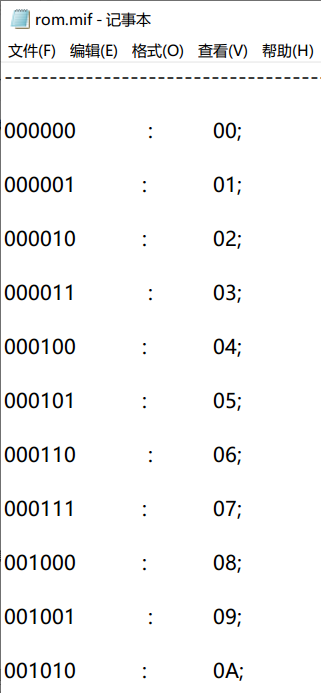
clken=1，wren=0，A[5..0]=010101，读出地址010101中的数据，为01010101，正确。

1. **储存模块功能验证**

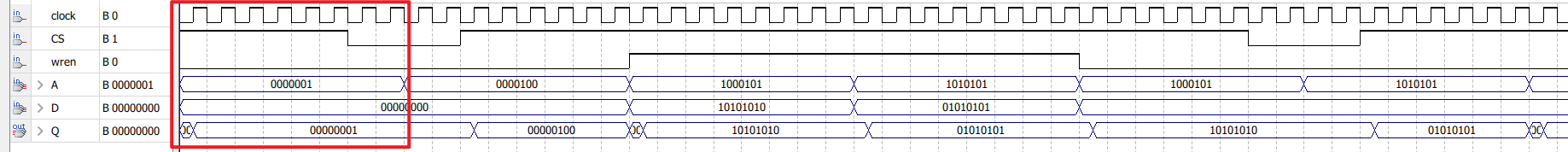
原理图：



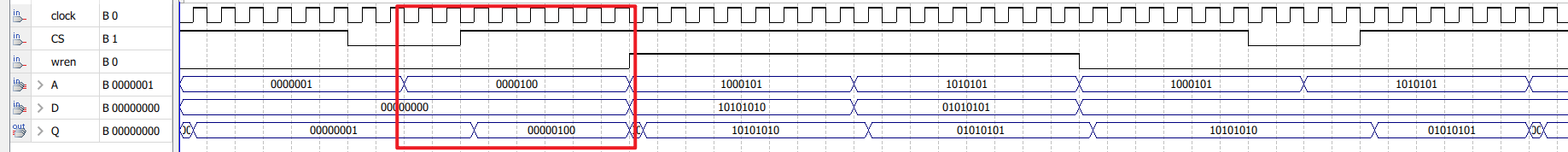
ROM中储存的内容：



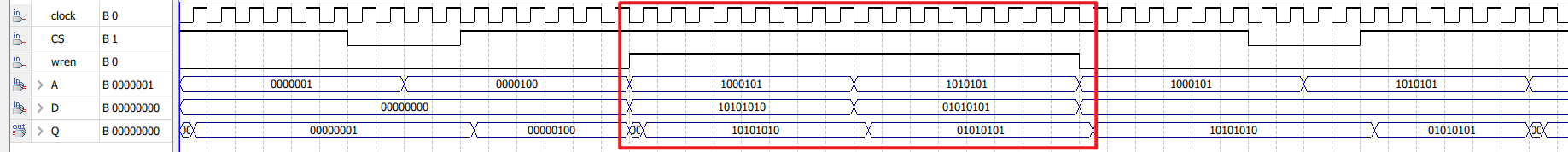
输出波形分析：



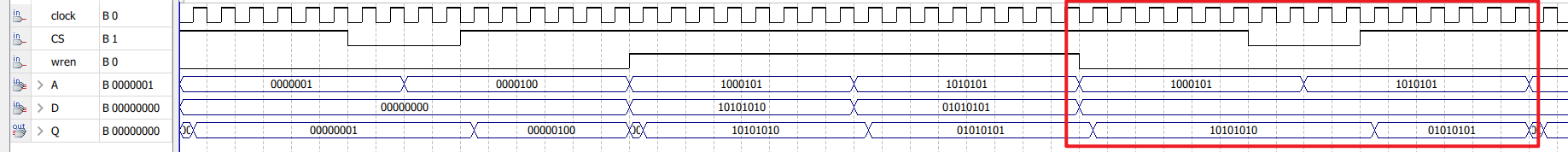
地址小于64，对应的是ROM的读取操作，读取ROM中地址为000001（ROM地址为6位），读出数据为01H，与文件中的数据相同，正确；



地址小于64，读取ROM中地址为000100的数据，结果为08H，正确，且在CS变为1时输出才发生变化，片选信号有效；



地址大于64，对应RAM的读写操作，wren为1，向RAM的两个地址中写入数据；



再依次从这两个地址中读出刚才写入的数据，相同，正确，且片选信号CS有效。

**1、电路仿真**

（提示：主要包括测试数据组织[应可枚举所有功能、输出结果]、仿真结果）

**2、结果分析**

（提示：主要包括测试数据的预期结果计算、与仿真结果的一致性比较，不一致的原因[需真实反映各种错误(如计算错误/数据错误/原理理解错误等)]）

**四、实验小结**

（提示：主要包括工作分工、设计总结、有待改进之处、实验体会）

**五、教师评语**

教师签字：

日期：