

Tarea #6 : PSS

Parte b). Cache 4KB (2^{12} bytes) 4096

<u>Línea Cache</u>	<u>etiqueta</u>	<u>Contenido</u>
c9	bc9	—
0f	20f	—
8b	78b	—

Suponiendo que cada línea es de 16 bytes, en la memoria, la línea cache 0f almacena la línea de la DRAM con etiqueta 0x20f, es decir, el rango de direcciones 0x20f0 a 0x20ff.

Seguendo esta lógica, encontraremos todos los registros entre:

- 0xbc90 a 0xbc9f en la línea Cache c9
- 0x20f0 a 0x20ff en la línea Cache 0f
- 0x78b0 a 0x78bf en la línea Cache 8b

1ª Consulta: dirección: 20f8 / dividimos en 16, el tamaño de la línea
 $\Rightarrow 20f$ / Nos fijamos a los 8 bits menos significativos
 $\Rightarrow 0f \rightarrow$ Esto es la línea del Cache!

Viendo la línea 0f, está etiquetada con 20f, como coincide con nuestra dirección es un Acerto!

2ª Consulta: dirección: 48b4

Corresponde a la línea 8b, pero la etiqueta NO COINCIDE.
 \Rightarrow un desacerto y reescribimos la Memoria cache.

<u>Línea Cache</u>	<u>etiqueta</u>	<u>Contenido</u>
--------------------	-----------------	------------------

C9	bc9	—
0f	20f	—
8b	48b	—

3º Consulta : dirección : 90f0.

Corresponde a la línea 0f, pero la etiqueta NO COINCIDE.
Es un desacuerdo y reescribimos la memoria cache.

<u>Línea Cache</u>	<u>etiqueta</u>	<u>Contenido</u>
--------------------	-----------------	------------------

C9	bc9	—
0f	90f	—
8b	48b	—

4º Consulta : dirección : 20f0

Corresponde a la línea 0f, pero la etiqueta NO COINCIDE.
Es un desacuerdo y reescribimos la memoria cache.

<u>Línea Cache</u>	<u>etiqueta</u>	<u>Contenido</u>
--------------------	-----------------	------------------

C9	bc9	—
0f	20f	—
8b	48b	—

5º Consulta: dirección: 6c90

Corresponde a la línea c9 y como la etiqueta 6c9 es la misma, es un ACIERTO.

6º Consulta: dirección: 90f8

Corresponde a la línea 0f, pero la etiqueta NO COINCIDE.
Es un desacuerdo y reescribimos la memoria caché.

<u>Línea Caché</u>	<u>etiqueta</u>	<u>Contenido</u>
c9	6c9	—
0f	90f	—
8b	48b	—

7º Consulta: dirección: 30f0

Corresponde a la línea 0f, pero la etiqueta NO COINCIDE.
Es un desacuerdo y reescribimos la memoria caché.

<u>Línea Caché</u>	<u>etiqueta</u>	<u>Contenido</u>
c9	6c9	—
0f	30f	—
8b	48b	—

Tarea #6 : PSS

Parte c)

• Arquitectura Populone

Ciclo

Fetch

Decode

Ejecute.

1

A

2

B

A

3

C

B

A

4

D

C

B

5

E

D

C

6

F

E

D

7

G

F

E

8

L

9

M

L

10

N

M

L

11

N

M

12

N.

• Arquitectura Superescale

Ciclo

Fetch

Decode

Ejecute

1

AB

2

CD

AB

3

EF

CD

AB

4

D

C

5

GH

EF

D

6

F

E

7

LM

8

N

LM

9

N

LM

10

N