

Filtro de ventana deslizable

Trabajo práctico final Microarquitecturas y Softcores

Sanchez Gonzalo Daniel

(na.gonzalo@gmail.com)

21/06/2022

versión A

Historial de cambios

Versión	Fecha	Descripción	Autor	Revisores
A	21/06/2022	Primer redacción	Sanchez, G.	

Índice de contenido

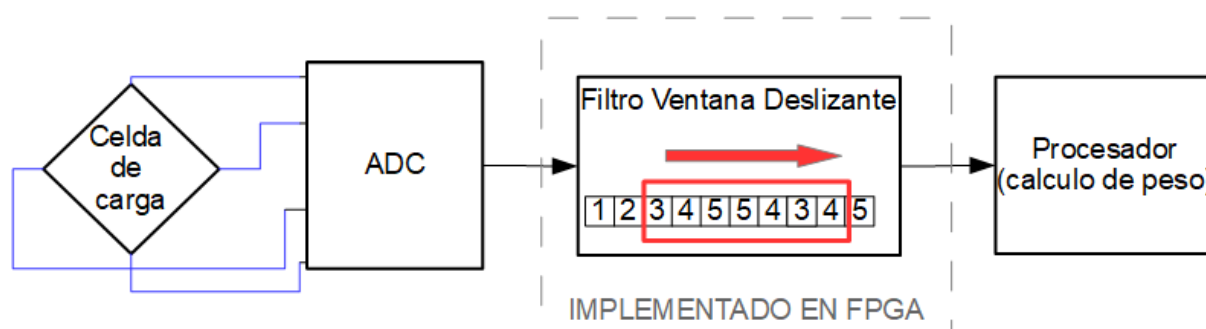
Introducción	3
Descripción	3
Comportamiento esperado	4
2. Implementación VHDL	5
2.1 Entradas y salidas del módulo	5
2.2 Submódulos	6
2.3 RTL Schematic	8
3. Simulaciones	9
3.1 Condiciones de simulación	9
3.2 Gráficas simulaciones	10
4. Implementación	13
4.2 Ruteo	13
4.3 Recursos utilizados	14
5. Descarga a devKit	18

Introducción

1.1. Descripción

El circuito a implementar es un filtro de ventana deslizante que se utiliza para filtrar los datos recibidos desde un conversor ADC que digitaliza la señal de una celda de carga de una balanza. Los valores filtrados son luego tomados por el procesador y utilizados como valor de entrada en la rutina de cálculo de peso.

Debajo se muestra un diagrama de bloques simplificado



Los datos de entrada son valores enteros signados de 32 bits al igual que los datos de salida y el largo de la ventana deslizante es de 50 lecturas.

Este filtro de ventana deslizante tiene dos particularidades:

- Desde que se lee el primer valor y hasta que la ventana se llena, los promedios se calculan considerando la cantidad de valores leídos y no el largo total de la ventana. La tabla debajo ejemplifica este comportamiento

Valores ventana					Promedio calculado
1					salida = 1 / 1
2	1				Salida = (1 + 2) / 2
3	2	1			salida = (1 + 2 + 3) / 3
4	3	2	1		salida = (1 + 2 + 3 + 4) / 4
50	49		2	1 salida = (1 + 2 + + 50) / 50
51	50		49	2 salida = (2 + 3 ++ 51) / 50
52	51		50	3 salida = (3 + 4 + + 52) / 50

- La segunda particularidad es que cuando el último valor leído difiere del anterior más que un cierto umbral dado, el filtro debe resetearse y acusar a su salida el último valor leído.

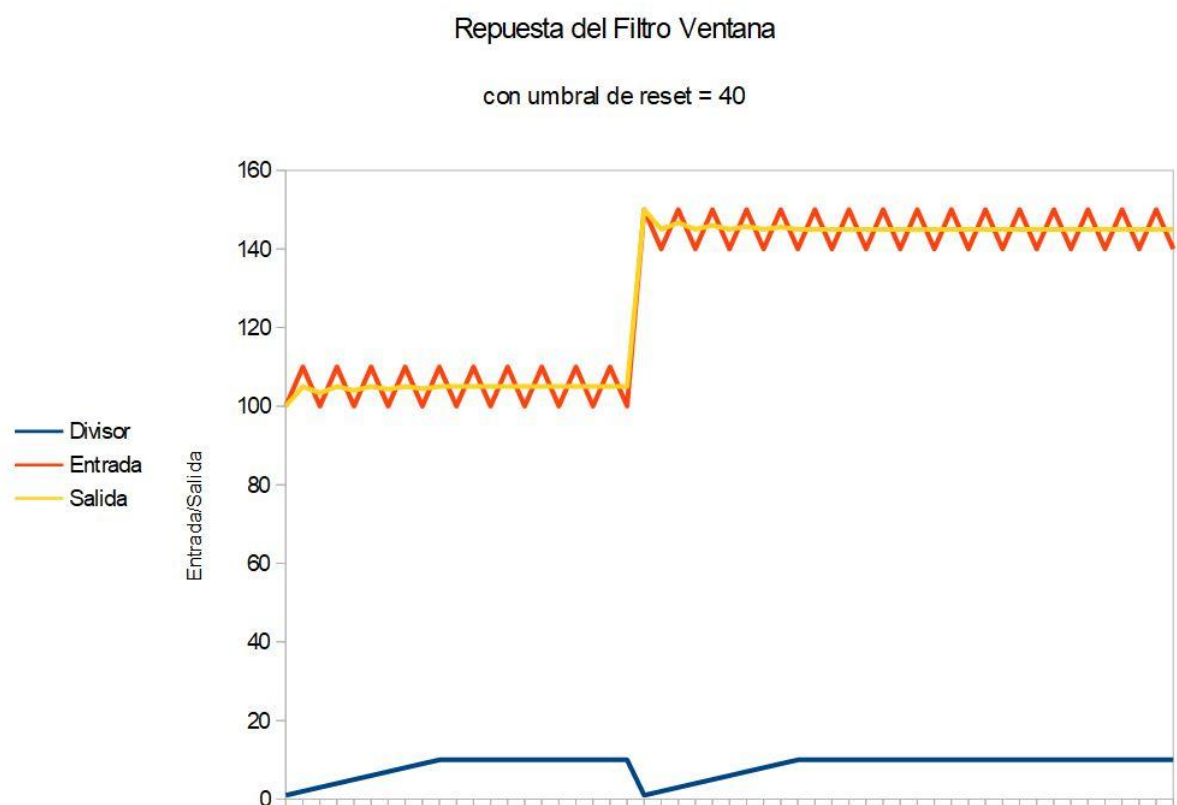
$$I(k) - I(k-1) > \text{umbral} \Rightarrow \text{Resetear Filtro}$$

El valor del umbral es configurable.

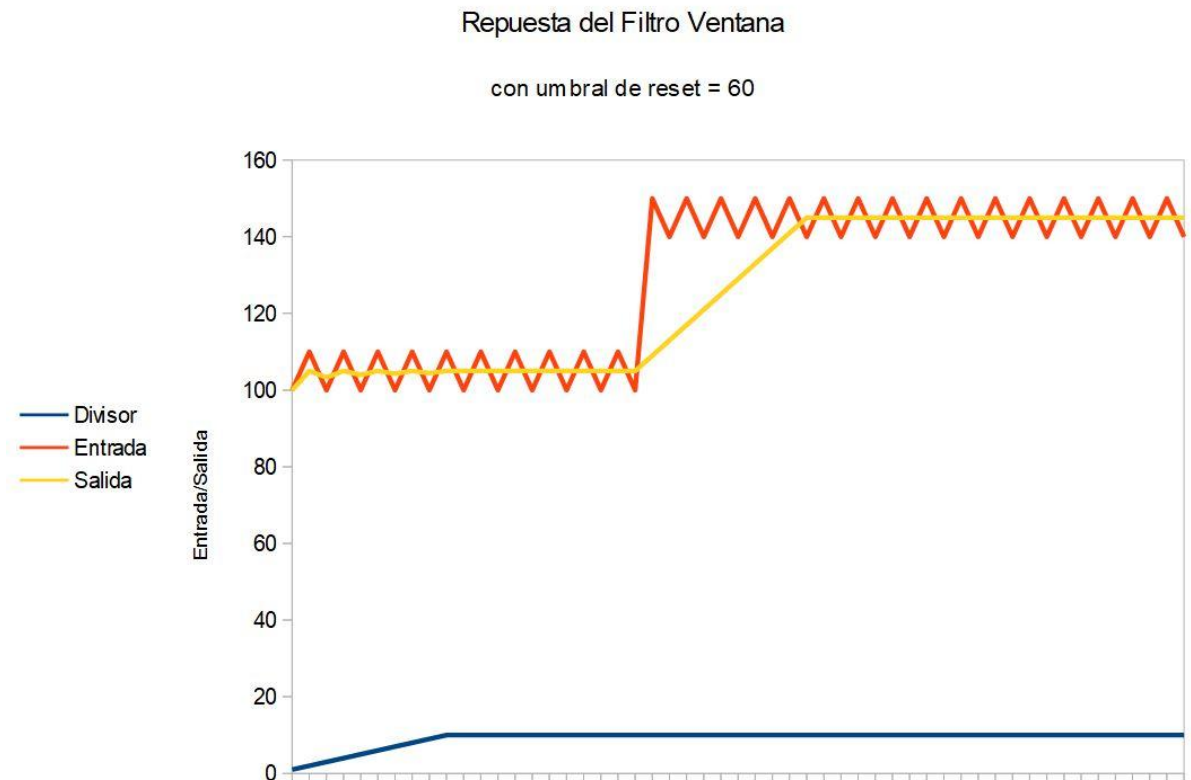
1.2. Comportamiento esperado

Las siguientes dos gráficas muestran cómo actúa el filtro con dos valores de umbrales distintos para una señal de entrada que inicialmente oscila entre 100 y 110 con valor medio de 105 y que abruptamente cambia a valores oscilantes entre 150 y 160 con valor medio 155.

En la gráfica debajo el umbral está fijado en 40 y se puede observar como debe resetearse el filtro acusando instantáneamente el cambio a su salida.



Si en cambio el valor de umbral se fija en 60, se observa como el filtro no se resetea y la salida evoluciona según el promedio de toda la



2. Implementación

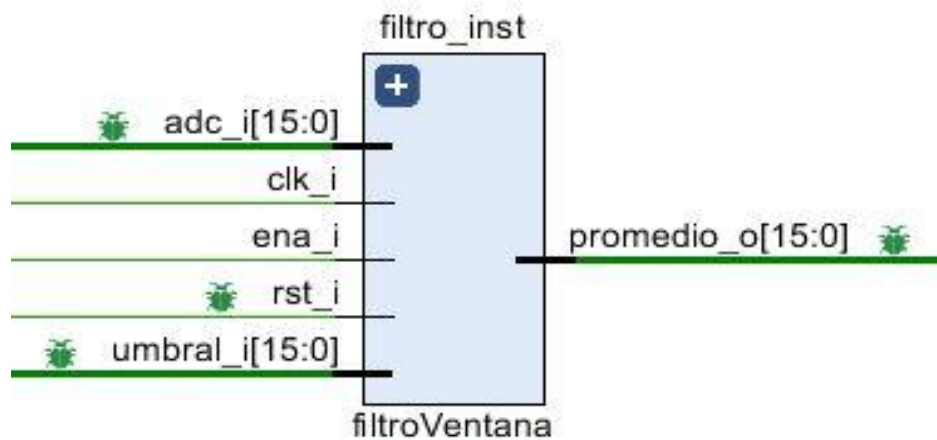
2.1 Módulo FiltroVentana

Entradas

- **adc_i:** std_logic_vector(31 downto 0). Valores leídos del ADC. Se esperan valores en formato entero con signo (complemento a 2).
- **clk_i:** std_logic. Entrada de reloj.
- **rst_i:** std_logic. Entrada de reset.
- **ena_i:** std_logic. Entrada de enable. Cuando la entrada de enable está en 0 la salida del filtro acusa el último promedio calculado y no se “latchean” nuevos valores a la entrada.
- **umbral_i:** std_logic_vector(31 downto 0). Umbral de reseteo. Se esperan valores en formato entero con signo (complemento a 2).

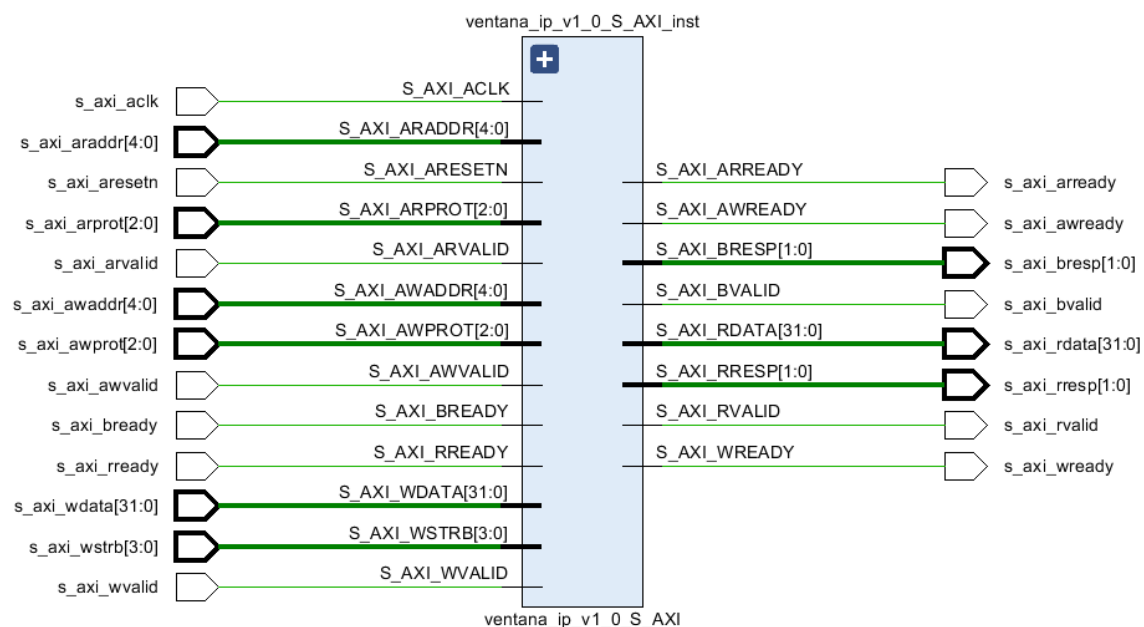
Salidas

- **promedio_o:** std_logic_vector(31 downto 0). Salida del filtro.

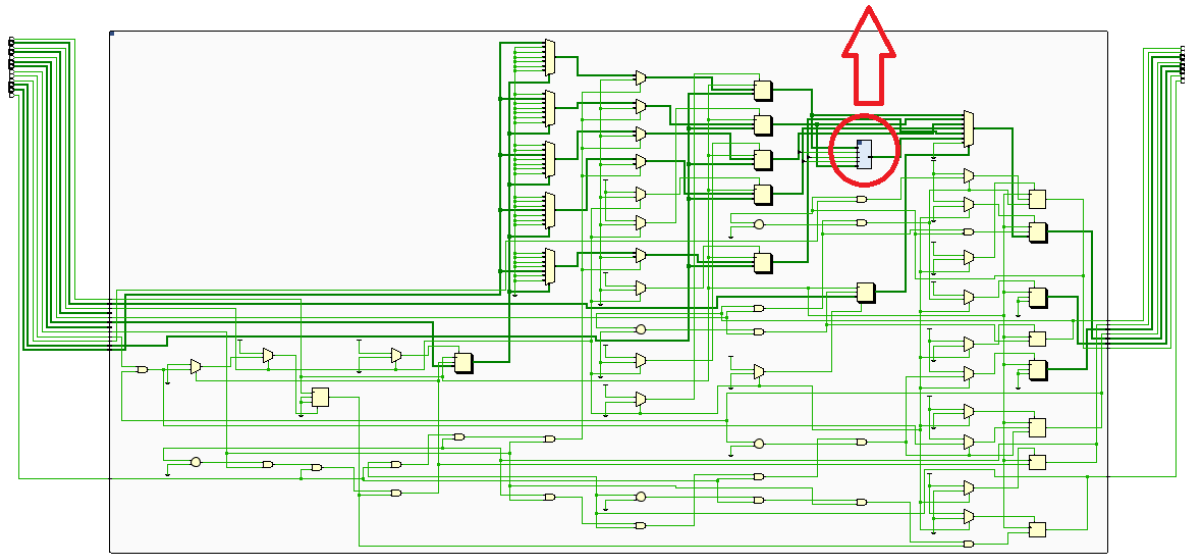


2.2 Implementación del IP AXI

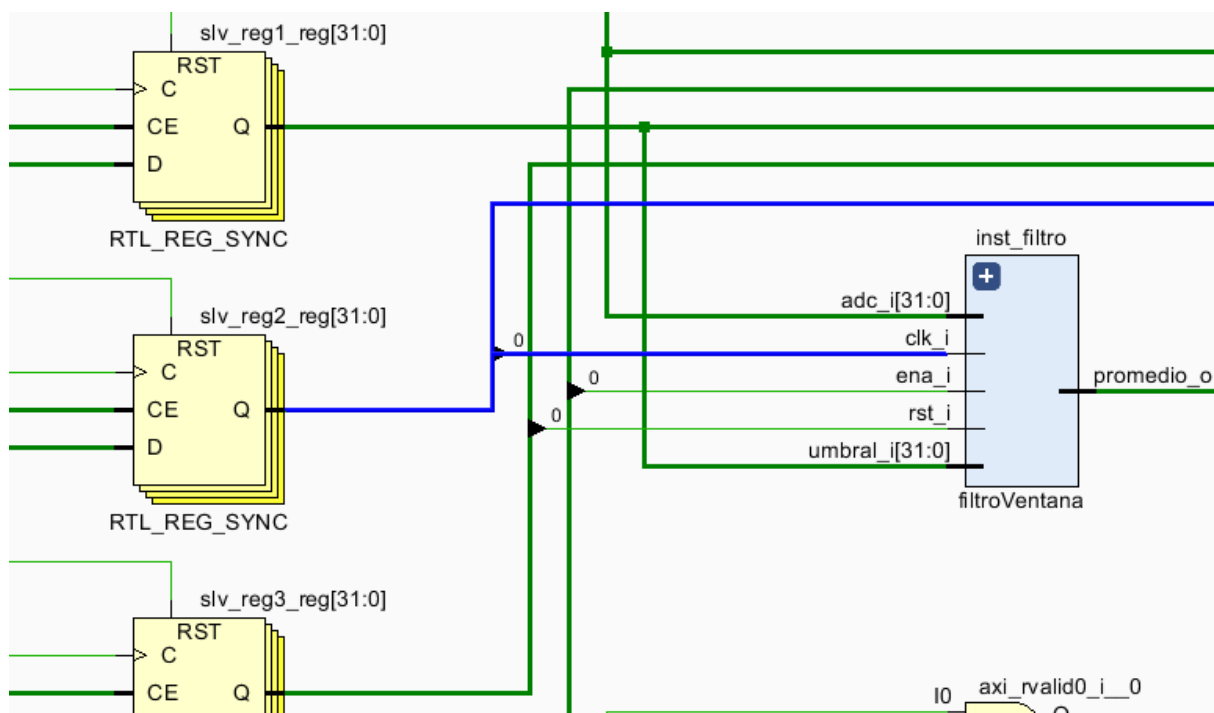
El IP implementado se comunica con el core Cortex A9 mediante el bus AXI (AXI4 Lite) y no interactúa con otras entradas o salidas. De esta manera cada una de las entradas y salidas del bloque filtroVentana son mapeadas a direcciones de memoria accesibles por el core A9 tanto para lectura como para escritura.



Lógica del filtro de ventana deslizante



Inicialmente se intentó utilizar un solo registro para el manejo de las señales de CLK, ENABLE y RST asignando distintos bits del registro a cada señal pero por algún motivo que no se pudo desifrar esta solución no funcionó. Como solución se utilizarón 3 registros, uno por cada señal asignando el bit 0 de cada registro a las respectivas señales y de esta forma se consiguió el funcionamiento buscado.



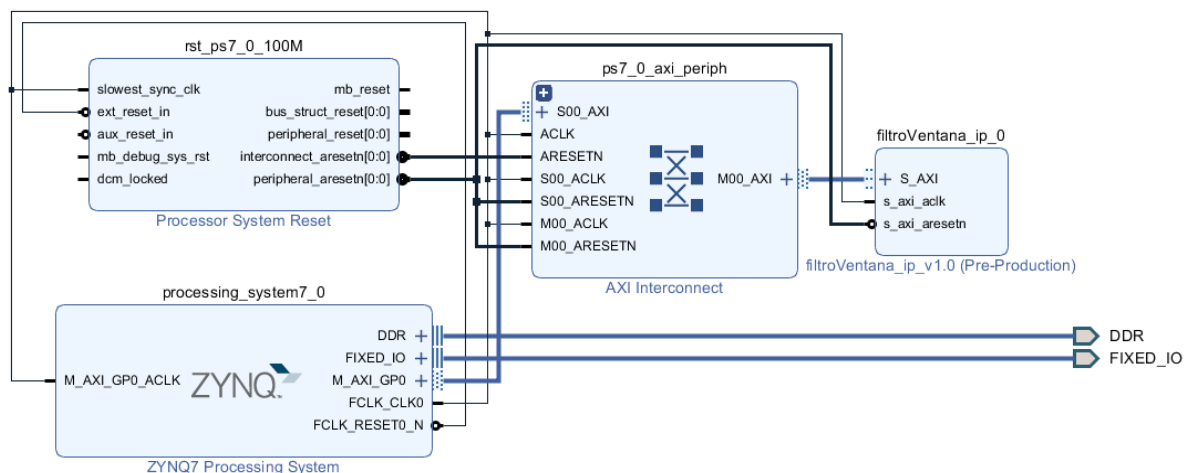
Finalmente se utilizarón 6 registros para mapear en memoria todas las entradas y salidas del bloque.

Notar que la señal de reloj del bloque filtroVentana se conecto a un registro y no a la señal de clock. Esto se debe a que el calculo del promedio (filtrado) solo se debe hacer al ingresar un nuevo valor al filtro, por lo cual conectando la señal de reloj a un registro la secuencia de filtrado se puede controlar desde el software escribiendo 1 y 0 en dicho registro.

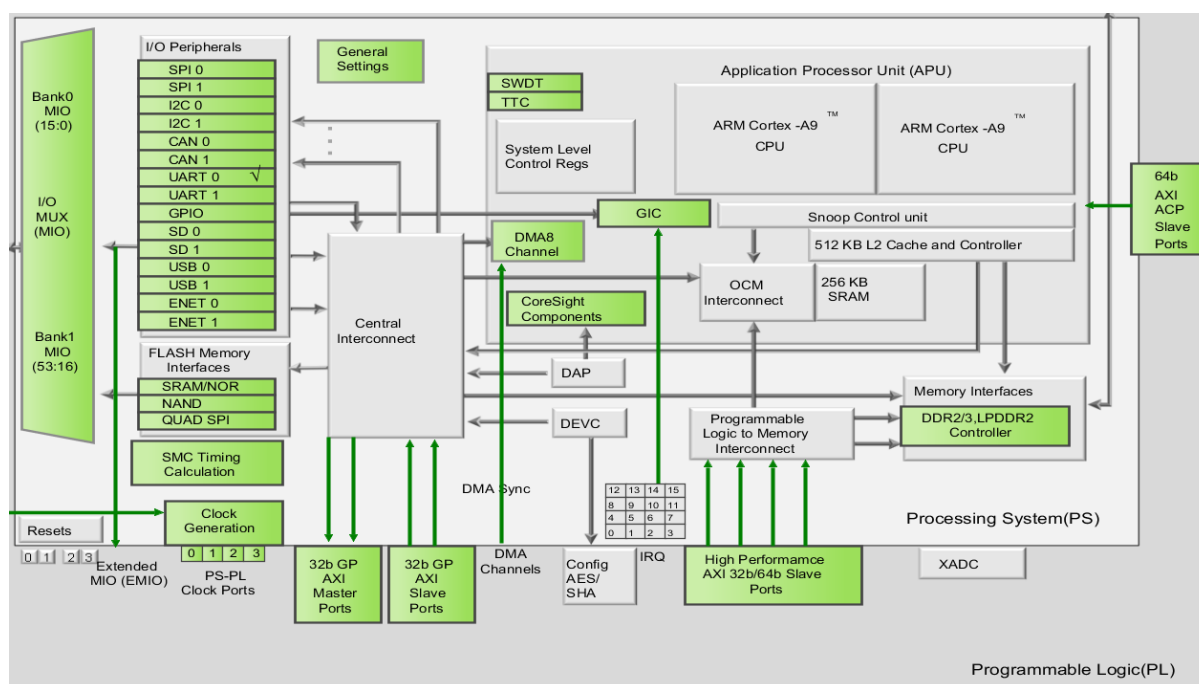
```
-- Add user logic here
inst_filtro: filtroVentana
    port map(
        adc_i =>      slv_reg0,
        umbral_i=>    slv_reg1,
        clk_i=>       slv_reg2(0),
        rst_i=>       slv_reg3(0),
        ena_i=>       slv_reg4(0),
        promedio_o=>  sal_filtro
    );
-- User logic ends
```

2.3 Agregado del IP al sistema

Dado que el IP solo interactua con el procesador vía el bus AXI no hubo necesidad de agregar módulos de entrada/salida o de debug (VIO).

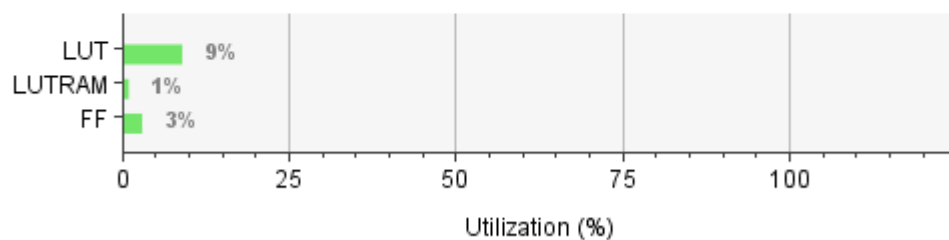


Dentro del processing_system solo fue necesario habilitar el periférico UART0 para mostrar resultados en la consola



2.4 Utilización de recursos

Resource	Utilization	Available	Utilization %
LUT	1629	17600	9.26
LUTRAM	66	6000	1.10
FF	1199	35200	3.41



3. Descarga a devKit y corrida de firmware

Como se explicó anteriormente, se mapearon 6 registros asociados a las entradas y salidas del filtro Venana. Así, con las funciones provistas por el board support package para escribir y leer los registros se enviarón valores al filtro, se controlarán sus entradas de comando (EN, CLK, RST) y se leyero los valores de salida.

Para probar el funcionamiento se definió un valor umbral y un arreglo de valores aleatorios procurando generar algunos saltos mayores al umbral definido para testear el reseteo automático. Se creó un bucle donde se ingresaron al IP todos los valores del arreglo y se leyeron los valores de salida imprimiendolos en pantalla indicando donde el filtro debería auto-resetearse. En otro bucle similar se subieron y bajaron las señales de reset y enable y se verificó su funcionamiento.

```
Inicio del programa para validar el uso del IP core
de un filtro de ventana deslizante con umbral de autoreset--

Fijo un umbral de reset igual a 500
Dato in: 100
Salida Filtro: 100
Dato in: 200
Salida Filtro: 150
Dato in: 300
Salida Filtro: 200
Dato in: 400
Salida Filtro: 250
Dato in: 300
Salida Filtro: 260
Dato in: 350
Salida Filtro: 275
Dato in: 400
Salida Filtro: 292
Dato in: 450
Salida Filtro: 312
Dato in: 400
Salida Filtro: 322
Dato in: 350
Salida Filtro: 325
Dato in: 1100
La diferencia entre 350 y 1100 es mayor que el umbral 500
El filtro se resetea automaticamente
Salida Filtro: 1100
Dato in: 1200
Salida Filtro: 1150
Dato in: 1300
Salida Filtro: 1200
Dato in: 1400
Salida Filtro: 1250
Dato in: 1350
Salida Filtro: 1270
Dato in: 1400
Salida Filtro: 1291
Dato in: 1450
Salida Filtro: 1314
Dato in: 1400
Salida Filtro: 1325
Dato in: 300
La diferencia entre 1400 y 300 es mayor que el umbral 500
El filtro se resetea automaticamente
Salida Filtro: 300
Dato in: 250
Salida Filtro: 275
Dato in: 300
Salida Filtro: 283
Dato in: 200
Salida Filtro: 262
Dato in: 250
Salida Filtro: 260
Dato in: 350
Salida Filtro: 275
```

```
Dato in: 300
La diferencia entre 1400 y 300 es mayor que el umbral 500
El filtro se resetea automaticamente
Salida Filtro: 300
Dato in: 250
Salida Filtro: 275
Dato in: 300
Salida Filtro: 283
Dato in: 200
Salida Filtro: 262
Dato in: 250
Salida Filtro: 260
Dato in: 350
Salida Filtro: 275
Dato in: 400
Salida Filtro: 292
Dato in: 600
Salida Filtro: 331
Dato in: 500
Salida Filtro: 350
Dato in: 700
Salida Filtro: 385
-----
Forzamos el reseteo del filtro
-----
Dato in: 100
Salida Filtro: 100
Dato in: 200
Salida Filtro: 150
Dato in: 300
Salida Filtro: 200
Dato in: 400
Salida Filtro: 250
Dato in: 300
Salida Filtro: 260
Dato in: 350
Salida Filtro: 275
Dato in: 400
Salida Filtro: 292
Dato in: 450
Salida Filtro: 312
Dato in: 400
Salida Filtro: 322
Dato in: 350
Salida Filtro: 325
Dato in: 1100
Salida Filtro: 1100
Dato in: 1200
Salida Filtro: 1150
Dato in: 1300
Salida Filtro: 1200
Dato in: 1400
Salida Filtro: 1250
-----
Bajamos la seal de Enable
-----
```

```
Salida Filtro: 200
Dato in: 400
Salida Filtro: 250
Dato in: 300
Salida Filtro: 260
Dato in: 350
Salida Filtro: 275
Dato in: 400
Salida Filtro: 292
Dato in: 450
Salida Filtro: 312
Dato in: 400
Salida Filtro: 322
Dato in: 350
Salida Filtro: 325
Dato in: 1100
Salida Filtro: 1100
Dato in: 1200
Salida Filtro: 1150
Dato in: 1300
Salida Filtro: 1200
Dato in: 1400
Salida Filtro: 1250
-----
Bajamos la seal de Enable
-----
Dato in: 1350
Salida Filtro: 1250
Dato in: 1400
Salida Filtro: 1250
Dato in: 1450
Salida Filtro: 1250
Dato in: 1400
Salida Filtro: 1250
Dato in: 300
Salida Filtro: 1250
Dato in: 250
Salida Filtro: 1250
Dato in: 300
Salida Filtro: 1250
Dato in: 200
Salida Filtro: 1250
Dato in: 250
Salida Filtro: 1250
Dato in: 350
Salida Filtro: 1250
Dato in: 400
Salida Filtro: 1250
Dato in: 600
Salida Filtro: 1250
Dato in: 500
Salida Filtro: 1250
Dato in: 700
Salida Filtro: 1250
Fin de la prueba
```