

# 2013

标 题: 2013年1月 (计0) 计原A卷

发信站: (Fri Jan 4 10:41:36 2013), 转信

呃我的是A卷，感觉除了小坑都还可以！

## 一、填空

- 1、-12.75 转IEEE754。
- 2、ALU是通过\_\_逻辑电路实现的，其功能是？
- 3、Von Neumann计算机的基本思想是\_\_和\_\_？
- 4、THINPAD的字长？编制方式？通过\_\_口通讯，输入输出方式为\_\_
- 5、在流水中，若有以下三条指令：ADDU R1 R2 R1, ADDU R1 R3 R2, ADDIU R3 2  
若不加入转发电路，则需要插入\_\_个气泡，如果加入转发电路需要\_\_个气泡。
- 6、第五题中使用了\_\_和\_\_寻址方式，请另外写出三种。
- 7、Cache的缺失种类有：\_\_、\_\_、\_\_和失效缺失。

## 二、选择题

1、布斯乘法中，是根据控制位和最低位的组合来判断功能的，若组合为01时，应该运算部分积\_\_？

- A、+0
  - B、+[x]补
  - C、-[x]补
  - D、+[2x]补
- 2、不可用于解决控制冲突的是
- A、插入等待
  - B、延迟槽
  - C、数据转发
  - D、分支预测
- 3、一个不使用Cache、预载入，处于开中断的计算机：
- A、每周期至少访存1次
  - B、指令周期一定大于等于1个CPU周期
  - C、空语句周期中不会改变任何寄存器中的内容
  - D、每条指令后均有可能被中断打断
- 4、USB特性中错误的是
- A、即插即用
  - B、忘了==
  - C、忘了==
  - D、有两根数据线，可以一次发送两个数位，传输速率快。
- 5、响应中断的流程 包含
- I、存储PC
  - II、保存所有通用寄存器
  - III、恢复PC
- A、I III
  - B、I II
  - C、I II III
  - D、都不

6、一台有完整的层次储存器的MIPS计算机，LW指令访存的最少次数为：

- A、0
- B、1
- C、2
- D、3

7、Von Neumann区分指令和数据的方式（懒得抄了）

8、直接映射Cache中，命中率最高的算法

- A、FIFO
- B、LRU
- C、RAND
- D、都不对

9、五个中断，响应优先级为 $0>1>2>3>4$ ，处理优先级为 $4>0>2>1>3$ ，问1的中断屏蔽字（格式为43210）

- A、11110
- B、01101
- C、00011
- D、01010

10、菊链仲裁中正确的是（跟往年的一样，懒得抄= =）

三、判断题（错了要写原因）

- 1、加减交替法可以实现一位原码除法，比恢复余数法硬件实现简单
- 2、分页系统中增加TLB可以提高命中率
- 3、128字节，块大小为16字节的全相联缓存和128字节，块大小16字节的8路相连缓存
- 4、RAID可以提高性能和可用性
- 5、奇偶校检可以发现并纠正一位错误
- 6、硬盘不同的磁记录方式对于存储容量没有影响
- 7、FLASH和SRAM一样都是电易失性存储器
- 8、段式虚存中的段表存有段长信息，可以检查是否访问地址越界
- 9、DMA可以提高硬盘到内存的载入速率
- 10、Blue-Ray比DVD的波长更长

四、什么是总线？总线仲裁是什么？总线仲裁的两种方式为？

五、什么是流水线中的结构冲突？MIPS中在哪些指令阶段中会发生结构冲突？对应的解决途径都有哪些？

六、硬盘的寻道时间是8ms，7200RPM，传输速率5MB/s，每个磁道64个盘区，每个盘区是512字节，控制器延迟为1.5ms

- 1、读单盘区的时间
- 2、读连续的8KB的时间
- 3、假如我们有4个磁盘能并行的读出数据，那么读取32KB需要多少时间？

七、一个计算机的虚拟内存大小为16MB，实际内存大小为1MB，页面大小为4KB。Cache为直接映射方式，共8行，块大小为32B。

页表图：

行号	有效位	实页号
0	1	06
1	1	04
2	1	15
3	1	02
4	0	--
5	1	2B
6	0	--
7	1	32

Cache：

行号	有效位	标记
0	1	020
1	0	--
2	1	01D
3	1	105
4	1	064
5	1	14D
6	0	--
7	1	27A

- 1、虚拟内存地址共几位？虚页号为哪几位？物理内存地址为几位？实页号为哪几位？
- 2、物理地址访问Cache时，应该分为哪几个字段？对应的位数和地址中的位置是哪几位？
- 3、虚拟地址：001C60H是在主存中么？若是物理地址是多少？Cache是否命中了呢？

TLB图（只有第四问用）

组号	V	TAG	实页	V	TAG	实页	V	TAG	实页	V	TAG	实页
0	0	--	--	1	001	15	0	--	--	1	012	1F
1	1	013	20	0	--	--	1	008	7E	0	--	--

- 4、若有4路TLB，共8个页表项，问021BACH是否是在主存中？理由？

# 2011

标 题: 2011 计原 刘卫东

发信站: (Thu Jan 6 17:17:05 2011), 转信

## A 卷

### 一, 填空

- 1, 0的IEEE 754表示
- 2, 流水线三种冲突
- 3, TEC2008的字长, 编址方式, 主存大小, 与终端使用\_\_行接口通信, 采用\_\_输入输出方式
- 4, Cache 的三种缺失
- 5, 页式存储, 在\_\_中设置\_\_进行虚实转换
- 6, 中断步骤

### 二, 判断(错的要写理由)

没有列的题目往年都出现过, 请参考精华区往年题

- 5, RAID5 的纠错检错能力强于 RAID4
- 7, 虚拟存储管理中, 虚页数一定等于实页数
- 8, 直接映射的Cache可以使用LRU或FIFO的替换方式
- 9, 动态预测可以增加Cache Hit
- 10, 段式管理中, 段表中有段长信息进行越界检查

### 三, 选择题

- 1, 16位的数据, 发现2位错, 纠正1位错至少需要\_\_位?
- 2, BNEZ R4, F9 采用的寻址方式为\_\_和\_\_?
- 3, 计算机的最小功能单元是?
- 4, 下列关于RISC错误的是?  
A, 寻址简单 B, 指令格式规范 C, 指令功能简单 D, 一般采用微程序实现
- 5, 字长16bit, 内存32KW, 用2k \* 8bit的存储芯片,需要几片?

中间几题没抄

- 9, 冯诺依曼机区别指令和数据的方法是?

### 四, 数据旁路的含义和目的

### 五, 给一个及其抽象和表意的多周期CPU示意图, 问:

- 1, 寄存器1, 2, 3的用处? 为什么3不需要写信号?
- 2, 分析ADDU rd,rs,rt 和 BEQ rs,rt,imm 这两个指令的运行过程

六, CPU频率500MHz, 字长16bit, 一个外设速度是20KB/s,如果采用中断处理的话, 中断需要500周期, 问是否可以采用中断来实现IO? 如果外设的速度是2MB/s又如何?

### 七, TLB 共16项, 两路, Cache 1kB,直接映射, 块大小为16B, 页大小4KB,

- 1, 问ABCDEFGH各多少bit, 虚页号是多少bit
- 2, 给以下程序, 求Cache Miss Rate

```
integer a[1000]
for i 1 to 1000
  for j 1 to 1000
    a[i]=a[i]+1
```

恩，就能想起这么多了。。

## 2010

发信站: (Mon Jan 18 16:56:07 2010), 站内

【以下文字转载自 junior 讨论区】

发信人: harrywy (男人就应该像一元硬币), 信区: junior

标 题: 明天考计原，好怕怕

发信站: (Sun Jan 17 23:46:01 2010), 转信

整理的比较乱，各位多包涵

如有有错，请及时指出

bow to all

冯诺依曼计算机有\_\_存储器\_\_\_\_, \_\_控制器\_\_\_\_, \_\_运算器\_\_\_\_, \_\_输入\_\_\_\_, \_\_输出\_\_\_\_五大部件组成

各部件通过\_\_（同一个）总线\_\_\_\_连接构成计算机系统

海明码 纠正一位 发现俩位

$2^{(r-1)} \geq k + r$

IEEE 浮点数:

偏移值: 单精度 127    双精度 1023

$(-1)^s * (1 + \text{有效位数}) * 2^{(\text{指数}-\text{偏移值})}$

s为最高为

指数位8位

有效位是 0。XXXX

五段流水线    IF ID EXE MEM WB

Cache的三类缺失原因是\_\_必然缺失\_\_\_\_, \_\_容量缺失\_\_\_\_, \_\_冲突缺失\_\_\_\_

一致性原则：处在不同层次存储器中的同一个信息应保持相同的值。

包含性原则：处在内层的信息一定被包含在其外层的存储器中，反之则不成立。

结构相关      数据相关      控制相关

旁路技术可减少数据相关    分支预测减少控制相关

串行接口可以同步也可以异步传输    并行采用同步模式

中断处理包括    关中断，保存断点保护现场，判中断源转中断服务，开中断，执行中断服务程序，关中断，恢复现场恢复断点，开中断，返回断点

立即寻址，寄存器寻址，直接寻址，寄存器间接寻址，寄存器相对寻址，基址加变址寻址，相对基址加变址寻址

SRAM 送行列地址同时送

DRAM 分两次送

直接映射      利用率低，命中率低，效率较低

全相联映射

多路组相联

程序局部性原理    空间局部性      时间局部性

利用局部性原理,设计了\_\_层次\_\_存储器系统

提高Cache的性能    容量缺失      增加Cache容量，可缓解缺失现象

冲突缺失      增加相联的组数有助于缓解冲突    增加Cache容量有助于缓解冲突

提高命中率      增加Cache容量、加大Cache块容量

减少不命中代价    缩小Cache块容量、替换算法

虚拟存储器管理: 段式存储管理    页式存储管理

段式存储管理:

页式存储管理:

硬盘参数:

扇道    扇区

磁盘访问时间 = 寻道时间 + 旋转延迟（平均旋转延迟应为磁盘旋转半周的时间） + 传输时间 + 磁盘控制器延迟

CPU 给出地址，需要访问某存储单元；并行进行TLB查找和cache查找；TLB查找后申明没有找到；

停止并行查找，并通知操作系统处理；操作系统检查页表，发现该页不在内存中，需要从硬盘调入

RAID技术:提高磁盘的可用性和性能

RAID0: 没有冗余，可靠性差, 交叉循环

RAID1: 镜像一份，冗余备份，可靠性高， 写性能不高， 读性提高两倍， 成本较高

RAID2: 一个字被分布到多个驱动器 （废弃）

RAID3: 简化的RAID2 驱动器同步 能恢复整个磁盘崩溃的错误

RAID4: 校验带是所有的带异或到一起， 无需同步，防止整块崩盘 校验盘符合重

RAID5: 校验循环分布，修复复杂

EDRAM = DRAM + Cache

CDRAM = DRAM + 大Cache

DDR = Double Data Rate 上升沿和下降沿都传输数据

I/O方式 1.程序直接控制, （低成本，低效率，占CPU）

2.程序中断, （传输速度低，干扰CPU）

3.DMA(独占总线,周期窃取), I/O设备和主存储器之间的直接数据通路 （一对一服务）

4.通道控制,

通道类型: 字节多路通道(中低速), 选择通道(快), 数组多路通道(前两种结合)

5.外围处理机

总线BUS 好处: 易添新设备, 兼容, 降低成本

缺点: 带宽限制,

总线类型: 处理器-主存总线, 输入/输出总线, 系统总线

数据总线 地址总线 控制总线 （两种分类吧）

总线组成： 控制线，数据线

总线仲裁： 1. 集中仲裁 菊链仲裁(无法保证公平性) 集中平行仲裁(通过集中的仲裁器)

2. 分布仲裁

同步总线传输：使用共同的时钟信号 简单高速 总线短防止时钟信号扭曲

异步总线传输：控制信号作为总控信号 适应设备的不同速度

接口： 总线和外部设备的连接

USB接口 127个设备

USB线缆 同步传输方式 电源、地和双数据线

## 2010

标 题: 计算机组成原理 2009.1.18 刘卫东

发信站: (Mon Jan 18 17:16:12 2010), 转信

8:00 ~ 10:00 a.m. @ 建馆报告厅

A卷

### 一、填空

1. -254 转IEEE754
2. 某计算机，16位，用补码表示数据，某C语言程序，定义i,j,k均为short型，程序段{i=105, j=-12767, k=i+j}, i,j,k分别存放在100,101,102处，问三处内容
3. TEC2008实验机，有指令BEQZ rx,imm，前缀00100，现有指令0010000011111100在0109h处，此时r0=0，问成功执行之后PC=?
4. 常见寻址方式有（5种）
5. [和之前的中断处理那个填空一样]

### 二、选择

1. 哪个可以缩短程序运行时间
  - I. 提高CPU频率
  - II. 优化数据通路
  - III. 编译器优化A. I,II B. I,III C. II,III D. I,II,III
2. 数据位8位，多少位校验码能够发现2位错并且纠正1位？  
A. 3 B. 4 C. 5 D. 6
3. 那个是汇编程序员可见的  
A. MAR (存储器地址) B. PC C. MDR (存储器数据) D. ID (指令数据)



4. 微程序所在位置

A. CPU B. Cache C. Mem D. 磁盘

5. 多周期CPU:

A. 指令定长

B. 每周期执行一条

C. 每周期执行多条

D. 用组合逻辑实现控制器

6. 关于Cache, 错误的是:

A. 在CPU/Mem之间

B. 系统程序员负责维护

C. 速度比Mem快

D. 和Mem以块为单位交换数据

7. SRAM与DRAM

I. 都是电易失型

II. 都可以随机访问

III. 可用做Cache

IV. 需要刷新

A. I,II B. I,III C. II,IV D. III,IV

8. TLB, 页表, Cache, 哪种不可能出现: (N=没命中, Y=命中)

A. N/N/N

B. N/Y/Y

C. Y/Y/N

D. Y/N/Y

9. 菊链仲裁:

A. 优先级相同

B. 靠近控制器优先级高

C. 远离控制器优先级高

D. 反应速度快的优先级高

10. 100柱面, 10磁道, 128扇区, 每个512字节的硬盘, 大小?

A. 12800B B. 25MB C. 62.5MB D. 625MB

三、判断

1. CISC指令类型比RISC多

2. [从前的摩尔定律判断]

3. [从前的PCIexpress判断]

4. [从前的控制冲突判断]

5. [从前的RAID4/5判断]

6. [从前的微程序判断]

7. 可做乘法的CPU都有乘法器

8. [从前的cache容量一定的判断]

9. [从前的数据旁路解决冲突的判断]

10. 页式虚拟存储器, 有TLB提高访问速度

11. [从前的同步传输的判断]
12. [从前虚页数和实页数的判断]
13. [从前的Blu-Ray波长的判断]

#### 四、Cache/TLB填空

TLB: 256项, 2路组相连

64K Cache, 每块64B, 2路组相连

虚拟地址32位, 物理地址24位, 每页4K

F G H      A B C

E为Cache中tag长, I为TLB中data长, D为Cache中data长

五、A卷: 1024x768 B卷: 1400x1200

DRAM显存, 颜色灰度24位, 刷新率85Hz, 显存带宽一半用来刷新, 问显存带宽?

#### 六、简述DMA流程

## 2009

标 题: 计原 计算机组成原理 刘卫东 2009.1.8

发信站: (Sat Jan 10 14:56:31 2009), 站内

// in the hope that it will be useful, but WITHOUT ANY WARRANTY...

#### 一、填空 (顺序记不住了, 具体叙述也记不清了)

1. 8位二进制补码 -> 十进制 (1pt)  
8位二进制反码 -> 十进制 (1pt)  
8位二进制移127码 -> 十进制 (1pt)  
8位二进制原码 -> 十进制 (1pt)
2. 十进制整数255 -> IEEE754 32位浮点数表示。(4pts)
3. 流水线中的相关可以分为什么相关、什么相关、什么相关。(1pt\*3)
4. 五段流水线的指令执行步骤分别是取指令(IF)、什么、什么、什么、什么。(1pt\*4)
5. 程序局部性原理包括什么局部性和什么局部性。(1pt\*2)
6. I/O通道的类型分别是什么、什么、什么。(1pt\*3)

#### 二、单选, 四选一, 2pts\*10 (顺序记不住了, 具体叙述也记不清了)

1. 以下哪个不是冯诺依曼结构: ENIAC、IBM 360、PDP-1、Pentium
2. SRAM与DRAM的比较, 哪项不对。
3. TLB的作用, 哪个对。
4. Cache (块)容量和命中率的关系, 哪个不对。
5. 关于菊链仲裁优先级的描述, 哪个对。
- 6-10. 想不起来了.....都和以前的题差不多, 比较简单。

三、2004年那道cache的题的前三问, 不同的是数据cache为4路组相联。此外, 前两问要求写出两个cache的Tag、Index、Offset分别有几位。

四、虚地址和实地址都是32位。两级页表。

线性地址格式：10位DIR，10位PAGE，12位OFFSET。

页表目录：20位页表基地址，其余为控制位。

页表：20位页基地址，其余为控制位。

前两问是一些计算，大概就是问有多少页呀什么的，记不清了。

第三问是要使TLB 100%命中，问程序最大多大。

第四问是说如果让你设计TLB，用哪几位做Tag和Index。

五、已知平均寻道时间、旋转速度、磁盘控制器延迟、传输速度、扇区大小、每个磁道有64个扇区，分别求读1个扇区和读16个扇区的磁盘访问时间。

六、给了一段汇编程序（包含add、sll、lw、b\*\*、j等指令），问算术指令、逻辑指令、读内存指令、写内存指令、条件转移指令、无条件转移指令各有多少条。如果已知每种类型的指令的平均CPI，求整个程序的平均CPI。

下面没有了。

// 实在是记不清了，大题也没表达清楚.....欢迎各位补充/修改。

## 2008

标 题: 计原2008.1.9(最终版)

发信站: (Wed Jan 9 19:15:05 2008), 转信

【在 myideal (Pavarotti天堂里走好) 的大作中提到:】

一 填空 (20分)

1.2进制->10进制

补码 10010111

反码 11111111

移127码 11111111

原码 01110111

2.IEEE754->10进制

1100 0011 1101 0000 0000 0000 0000 0000

3.冯诺依曼计算机有\_\_\_\_\_,\_\_\_\_\_,\_\_\_\_\_,\_\_\_\_\_,\_\_\_\_\_五大部件组成  
各部件通过\_\_\_\_\_连接构成计算机系统

4.程序局部性原理包括\_\_\_\_\_局部性和\_\_\_\_\_局部性  
利用局部性原理,设计了\_\_\_\_\_存储器系统

5.Cache的三类缺失原因是\_\_\_\_\_,\_\_\_\_\_,\_\_\_\_\_

二 判断(30分) [1;31m 如果不对要说明理由[m

1.指令流水中的旁路技术可减少结构相关

2.DMA卡可提高程序装入到内存的传输速度

3.摩尔定律指集成电路的时钟频率每18个月翻一番

4.奇偶校验可发现和纠正一位数据错

5.PCI express总线和PCI总线结构基本相同,只是提高了总线频率,带宽因此得到了提高

- 6.串行接口采用异步传输模式,并行采用同步模式
- 7.指令是计算机运行的最小时钟单元
- 8.同步传输总线使用统一时钟来协同总线事务
- 9.RAID5和RAID4相比,检错纠错能力更高
- 10.Blu-Ray采用的激光波长比DVD更短
- 11.控制相关是指流水线的分支指令或其他需改写PC的指令造成的相关
- 12.一个USB ROOT上最多允许接入64个USB设备
- 13.总线的菊花链仲裁方式可较好的保证各总线设备得到总线使用授权的公平性
- 14.Cache总容量一定的情况下,两路组相连组织方式的命中率不低于直接映射方式的命中率
- 15.虚拟存储管理中,虚页数和实页数必须相同

### 三 TLB的作用和工作原理（10分）

四、(15分)某虚拟存储器系统采用页式管理，且仅有一级页表。每页大小为 $2^P$ 字节，虚拟地址为V位。虚地址组成如下：

虚页号 | 页内偏移量

页表起始地址为PTBL，页表中每个表项为4个字节长。

请回答下列问题：

- 1) 虚地址中页内偏移量为几位长？
- 2) 虚页号又有几位长？
- 3) 页表中共有多少个表项？页表占用的最大地址是多少？
- 4) 页表本身有多少页？
- 5) 如果要使页表仅占用一页的空间，则P值最小可以是多少？

五、CRT显示器分辨率为1600\*1200，刷屏速率为50次/s,真彩色，请问储存一屏幕显示内容的显卡容量需要多大？这个显示器所需的数据传送带宽至少要多大？（5分）

六、下面所说的机器字长都是32位（20分）

- 1.Cache容量2MB,用8路组相连组织方式,块大小为128Byte,试计算该Cache的地址中标记(tag),索引(Index)和块内地址(Offset)字段的位数
- 2.若设计另一方案采用直接映射方式,32块,18位标记位那么块大小是多少字节?Cache总容量又是多少?
- 3.分层存储系统：两层Cache和主存，按照如下的方式，访问L1Cache，L1没有，访问L2,L2中没有，则一定在主存中。

表：

	命中率	命中访问时间
L1 Cache	95%	2ns
L2 Cache	80%	20ns
main memory	100%	200ns

若程序只有25%的读存指令，其他指令平均CPI为2

请问每次读存的平均时间是多少？处理器的平均CPI是多少

# 2006

标 题: 计原2006.1

发信站: (Sun Jan 8 09:44:40 2006), 转信

//感谢burningice的补充

计原2006.1 A

### 一、填空

1.(4pts)转为8位二进制补码:

$(-64)_{-10}, (76)_8, (AB)_{-16}, (0)_8$

2.(4pts)IEEE754->DEC

1111 0011 1100 0000 0000 0000 0000 0000

3.(5pts)中断处理过程包括关中断、\_\_\_\_、\_\_\_\_、开中断、\_\_\_\_、关中断、\_\_\_\_、开中断、\_\_\_\_等步骤

4.(5pts)常见的指令寻址方式： (列举5种)

5.(2pts)256Kbit\*1的DRAM芯片一般要\_\_\_\_\_位地址引脚

## 二、(2\*10=20pts)判断

### 1. PCI总线传输速度比ISA总线快

## 2. CACHE的块(Line)越大, 命中率越高

### 3. 海明码可以发现一位错，但无法纠正它

#### 4. 指令系统是计算机软硬件的接口

5. 微程序是供组合逻辑控制器来执行的一种机器语言程序

## 6. 页式虚拟存储器管理中TLB可以提高命中率

7. 某128字节、块大小为16字节的全相连CACHE和另一个128字节、块大小为16字节的8路组相连CACHE完全相同

### 8. 八位教学计算机TEC-2000使用8位地址总线

## 9. 目前常用的RAID技术可以提高磁盘系列的性能和可用性

A. DVD存储密度比CD-ROM高

三、(20pts)同2004.1第2题

四、(20pts)存储器参数如下:

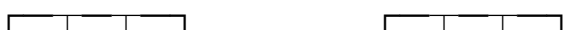
1. TLB共256项, 两路组相连

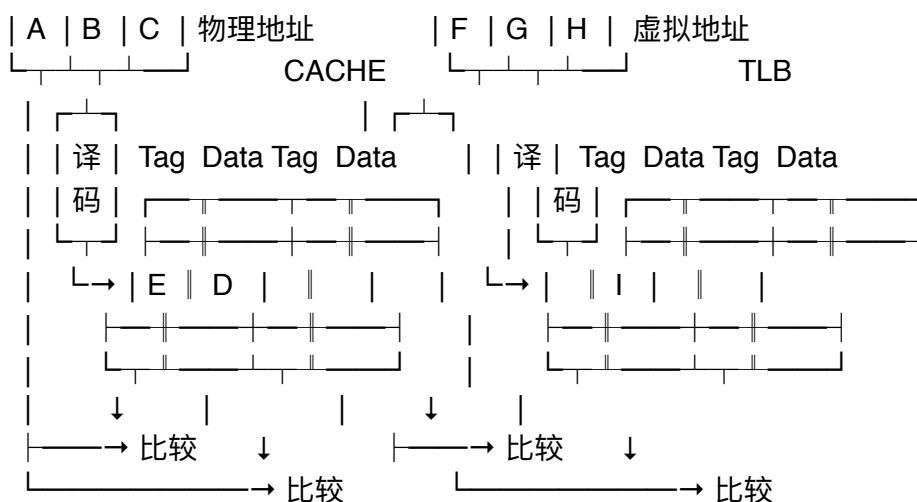
2. CACHE 64KB, 每块64字节, 两路组相连

### 3. 虚地址32位, 实地址24位

4. 页大小 8KB

求下面图中A~I的每个的位数





五、(10pts)计算机常用的输入输出方式有哪几种？各自的优缺点是什么？

六、(10pts)计算机总线功能是什么？从功能上来说，计算机一般包含哪3类总线？

## 2005

标 题: 计原2005.1(A) 刘卫东

发信站: (Mon Jan 10 11:57:20 2005), 转信

原作: duckyaya

补充: cyexpress,waltlee,muyi

1. (8) 进制转换，转换成TEC-2000中8位机所用的数字表示方法  
(数字用一个字节表示,地址或偏移量用两个字节表示)

1) 数字:

(121)\_10 (-64)\_8

2) 地址、偏移量

(2100)\_16 (-8)\_10

2. (4) IEEE754浮点数表示的二进制数转换成10进制数(32位的单精度浮点数)  
(1100 1111 1101 0000 0000 0000 0000 0000)

3. (10) 海明校验的k和r满足什么要求可以发现并纠正一位错,满足什么要求可以发现纠正一位错 并发现两位错?

4. (10) 某计算机为12位字长的指令,8个通用寄存器,要求

4条3个寄存器的指令

255条单个寄存器的指令

16个0寄存器的指令

问能否用单字节的指令表示所有这些指令？

5. (8) 8位机中LOD指令的执行流程？ $DR \leftarrow MEM(R9, R8)$

6. (30) cache和虚拟存储器部分的内容,主要是虚存和实存地址的分配关系  
然后给出两个程序,分析程序执行之后cache中的情况,命中率和平均访问时间

页大小: 2048Bytes

cache大小: 64KB

cache块大小: 32Bytes

虚地址长度: 32位

实地址长度: 32位

1) 分别算出下述字段的长度,并说明是属于虚地址还是属于实际地址。

虚页号

实页号

cache块标记字段

cache块号字段

cache块内地址字段

2) 为计算方便起见,取cache大小为128字节。组织方式为直接映像方式。

分别运行下述两段程序:

程序A:

```
int a[100];
int i,j;
for(i=0;i<4;i++)
    for(j=0;j<2;j++)
        a[i+j*32]++;
```

程序B:

```
int a[100];
int i,j;
for(j=0;j<2;j++)
    for(i=0;i<4;i++)
        a[i+j*32]++;
```

设程序运行前有效位都是0。填写数据的时候只填a[?]就可以，不用填出具体数据。  
注意整数用四个字节表示。

程序A的运行过程为：

```
load a[0]
store a[0]
load a[32]
store a[32]
load a[1]
store a[1]
```

.....

程序B的运行过程为：

```
load a[0]
store a[0]
load a[1]
store a[1]
```

.....

a[0]地址为0x420,

填写下面两个表格，以表示程序A, B运行后cache的情况（四行，A,B的表格是一样的）：

标记位	有效位	w0	w1	w2	w3	w4	w5	w6	w7
0									
1									
2									
3									

并求各自情况下的命中率。

3) 若设CPU主频为1GHz，访问命中时所需时间为1周期，访问失败时的损失时间为120ns，  
分别求A, B程序运行的平均访问时间。

7. (10) 什么是计算机总线?总线仲裁是什么?有哪几种常用的仲裁的方式?

8. (10) 常用的输入输出方式及其特点?

9. (10) 微程序和组合逻辑控制器的异同?控制器一般的组成?(4部分)