

发信人: aqua (小天下, 大酒井), 信区: e_note
标 题: 计原 计算机组成原理 刘卫东 2009.1.8
发信站: 酒井 BBS (Sat Jan 10 14:56:31 2009), 站内

// in the hope that it will be useful, but WITHOUT ANY WARRANTY...

一、填空 (顺序记不住了, 具体叙述也记不清了)

1. 8 位二进制补码 -> 十进制 (1pt)
8 位二进制反码 -> 十进制 (1pt)
8 位二进制移 127 码 -> 十进制 (1pt)
8 位二进制原码 -> 十进制 (1pt)
2. 十进制整数 255 -> IEEE754 32 位浮点数表示。(4pts)
3. 流水线中的相关可以分为什么相关、什么相关、什么相关。(1pt*3)
4. 五段流水线的指令执行步骤分别是取指令(IF)、什么、什么、什么、什么。(1pt*4)
5. 程序局部性原理包括什么局部性和什么局部性。(1pt*2)
6. I/O 通道的类型分别是什么、什么、什么。(1pt*3)

二、单选, 四选一, 2pts*10 (顺序记不住了, 具体叙述也记不清了)

1. 以下哪个不是冯诺依曼结构: ENIAC、IBM 360、PDP-1、Pentium
 2. SRAM 与 DRAM 的比较, 哪项不对。
 3. TLB 的作用, 哪个对。
 4. Cache (块)容量和命中率的关系, 哪个不对。
 5. 关于菊链仲裁优先级的描述, 哪个对。
- 6-10. 想不起来了……都和以前的题差不多, 比较简单。

三、2004 年那道 cache 的题的前三问, 不同的是数据 cache 为 4 路组相联。此外, 前两问要求

写出两个 cache 的 Tag、Index、Offset 分别有几位。

四、虚地址和实地址都是 32 位。两级页表。

线性地址格式: 10 位 DIR, 10 位 PAGE, 12 位 OFFSET。

页表目录: 20 位页表基地址, 其余为控制位。

页表: 20 位页基地址, 其余为控制位。

前两问是一些计算, 大概就是问有多少页呀什么的, 记不清了。

第三问是要使 TLB 100%命中, 问程序最大多大。

第四问是说如果你设计 TLB, 用哪几位做 Tag 和 Index。

五、已知平均寻道时间、旋转速度、磁盘控制器延迟、传输速度、扇区大小、每个磁道有 64 个扇区, 分别求读 1 个扇区和读 16 个扇区的磁盘访问时间。

六、给了一段汇编程序 (包含 add、sll、lw、b**、j 等指令), 问算术指令、逻辑指令、读内存指令、写内存指令、条件转移指令、无条件转移指令各有多少条。如果已知每种类型的指令的平均 CPI, 求整个程序的平均 CPI。

下面没有了。

// 实在是记不清了，大题也没表达清楚……欢迎各位补充/修改。