

2015 학년도 2 학기
컴퓨터 구조 기말고사
2015 년 12 월 10 일

1. (20 점) 다음은 파이프라인 구조에 대한 문제이다. 물음에 간단하게 답하시오.
- (a) 파이프라인 구조가 성능을 개선하는 이유를 쓰시오.
 - (b) n 개의 stage 로 구성된 파이프라인 구조로 m 개의 instruction 을 실행할 때 소요되는 시간을 cycle 의 수로 표현하시오. 단, hazard 는 없다고 가정한다.
 - (c) Control hazard 를 유발하는 instruction 을 쓰시오.
 - (d) Control hazard 에 의한 stall 을 줄이는 방법을 쓰시오.
2. (20 점) 다음은 메모리 구조에 대한 문제이다. 물음에 간단하게 답하시오.
- (a) 메모리 계층구조가 필요한 이유를 쓰시오.
 - (b) Cache 에서 block 을 word 보다 크게 설계하는 이유를 쓰시오.
 - (c) Cache 에서 write-through 정책은 (A) 정책과 달리 cache 가 갱신될 때 memory 의 내용도 같이 갱신된다. (A)에 적합한 용어를 쓰고, write-through 정책과 (A) 정책의 장점을 비교하시오.
 - (d) 가상 메모리 주소를 물리 메모리 주소로 변환하려면 ‘주소 전체’를 변환하는 대신 (B)을(를) (C)(으)로 변환하는 것으로 충분하다. 변환에 관한 전체 정보는 (D)에 저장되지만 (E)을(를) 별도로 두면 일부 정보를 빠르게 접근할 수 있기 때문에 변환 시간을 단축할 수 있다. (B), (C), (D), (E)에 적합한 용어를 순서대로 쓰시오.
3. (20 점) 다음 instruction sequence 를 교과서와 같이 IF, ID, EX, MEM, WB 등 5 개의 stage 로 구성된 파이프라인 구조에서 실행하려고 한다. lw instruction 이 첫째 cycle 에서 실행을 시작하고 data hazard 외에 다른 hazard 는 없고 cache miss 도 없다고 가정한다. 물음에 답하시오.

lw	\$2, 4(\$1)
add	\$3, \$2, \$1
add	\$4, \$3, \$5

- (a) lw instruction 이 \$1 레지스터를 읽는 cycle 과 \$2 에 쓰는 cycle 의 순서(번호)를 쓰시오.
 - (b) lw instruction 을 인용하여 data hazard 가 일어나는 이유를 쓰시오.
 - (c) Forwarding 기법을 적용할 때와 적용하지 않을 때 소요되는 cycle 의 수를 각각 쓰시오.
 - (d) Register file 에 입력되는 register 번호들을 결정하려고 한다. 다섯째 cycle 에서 read register 1, read register 2, write register 를 각각 결정하시오.
4. (20 점) 8 KiB cache 에 대한 다음 설명을 읽고, 물음에 답하시오.

32 bit 주소를 사용하고, word 는 4 bytes 이다. Block 의 크기와 word 의 크기가 일치한다 2-way set-associative mapping 을 사용한다 LRU replacement policy 를 채택한다

- (a) Set 의 크기를 block 의 수와 byte 의 수로 각각 표현하시오.
- (b) Tag 와 valid bit 의 크기를 bit 의 수로 각각 표현하시오.

- (c) (Byte) address sequence 0, 2, 4, 8, 0, 2, 4, 8 에 대하여 address 별로 hit 과 miss 를 판단하시오. 단, cache 는 비어 있었다고 가정한다.
- (d) (Byte) address sequence 0, 1024, 2048, 4096, 8192, 0, 1024, 2048, 4096, 8192 에 대하여 address 별로 hit 과 miss 를 판단하시오. 단, cache 는 비어 있었다고 가정한다.
5. (20 점) 다음은 파이프라인 구조와 cache 의 성능에 관한 문제이다. 파이프라인은 교과서와 같이 IF, ID, EX, MEM, WB 등 5 개의 stage 로 구성된다. Memory read instruction 과 memory write instruction 이 각각 전체 instruction 의 20%와 10%를 차지하고, structural hazard 외에 다른 hazard 는 없다고 가정한다. 물음에 대한 계산과정을 모두 보이시오.
- (a) Instruction cache 와 data cache 가 분리되어 있지 않다. Structural hazard 에 의한 CPI 증가 정도를 계산하시오.
- (b) (a)의 연장이다. Cache miss rate 이 2%이고 miss penalty 가 100 cycles 이다. Cache miss 에 의한 CPI 증가 정도를 계산하시오.
- (c) (a)와 달리 instruction cache 와 data cache 가 분리되어 있고, cache miss rate 은 각각 1%와 3%이다. Miss penalty 는 100 cycles 로 일정하다. Cache miss 에 의한 CPI 증가 정도를 계산하시오.
- (d) Cache miss 가 없다고 가정하고 (a)에서의 structural hazard 가 pipeline 의 성능에 미치는 영향을 계산하시오.

100 점 만점