

1. 메모리 계층구조가 필요한 이유를 간단하게 쓰시오.
2. Write-through 정책과 write-back의 정책을 비교하려고 한다. Write-through 정책의 장단점을 쓰시오.
3. 슬라이드 5-10~5-15를 참조하여 다음 word address들의 sequence에 대하여 hit과 miss를 판단하시오.
  - (a) 0, 2, 0, 14, 0, 14, 2, 100, 0
  - (b) 0, 2, 0, 16, 0, 16, 2, 104, 0
4. 슬라이드 5-16의 4 KiB direct mapped cache로 바뀌서 아래 조건에 따라 hit과 miss를 판단하시오.
  - (a) Word address의 sequence 0, 24, 1024, 0, 24, 1024
  - (b) Byte address의 sequence 0, 24, 1024, 4096, 0, 24, 1024, 4096
5. 슬라이드 5-32~5-33의 cache로 바뀌서 아래 조건에 따라 block address 0, 4, 8, 4, 8, 12, 4, 8, 12, 4에 대한 hit과 miss를 판단하시오.
  - (a) Direct mapped cache
  - (b) 2-way set associative cache
  - (c) Fully associative cache
6. 슬라이드 5-19를 참조하여 다음 cache들의 total size(valid bit와 tag를 포함)를 구하시오.
  - (a) 슬라이드 5-16의 4 KiB direct mapped cache
  - (b) 슬라이드 5-17의 16 KiB 16-word block direct mapped cache
  - (c) 슬라이드 5-35의 4 KiB 4-way set-associative cache
7. 64 KiB direct-mapped cache가 있다. Block의 크기는 16 bytes이다. 32 비트 주소를 사용한다고 가정하고 다음 물음에 답하시오.
  - (a) 슬라이드 5-18을 참조하여 32 비트 주소를 네 영역으로 구분하시오.
  - (b) Valid bit와 tag를 포함한 전체 크기를 구하시오.
  - (c) 다음 주소(byte address)들의 sequence에 대하여 hit과 miss를 판단하시오.  
20, 22, 24, 28, 36, 20, 52, 20, 68, 22, 84, 20
8. Cache miss rate = 5%이고 original CPI = 2이다. Cache miss penalty = 50 ns이고 데이터에 대한 memory read access rate(Load instruction의 비율)과 write access rate(Store instruction의 비율)은 각각 20%와 10%이다. 2 GHz clock을 가정하고 다음 물음에 답하시오.
  - (a) 1개의 instruction에 대한 평균 cache miss 횟수를 계산하시오.

- (b) Cache에 의한 CPI 증가 정도를 계산하시오.
  - (c) Cache가 없을 때(cache miss rate = 100%)에 비하여 위의 cache에 의한 성능 개선 정도를 계산하시오.
  - (d) Associativity를 증가시키면 cache miss rate은 40% 만큼 감소되지만, clock rate을 1.6 GHz로 낮춰야 한다. (b)처럼 cache에 의한 CPI 증가 정도를 다시 계산하시오.
  - (d) (d)에서 제시된 방법과 원래의 방법의 성능을 비교하시오. Clock rate이 서로 다름에 주의하시오.
9. 가상메모리에 대한 문제이다. 다음 물음에 답하시오.
- (a) Cache block과 page를 비교하시오.
  - (b) Page table의 기능에 대하여 설명하시오.
  - (c) TLB의 기능에 대하여 설명하시오.
  - (d) Cache miss와 page fault를 비교하시오. 특히 소프트웨어의 역할을 반드시 포함하시오.