

1. 슬라이드 4-33의 세탁 예제에 대하여 물음에 답하시오.
  - (a) 그림처럼 네 번의 세탁을 반복할 때 기대할 수 있는 speedup을 계산하시오.
  - (b) 셋째 단계와 넷째 단계가 각각 15분만큼만 소요된다고 가정하고 (a)를 반복하시오.
  - (c) (b)의 연속이다. 세탁 횟수를  $n$  번으로 일반화할 때의 speedup을  $n$ 에 대한 수식으로 표현하시오.
  - (d) 세탁을 무한 번 반복할 때의 궁극적인 speedup을 계산하시오.
2. 슬라이드 4-40에서의 파이프라인에 대하여 물음에 답하시오.
  - (a) 다섯 개의 연속된 LW instruction을 수행할 때의 speedup을 계산하시오. 실제 실행 여부와 상관없이 마지막 파이프라인 단계를 모두 통과한 후에 instruction이 실행된 것으로 본다는 점에 주의하시오. 단, 다섯 개의 LW instruction들은 모두 독립적이다.
  - (b)  $n$  개의 연속된 LW instruction에 대하여 (a)와 같은 방법으로 speedup을 계산하시오.
  - (c) LW instruction의 수를 무한 개로 바꿔서 (b)를 반복하시오.
  - (d) (c)에서의 speedup이 파이프라인 단계의 수와 일치하는지 판단하고 일치하지 않을 경우에는 그 이유를 설명하시오.
3. 슬라이드 4-41부터 45까지와 같은 방법으로 instruction BEQ \$1, \$2, 100를 실행하는 과정을 다섯 단계로 각각 표현하시오. 해당되는 functional unit에 음영 표시하되, 별도로 제시된 그림 파일을 출력해서 활용할 수 있다.
4. 슬라이드 4-55를 참고하여 물음에 답하시오.
  - (e) WB 단계에서 레지스터에 write한다고 가정하고 register 번호와 값을 전달하는 과정을 설명하시오.
  - (f) WB 단계에서 레지스터에 write하기 위하여 RegWrite 신호를 생성하여 전달하는 과정을 설명하시오.
5. 다음은 control hazard에 대한 문제이다. 슬라이드 4-57을 참조하여 물음에 답하시오.
  - (a) 제시된 datapath를 기준으로 BEQ instruction에 의한 penalty를 cycle의 수로 표현하시오.
  - (b) BEQ instruction에 의한 penalty가 2가 되도록 datapath를 변경하시오. 별도의 그림 파일을 활용하시오.
6. LW, ADD, ADD의 세 instruction을 100번 반복되는 프로그램을 pipeline에서 실행하려고 한다. 둘째 ADD instruction은 첫째 LW instruction에 의하여 적재된 값을 사용하고, 셋째 ADD instruction은 둘째 ADD instruction이 계산한 값을 사용한다. 다음 물음에 답하시오.
  - (a) Instruction memory와 data memory가 분리되어 있지 않다. Structural hazard에 의하여 증가되는 cycle의 수를 구하시오.
  - (b) Data hazard를 극복하기 위한 어떤 수단도 사용하지 않는다. 앞에서 설명된 데이터

종속성에 의하여 증가되는 cycle의 수를 구하시오.

- (c) (a)와 (b)에 의한 stall을 고려하여 프로그램 전체에 대한 평균 CPI를 구하시오.
- (d) Memory를 분리하여 structural hazard를 제거하였다. 프로그램 전체에 대한 평균 CPI를 다시 계산하시오.
- (e) (d)에서의 pipeline을 forwarding 기능도 포함하도록 확장하였다. 프로그램 전체에 대한 평균 CPI를 다시 계산하시오.

7. 슬라이드 4-55에서의 회로에 대한 문제이다. 슬라이드 4-61 오른쪽에서의 Reordered MIPS code를 이용하여 다음 표를 완성하시오. 결정할 수 없는 경우는 '-'으로 표시하기로 한다.

	Read register 2	Zero	ALUOp	ALUSrc	PCSrc	MemtoReg	RegWrite
CC3							
CC4							
CC5							
CC6							
CC7							