

产品特性

窄带SFDR > 72 dB

2.3 V至5.5 V电源供电

输出频率高达37.5 MHz

正弦波输出/三角波输出

片上集成比较器

三线式SPI®接口

扩展温度范围: -40°C至+105°C

省电选项

功耗: 20 mW(3 V时)

20引脚TSSOP

应用

频率激励/波形发生

频率相位调谐和调制

低功耗RF/通信系统

液体和气流测量

传感器应用: 接近度、运动和缺陷检测

测试与医疗设备

概述

AD9834是一款75 MHz、低功耗DDS器件, 能够产生高性能正弦波和三角波输出。其片内还集成一个比较器, 支持产生方波以用于时钟发生。当供电电压为3 V时, 其功耗仅为20 mW, 非常适合对功耗要求严格的应用。

AD9834提供相位调制和频率调制功能。频率寄存器为28位; 时钟速率为75 MHz, 可以实现0.28 Hz的分辨率。同样, 时钟速率为1 MHz时, AD9834可以实现0.004 Hz的分辨率。影响频率和相位调制的方法是通过串行接口加载寄存器, 然后通过软件或FSELECT/PSELECT引脚切换寄存器。

AD9834通过一个三线式串行接口写入数据。该串行接口能够以最高40 MHz的时钟速率工作, 并且与DSP和微控制器标准兼容。

该器件采用2.3 V至5.5 V电源供电。模拟和数字部分彼此独立, 可以采用不同的电源供电; 例如, AVDD可以是5 V, 而DVDD可以是3 V。

AD9834具有控制休眠的引脚(SLEEP), 支持从外部控制断电模式。器件中不用的部分可以断电, 以将功耗降至最低。例如, 在产生时钟输出时, 可以关断DAC。

该器件采用20引脚TSSOP封装。

功能框图

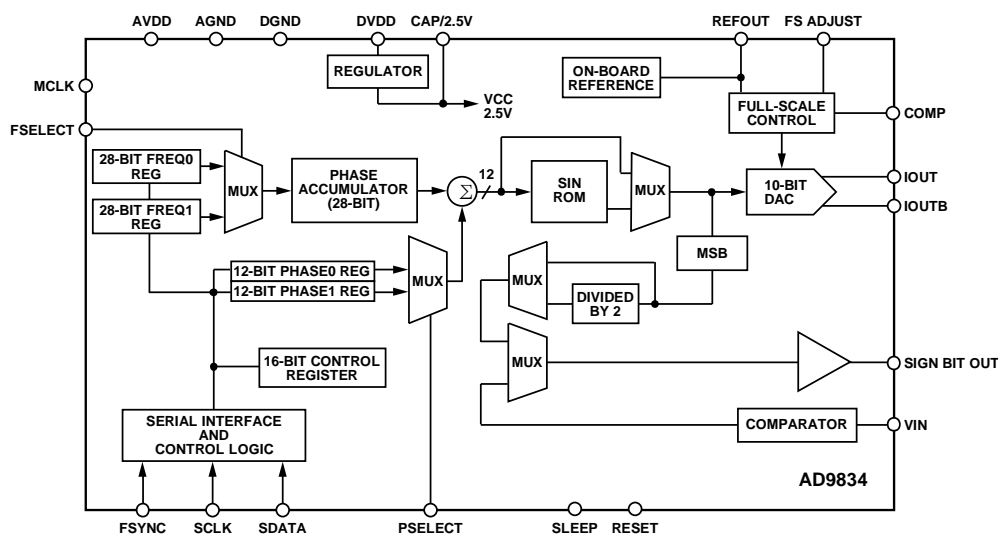


图1

Rev. C

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2003–2011 Analog Devices, Inc. All rights reserved.

目录

产品特性	1	控制寄存器	18
应用	1	频率和相位寄存器	20
概述	1	写入频率寄存器	21
功能框图	1	写入相位寄存器	21
修订历史	3	RESET功能	21
技术规格	4	SLEEP功能	21
时序特性	6	SIGN BIT OUT引脚	22
绝对最大额定值	7	IOUT和IOUTB引脚	22
ESD警告	7	应用信息	23
引脚配置和功能描述	8	接地和布局布线	26
典型工作特性	10	与微处理器接口	27
术语	14	AD9834与ADSP-21xx的接口	27
工作原理	15	AD9834与68HC11/68L11的接口	27
电路描述	16	AD9834与80C51/80L51的接口	28
数控振荡器和相位调制器	16	AD9834与DSP56002的接口	28
SIN ROM	16	评估板	29
数模转换器(DAC)	16	系统开发平台	29
比较器	16	AD9834与SPORT的接口	29
调节器	17	XO与外部时钟	29
输出顺从电压	17	电源	29
功能描述	18	评估板原理图	30
串行接口	18	评估板布局布线	32
AD9834上电	18	外形尺寸	35
延迟	18	订购指南	35

修订历史

2011年2月—修订版B至修订版C

更改表1参数IDD..... 5

更改表4的FS ADJUST描述..... 8

增加“输出顺从电压”部分..... 17

更改图31..... 23

更改图32..... 24

删除“使用AD9834评估板”部分和“原型设计区域”部分..... 28

增加“系统开发平台”部分、“AD9834与SPORT的接口”部分、图39和图40；重新排序..... 29

更改“XO与外部时钟”部分和“电源”部分..... 29

删除表19“材料清单”；重新排序..... 30

增加“评估板原理图”部分和图41..... 30

增加图42..... 31

增加“评估板布局布线”部分和图43..... 32

增加图44..... 33

增加图45..... 34

更改“订购指南”..... 35

2010年4月—修订版A至修订版B

更改“比较器”部分..... 15

增加图28..... 16

更改“串行接口”部分..... 17

2006年8月—修订版0至修订版A

更新格式..... 通篇

更改75 MHz完整DDS..... 通篇

更改“特性”部分..... 1

更改表1..... 4

更改表2..... 6

更改表3..... 8

增加图10；图号重新排序..... 9

增加图16和图17；图号重新排序..... 10

更改表6..... 19

更改“写入频率寄存器”部分..... 20

更改图29..... 21

更改表19..... 30

更改图38..... 28

2003年2月—修订版0：初始版

技术规格

除非另有说明，VDD = 2.3 V至5.5 V，AGND = DGND = 0 V，T_A = T_{MIN}至T_{MAX}，R_{SET} = 6.8 kΩ，R_{LOAD} = 200 Ω(对于IOUT和IOUTB)。

表1.

参数 ²	B级、C级 ¹			单位	测试条件/注释
	最小值	典型值	最大值		
信号DAC规格					
分辨率		10		Bits	
更新速率			75	MSPS	
I _{OUT} 满量程 ³		3.0		mA	
V _{OUT} 最大值		0.6		V	
V _{OUT} 最小值		30		mV	
输出顺从电压 ⁴			0.8	V	
直流精度					
积分非线性		±1		LSB	
差分非线性		±0.5		LSB	
DDS规格					
动态规格					
信噪比	55	60		dB	f _{MCLK} = 75 MHz, f _{OUT} = f _{MCLK} /4096
总谐波失真		−66	−56	dBc	f _{MCLK} = 75 MHz, f _{OUT} = f _{MCLK} /4096
无杂散动态范围(SFDR)					
宽带(0至奈奎斯特频率)		−60	−56	dBc	f _{MCLK} = 75 MHz, f _{OUT} = f _{MCLK} /75
窄带(±200 kHz)					
B级		−78	−67	dBc	f _{MCLK} = 50 MHz, f _{OUT} = f _{MCLK} /50
C级		−74	−65	dBc	f _{MCLK} = 75 MHz, f _{OUT} = f _{MCLK} /75
时钟馈通		−50		dBc	
唤醒时间		1		ms	
比较器					
输入电压范围			1	V p-p	内部交流耦合
输入电容		10		pF	
输入高通滤波器截止频率		4		MHz	
输入直流电阻		5		MΩ	
输入漏电流			10	μA	
输出缓冲					
输出上升/下降时间		12		ns	使用15 pF负载 3 MHz正弦波，0.6 V p-p
输出抖动		120		ps rms	
基准电压源					
内部基准电压	1.12	1.18	1.24	V	
REFOUT输出阻抗 ⁵		1		kΩ	
基准电压源温度系数		100		ppm/°C	
逻辑输入					
输入高电压V _{INH}	1.7			V	2.3 V至2.7 V电源
	2.0			V	2.7 V至3.6 V电源
	2.8			V	4.5 V至5.5 V电源
输入低电压V _{INL}			0.6	V	2.3 V至2.7 V电源
			0.7	V	2.7 V至3.6 V电源
			0.8	V	4.5 V至5.5 V电源
输入电流I _{INH/INL}			10	μA	
输入电容C _{IN}		3		pF	

参数 ²	B级、C级 ¹			单位	测试条件/注释
	最小值	典型值	最大值		
电源					
AVDD	2.3		5.5	V	$f_{MCLK} = 75 \text{ MHz}$, $f_{OUT} = f_{MCLK}/4096$
DVDD	2.3		5.5	V	
I_{AA}^6		3.8	5	mA	
I_{DD}^6					
B级		2.0	3	mA	与 I_{DD} 代码相关(见图8)
C级		2.7	3.7	mA	与 I_{DD} 代码相关(见图8)
$I_{AA} + I_{DD}^6$					
B级		5.8	8	mA	
C级		6.5	8.7	mA	
低功耗休眠模式					
B级		0.5		mA	DAC关断, MCLK运行
C级		0.6		mA	DAC关断, MCLK运行

¹ B级: MCLK = 50 MHz; C级: MCLK = 75 MHz。对于未指定器件等级的技术规格, 相关值同时适用于这两种等级器件。

² 工作温度范围如下: B、C版本: -40°C至+105°C; 典型规格在25°C条件下测得。

³ 为了符合规范要求, 指定负载为200 Ω时, I_{OUT} 满量程不应超过4 mA。

⁴ 通过设计保证。

⁵ REFOUT为源电流时适用。REFOUT为吸电流时阻抗更高。

⁶ 在数字输入处于静态且等于0 V或DVDD时测得。

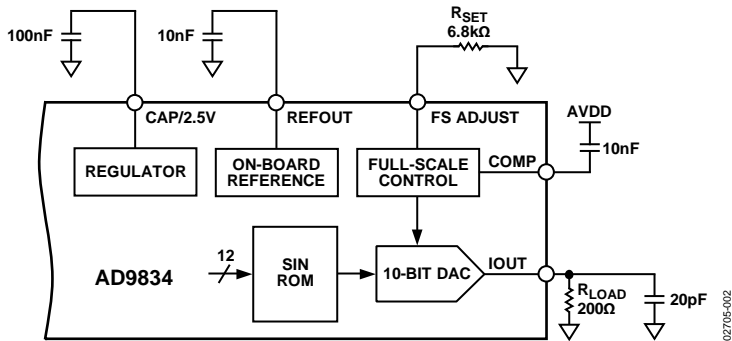


图2. 用于测试规格的测试电路

时序特性

除非另有说明，DVDD = 2.3 V至5.5 V，AGND = DGND = 0 V。

表2.

参数 ¹	在T _{MIN} 至T _{MAX} 时的限值	单位	测试条件/注释
t ₁	20/13.33	ns(最小值)	MCLK周期：50 MHz/75 MHz
t ₂	8/6	ns(最小值)	MCLK高电平持续时间：50 MHz/75 MHz
t ₃	8/6	ns(最小值)	MCLK低电平持续时间：50 MHz/75 MHz
t ₄	25	ns(最小值)	SCLK周期
t ₅	10	ns(最小值)	SCLK高电平持续时间
t ₆	10	ns(最小值)	SCLK低电平持续时间
t ₇	5	ns(最小值)	FSYNC到SCLK下降沿建立时间
t _{8 MIN}	10	ns(最小值)	FSYNC到SCLK保持时间
t _{8 MAX}	t ₄ - 5	ns(最大值)	
t ₉	5	ns(最小值)	数据建立时间
t ₁₀	3	ns(最小值)	数据保持时间
t ₁₁	8	ns(最小值)	MCLK上升沿之前FSELECT、PSELECT建立时间
t _{11A}	8	ns(最小值)	MCLK上升沿之后FSELECT、PSELECT建立时间
t ₁₂	5	ns(最小值)	SCLK高电平到FSYNC下降沿建立时间

¹ 通过设计保证，但未经生产测试。

时序图

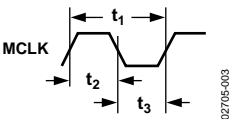


图3. 主时钟

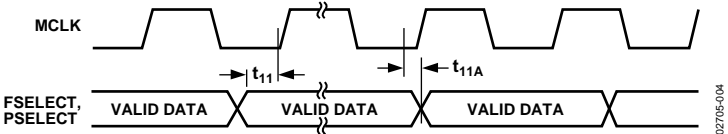


图4. 控制时序

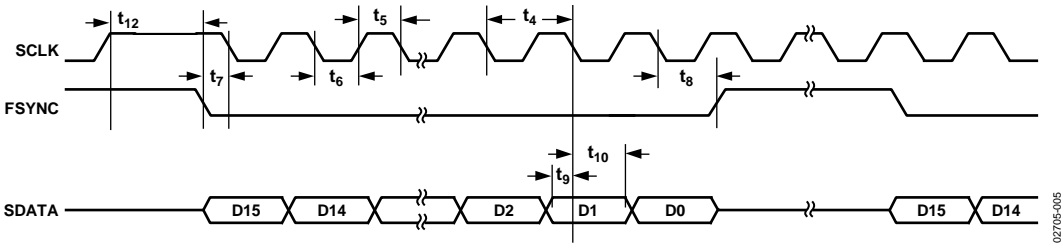


图5. 串行时序

绝对最大额定值

除非另有说明， $T_A = 25^{\circ}\text{C}$ 。

表3.

参数	额定值
AVDD至AGND	-0.3 V至+6 V
DVDD至DGND	-0.3 V至+6 V
AVDD至DVDD	-0.3 V至+0.3 V
AGND至DGND	-0.3 V至+0.3 V
CAP/2.5V	2.75 V
数字I/O电压至DGND	-0.3 V至DVDD + 0.3 V
模拟I/O电压至AGND	-0.3 V至AVDD + 0.3 V
工作温度范围	
工业(B级)	-40°C至+105°C
存储温度范围	-65°C至+150°C
最高结温	150°C
TSSOP封装	
θ_{JA} 热阻	143°C/W
θ_{JC} 热阻	45°C/W
引脚温度, 焊接(10秒)	300°C
IR回流焊峰值温度	220°C
回流焊(无铅)	
峰值温度	260°C (+0/-5)
峰值温度时间	10秒至40秒

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告



ESD(静电放电)敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

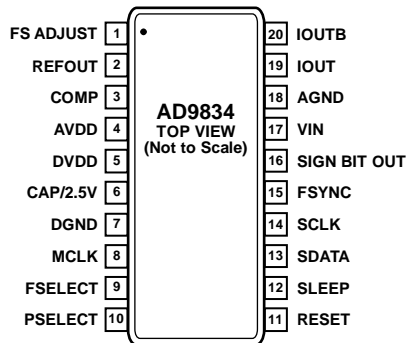


图6. 引脚配置

表4. 引脚功能描述

引脚编号	引脚名称	描述
模拟信号和基准电压源		
1	FS ADJUST	满量程调整控制。此引脚和AGND之间连接一个电阻(R_{SET})，从而决定满量程DAC电流的幅度。 R_{SET} 与满量程电流之间的关系如下： $IOUT_{FULL\ SCALE} = 18 \times FSADJUST / R_{SET}$ $FSADJUST = 1.15\text{ V (标称值)}, R_{SET} = 6.8\text{ k}\Omega\text{ (典型值)}。$
2	REFOUT	基准电压输出。AD9834通过此引脚提供1.20 V内部基准电压源。
3	COMP	DAC偏置引脚。此引脚用于对DAC偏置电压进行去耦。
17	VIN	比较器输入。可利用比较器从正弦DAC输出产生方波。DAC输出应经过适当滤波，然后再施加于比较器，以改善抖动性能。当控制寄存器中的Bit OPBITEN和Bit SIGN/PIB置1时，比较器输入端连接到VIN。
19, 20	IOUT, IOUTB	电流输出。这是高阻抗电流源。应在IOUT和AGND之间连接一个标称值为200 Ω 的负载电阻。IOUTB最好应通过一个大小为200 Ω 的外部负载电阻连接到AGND，但也可直接与AGND相连。此外还建议通过一个20 pF电容连接到AGND，以防止出现时钟馈通。
电源		
4	AVDD	模拟部分的正电源。AVDD的值范围为2.3 V至5.5 V。应在AVDD和AGND之间连接一个0.1 μ F去耦电容。
5	DVDD	数字部分的正电源。DVDD的值范围为2.3 V至5.5 V。应在DVDD和DGND之间连接一个0.1 μ F去耦电容。
6	CAP/2.5V	数字电路采用2.5 V电源供电。当DVDD超过2.7 V时，此2.5 V利用片内调节器从DVDD产生。该调节器需要在CAP/2.5 V至DGND之间连接一个典型值为100 nF的去耦电容。如果DVDD小于或等于2.7 V，则CAP/2.5 V应与DVDD直接相连。
7	DGND	数字地。
18	AGND	模拟地。
数字接口和控制		
8	MCLK	数字时钟输入。DDS输出频率是MCLK频率的一个分数，分数的分子是二进制数。输出频率精度和相位噪声均由此时钟决定。
9	FSELECT	频率选择输入。FSELECT控制相位累加器中使用的具体频率寄存器(FREQ0或FREQ1)。可使用引脚FSELECT或Bit FSEL来选择要使用的频率寄存器。使用Bit FSEL来选择频率寄存器时，FSELECT引脚应与CMOS高电平或低电平相连。
10	PSELECT	相位选择输入。PSELECT控制将增加到相位累加器输出的具体相位寄存器(PHASE0或PHASE1)。可使用引脚PSELECT或Bit PSEL来选择要使用的相位寄存器。当相位寄存器由Bit PSEL控制时，PSELECT引脚应与CMOS高电平或低电平相连。
11	RESET	高电平有效数字输入。RESET可使相应的内部寄存器复位至0，以提供中间电平的模拟输出。RESET不影响任何可寻址寄存器。
12	SLEEP	高电平有效数字输入。当此引脚处于高电平时，DAC关断。此引脚功能与控制位SLEEP12相同。

引脚编号	引脚名称	描述
13	SDATA	串行数据输入。16位串行数据字施加于此输入。
14	SCLK	串行时钟输入。数据在每个SCLK下降沿逐个输入AD9834。
15	FSYNC	低电平有效控制输入。这是输入数据的帧同步信号。当FSYNC变为低电平时，即告知内部逻辑，正在向器件中载入新数据字。
16	SIGN BIT OUT	逻辑输出。比较器输出通过此引脚提供，或者可通过此引脚输出NCO的MSB。通过将控制寄存器中的Bit OPBITEN置1，可启用此输出引脚。Bit SIGN/PIB确定通过该引脚输出的是比较器输出还是NCO的MSB。

典型性能参数

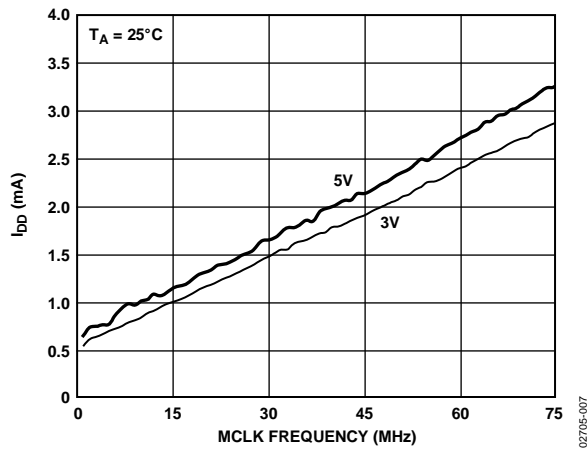
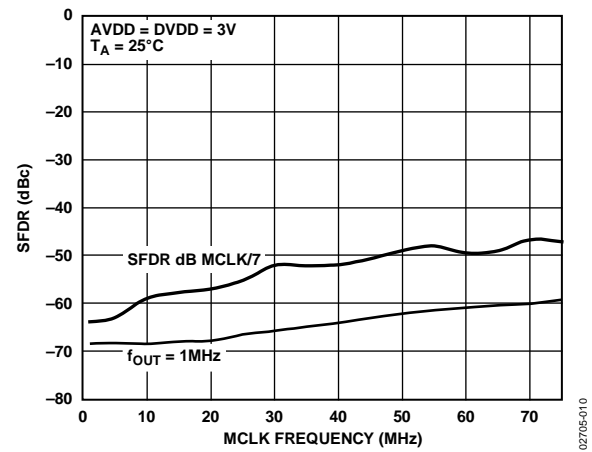
图7. 典型功耗(I_{DD})与MCLK频率的关系

图10. 宽带SFDR与MCLK频率的关系

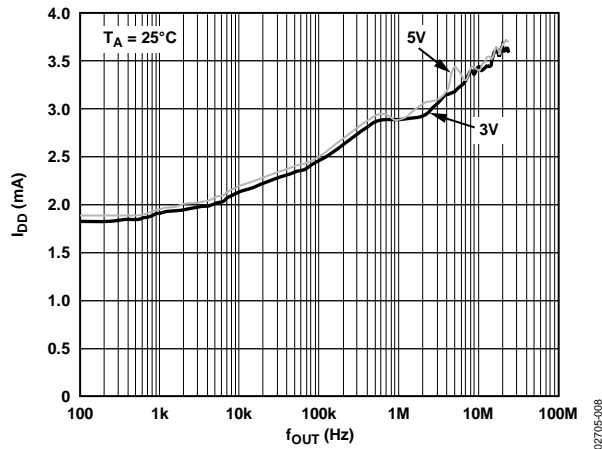
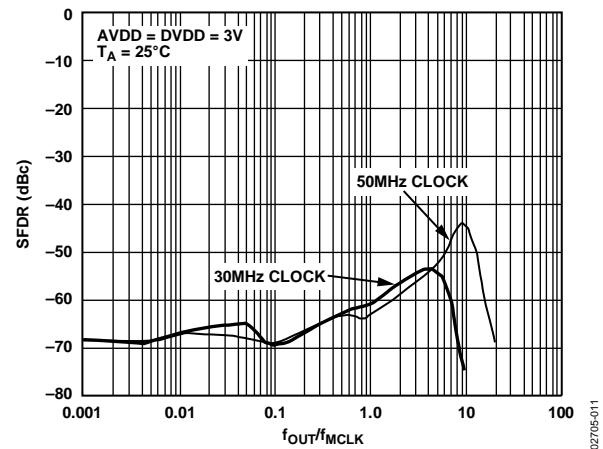
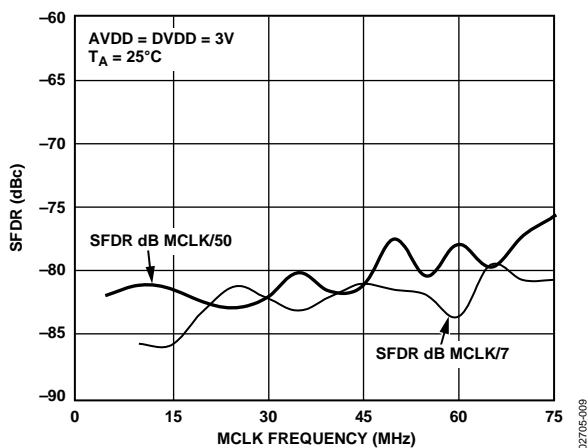
图8. 典型 I_{DD} 与 f_{OUT} 的关系($f_{MCLK} = 50\text{MHz}$)图11. 不同MCLK频率条件下宽带SFDR与 f_{OUT}/f_{MCLK} 的关系

图9. 窄带SFDR与MCLK频率的关系

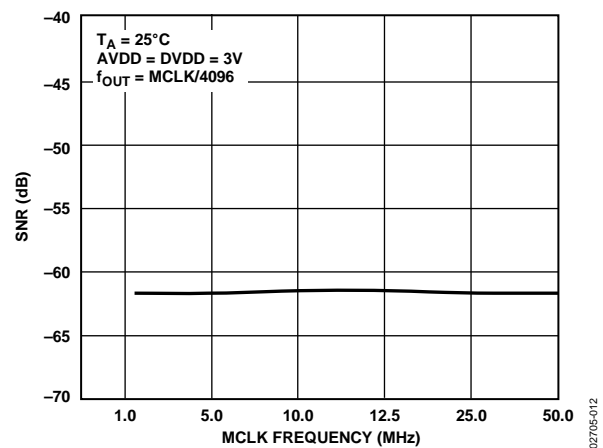


图12. SNR与MCLK频率的关系

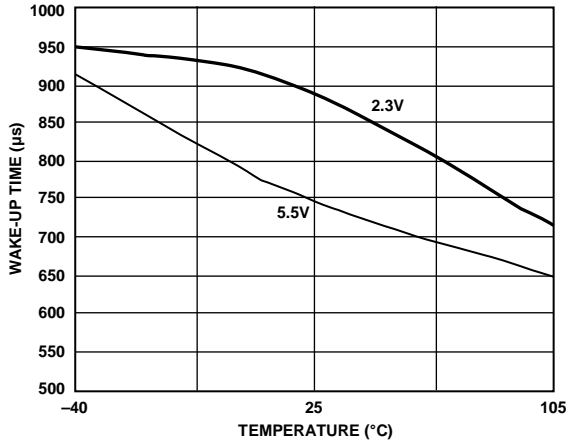


图13. 唤醒时间与温度的关系

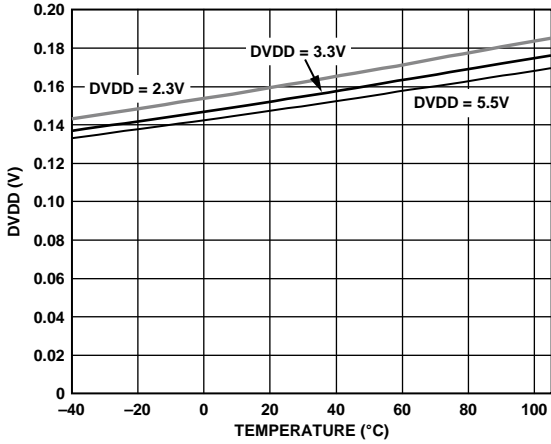


图16. SIGN BIT OUT低电平($I_{SINK} = 1 \text{ mA}$)

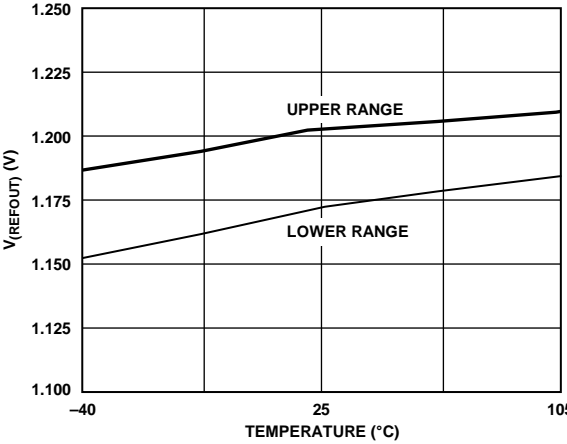


图14. V_{REFOUT} 与温度的关系

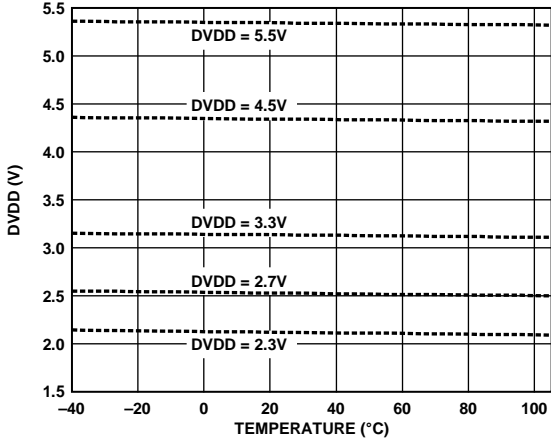


图17. SIGN BIT OUT高电平($I_{SINK} = 1 \text{ mA}$)

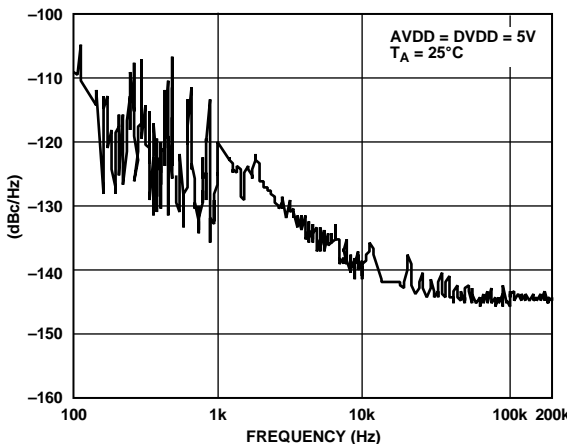


图15. 输出相位噪声($f_{OUT} = 2 \text{ MHz}$, $MCLK = 50 \text{ MHz}$)

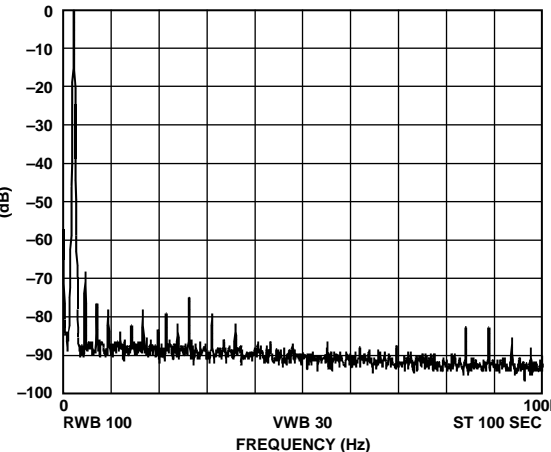


图18. $f_{MCLK} = 10 \text{ MHz}$; $f_{OUT} = 2.4 \text{ kHz}$, 频率字 = 000FBA9

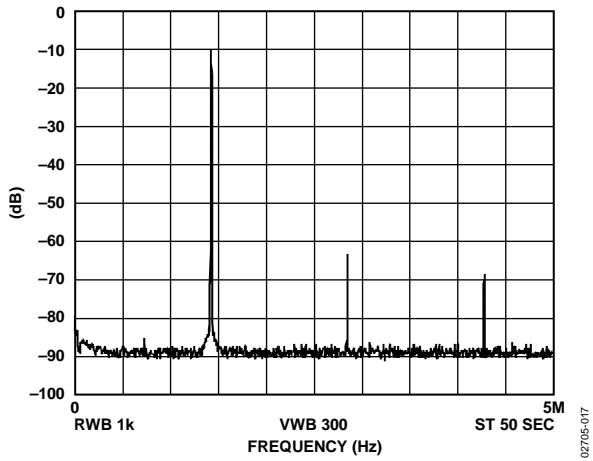


图19. $f_{MCLK} = 10 \text{ MHz}$; $f_{OUT} = 1.43 \text{ MHz} = f_{MCLK}/7$,
频率字 = 2492492

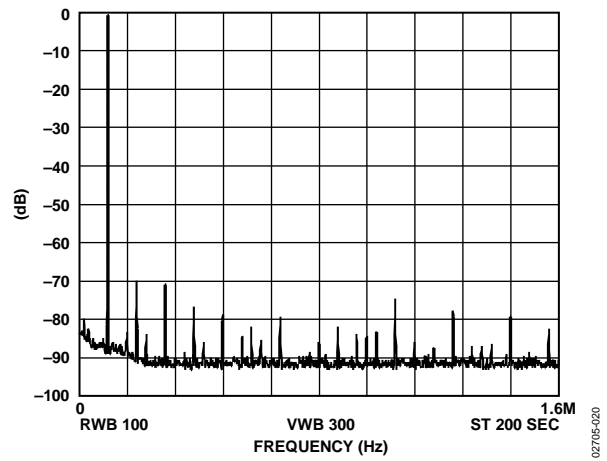


图22. $f_{MCLK} = 50 \text{ MHz}$; $f_{OUT} = 120 \text{ kHz}$, 频率字 = 009D496

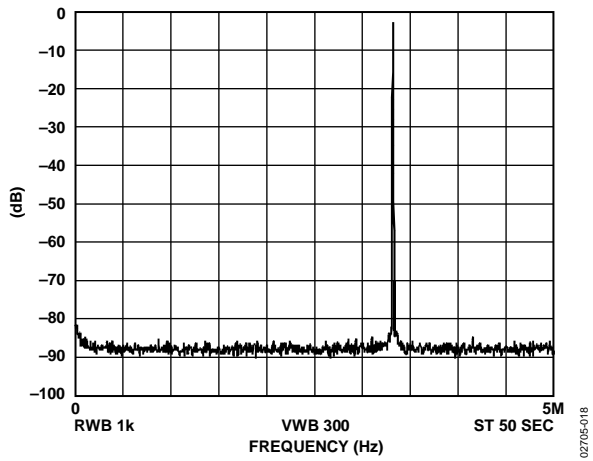


图20. $f_{MCLK} = 10 \text{ MHz}$; $f_{OUT} = 3.33 \text{ MHz} = f_{MCLK}/3$,
频率字 = 5555555

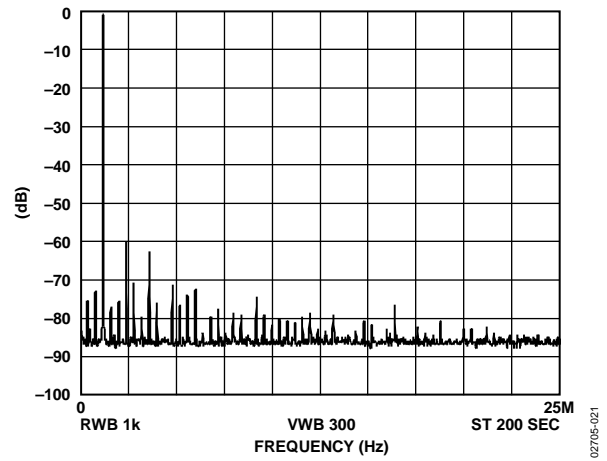


图23. $f_{MCLK} = 50 \text{ MHz}$; $f_{OUT} = 1.2 \text{ MHz}$, 频率字 = 0624DD3

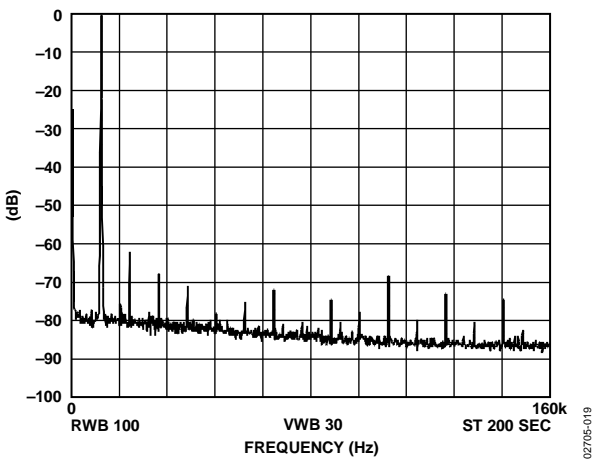


图21. $f_{MCLK} = 50 \text{ MHz}$; $f_{OUT} = 12 \text{ kHz}$, 频率字 = 000FBA9

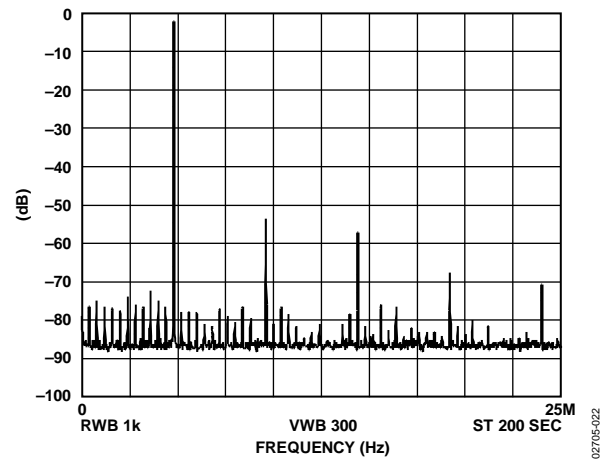


图24. $f_{MCLK} = 50 \text{ MHz}$; $f_{OUT} = 4.8 \text{ MHz}$, 频率字 = 189374C

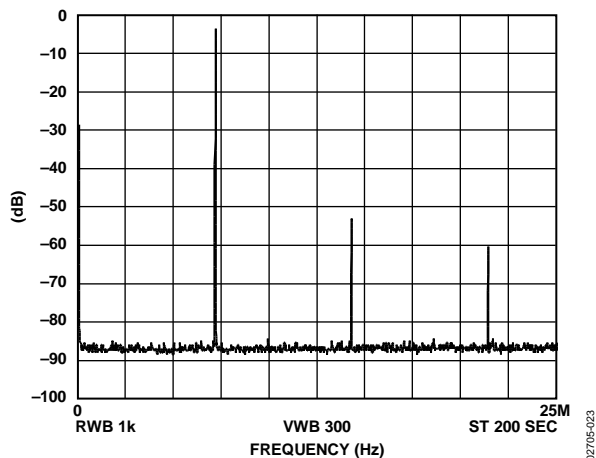


图25. $f_{MCLK} = 50 \text{ MHz}$; $f_{OUT} = 7.143 \text{ MHz} = f_{MCLK}/7$,
频率字 = 2492492

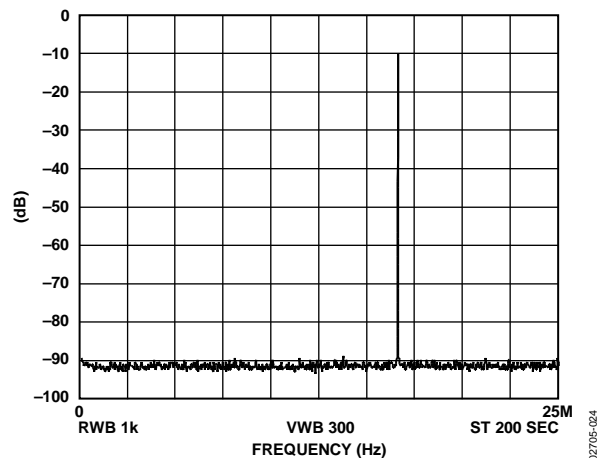


图26. $f_{MCLK} = 50 \text{ MHz}$; $f_{OUT} = 16.667 \text{ MHz} = f_{MCLK}/3$,
频率字 = 5555555

术语

积分非线性(INL)

转换结果编码偏离通过其传递函数端点的直线的最大偏差。传递函数端点是指，在零点位置比第一个编码的跃变点低0.5 LSB的点(000 ... 00至000 ... 01)，以及在满刻度位置比最后一个编码的跃变点高0.5 LSB的点(111..10到111..11)。误差用LSB表示。

差分非线性(DNL)

DNL指DAC中两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。最大±1 LSB的额定DNL可确保单调性。

输出顺从电压

输出顺从电压是指保证规格要求情况下可在DAC的输出端产生的最大电压。当产生的电压大于输出顺从电压额定值时，AD9834可能无法达到数据手册所述的额定性能。

无杂散动态范围(SFDR)

DDS器件的输出中不仅有目标频率，而且有基波频率的谐波和这些频率的镜像。SFDR与目标频段中存在的最大杂散或谐波相关。宽带SFDR指0 Hz至奈奎斯特带宽范围内的

最大谐波或杂散的幅度与基波频率的幅度之比。窄带SFDR指±200 kHz带宽范围内最大杂散或谐波的幅度相对于基波频率幅度的衰减程度。

总谐波失真(THD)

THD指所有谐波均方根和与基波均方根值的比值。对于AD9834，THD定义为

$$THD = 20 \log \sqrt{\frac{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}{V_1^2}}$$

其中：V₁是基波幅度的均方根值；V₂、V₃、V₄、V₅和V₆是二次谐波到六次谐波的幅度均方根值。

信噪比(SNR)

SNR指输出信号测量结果的均方根值与奈奎斯特频率以下除谐波和直流外的所有其它频谱成分的均方根和之比，用分贝(dB)表示。

时钟馈通

从MCLK输入到模拟输出会出现一些馈通。时钟馈通是指AD9834输出频谱中MCLK信号的幅度与基波频率之比。

工作原理

正弦波通常用其幅度来表示： $a(t) = \sin(\omega t)$ 。不过，这类正弦波是非线性曲线，因此除非通过分段构建，否则不易生成。另一方面，角度信息本质上是线性的。也就是说，每个单位时间内，相位角度会旋转固定角度。角速率取决于信号频率，也即 $\omega = 2\pi f$ 。

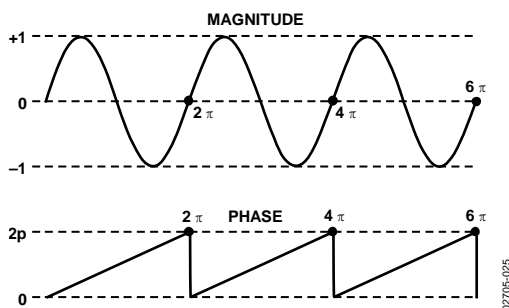


图27. 正弦波

已知正弦波的相位是线性的，如果给定参考时间间隔(时钟周期)，则可以确定该周期内的相位旋转情况。

$$\Delta \text{Phase} = \omega \Delta t$$

求出 ω ，

$$\omega = \Delta \text{Phase} / \Delta t = 2\pi f$$

求出 f 并用参考时钟频率替换参考周期($1/f_{\text{MCLK}} = \Delta t$)

$$f = \Delta \text{Phase} \times f_{\text{MCLK}} / 2\pi$$

AD9834根据这个简单公式来构建输出。一个简单的DDS芯片便可利用以下三大主要子电路来实现此公式：数控振荡器和相位调制器、SIN ROM以及数模转换器(DAC)。“电路描述”部分将逐个介绍各个子电路。

电路描述

AD9834是一个完全集成的直接数字频率合成(DDS)芯片。该芯片需要一个参考时钟、一个精密低电阻和八个去耦电容，以用数字方式产生高达37.5 MHz的正弦波。除产生这个RF信号之外，该芯片还完全能支持各种简单和复杂的调制方案。这些调制方案完全在数字域内实现，使得可以使用DSP技术精确而轻松地实现复杂的调制算法。

AD9834的内部电路包含以下主要部分：数控振荡器(NCO)、频率和相位调制器、SIN ROM、DAC、比较器以及稳压器。

数控振荡器和相位调制器

该子电路由两个频率选择寄存器、一个相位累加器、两个相位偏移寄存器和一个相位偏移加法器组成。NCO的主要元件是一个28位相位累加器。连续时间信号的相位范围为 0π 至 2π 。在此数值范围之外，正弦函数以周期方式不断重复。数字实现并无差别。累加器只是将相位数值范围扩大至多位数字字。AD9834中的相位累加器利用28位来实现。因此，在AD9834中， $2\pi = 2^{28}$ 。同样， $\Delta Phase$ 项也会扩大至此数值范围：

$$0 < \Delta Phase < 2^{28} - 1.$$

将这些带入前面的公式可得：

$$f = \Delta Phase \times f_{MCLK} / 2^{28}$$

其中， $0 < \Delta Phase < 2^{28} - 1$ 。

相位累加器的输入可以从FREQ0寄存器或FREQ1寄存器进行选择并由FSELECT引脚或FSEL bit控制。NCO本身会产生连续相位信号，因此在频率之间切换时应避免出现任何输出不连续。

在NCO之后，可以使用12位相位寄存器添加一个相位偏移来执行相位调制。这些相位寄存器之一的内容会增加到NCO的MSB。AD9834具有两个相位寄存器，且这两个寄存器的分辨率均为 $2\pi/4096$ 。

SIN ROM

要使用NCO的输出，必须先将其从相位信息转换成正弦数值。相位信息可以直接映射至幅度，因此SIN ROM可以将数字相位信息用作查找表的地址并将相位信息转换成幅度。

虽然NCO包含28位相位累加器，但NCO的输出会被截断至12位。使用相位累加器的全分辨率不仅不切实际，也根本不必要，因为这要求查找表具有 2^{28} 个条目。只需具有足够的相位分辨率，使得因截断而产生的误差小于10位DAC的分辨率。这就要求SIN ROM的相位分辨率比10位DAC高出两位。

可使用控制寄存器中的OPBITEN和MODE bits来使能SIN ROM。此功能详见表18。

数模转换器(DAC)

AD9834包含一个高阻抗、电流源10位DAC，能够驱动各种负载。可使用一个外部电阻(R_{SET})来调节满量程输出电压，以实现最佳电源和外部负载要求。

DAC可配置为单端工作模式或差分工作模式。IOUT和IOUTB可通过大小相等的外部电阻连接到AGND，以产生互补的输出电压。只要负载电阻上产生的满量程电压不超过顺从电压范围，该电阻便可以是所需的任意值。由于满量程电流由 R_{SET} 控制，因此通过调节 R_{SET} 可以平衡对负载电阻做出的更改。

比较器

AD9834可用于产生合成频率数字时钟信号，其实现方式是利用片内自偏置比较器将DAC的正弦波信号转换成方波。DAC的输出先在外部分经过滤波，然后再施加于比较器输入端。比较器基准电压是施加于 V_{IN} 的信号的时间平均值。比较器可以接受大约100 mV p-p至1 V p-p范围内的信号。由于比较器输入端交流耦合，因此要作为零交越检波器正常工作，输入频率最小值通常应为3 MHz。比较器输出为方波，幅度范围为0 V至DVDD。

AD9834的输出是根据奈奎斯特采样原理进行采样的信号。具体而言，其输出频谱包含基波和混叠信号(镜像)，且镜像频率为参考时钟频率和所选输出频率的倍数。采样频谱(含混叠镜像)的图形表示如图28所示。

混叠镜像的突出程度取决于 f_{OUT} 与MCLK的比值。如果该比值很小，混叠镜像将非常突出且能量水平相对较高，具体由量化DAC输出的 $\sin(x)/x$ 滚降决定。事实上，根据 f_{OUT} 与参考时钟的关系，第一个混叠镜像约低于基波-3 dB。

DAC的输出端和比较器的输入端之间通常会放置一个低通滤波器，以进一步抑制混叠镜像效应。显然，必须考虑所选输出频率和参考时钟频率之间的关系，以免产生不良(和异常)的输出异常。要将AD9834用作时钟发生器，应将所选输出频率限制为小于参考时钟频率的33%，从而避免产生位于或接近目标输出频段(通常为直流选择输出频率)的混叠信号。此做法可以简化时钟发生器应用所需外部滤波器的复杂度(并降低相关成本)。更多详情参见“AN-837应用笔记”。

要使能比较器，控制器中的Bit SIGN/PIB和Bit OPBITEN应置1，具体参见表17。

稳压器

AD9834的模拟部分和数字部分各自具有单独的电源。AVDD提供模拟部分所需的电源，DVDD则提供数字部分所需的电源。这两个电源的值范围均为2.3 V至5.5 V，并且彼此独立。例如，模拟部分可采用5 V工作，数字部分则可采用3 V工作，反之亦然。

AD9834的内部数字部分采用2.5 V工作。片内稳压器会将施加于DVDD的电压下调至2.5 V。AD9834的数字接口(串行端口)也采用DVDD供电。这些数字信号会在AD9834内部进行电平转换，以便与2.5 V兼容。

当器件DVDD引脚处施加的电压等于或小于2.7 V时，应将CAP/2.5V引脚和DVDD引脚相连，从而旁路片内稳压器。

输出顺从电压

AD9834的最大电流密度为4 mA，由 R_{SET} 设置。AD9834的最大输出电压为 $V_{DD} - 1.5 V$ 。这是为了确保内部开关的输出阻抗不会发生变化，从而不会影响器件的频谱性能。对于2.3 V的最小电源电压，最大输出电压为0.8 V。当 R_{SET} 为6.8 k Ω 且 R_{LOAD} 为200 Ω 时，保证达到表1中的额定性能。

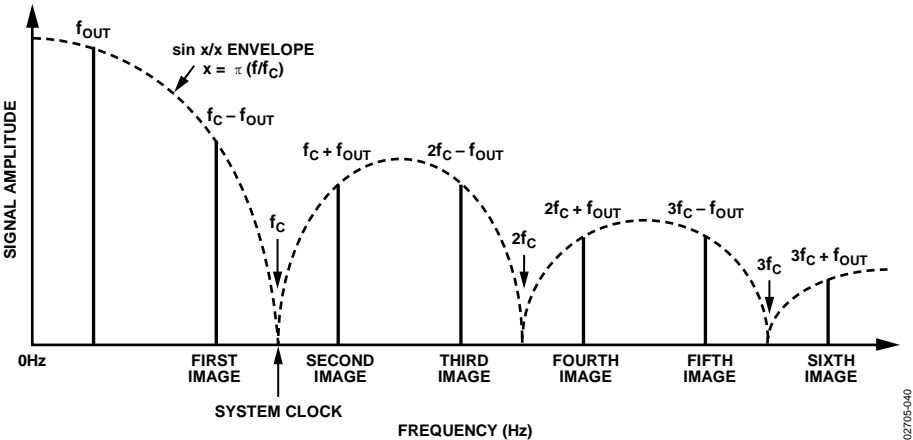


图28. DAC输出频谱

功能描述
串行接口

AD9834具有一个标准三线式串行接口，并且与SPI、QSPI™、MICROWIRE™、DSP接口标准兼容。

数据在串行时钟输入(SCLK)的控制下作为16位字载入器件。图5给出了这种操作的时序图。

欲了解对AD9833和AD9834器件进行编程的详细示例，请参阅“AN-1070应用笔记”。

FSYNC输入是电平触发输入，用作帧同步和芯片使能。仅当FSYNC处于低电平时，才可将数据传输至器件。要开始串行数据传输，应将FSYNC拉低，并注意FSYNC至SCLK下降沿建立时间(t_{f})的最小值。FSYNC变为低电平后，串行数据即会在16个时钟脉冲的SCLK下降沿移入器件的输入移位寄存器。可在SCLK的第16个下降沿后将FSYNC拉高，并注意SCLK下降沿至FSYNC上升沿时间(t_{g})的最小值。或者，FSYNC可以在16倍数个SCLK脉冲期间保持低电平，然后在数据传输结束时变为高电平。这样，在FSYNC保持低电平期间，可以连续流形式载入16位字；FSYNC仅在载入最后一个字的第16个SCLK下降沿之后变为高电平。

SCLK可以是连续的，也可以在写操作期间置于高电平或低电平空闲状态，但当FSYNC变为低电平(t_{f})时必须处于高电平状态。

AD9834上电

图31中的流程图显示AD9834的运行程序。AD9834上电时，器件应复位。这样可使相应的内部寄存器复位至0，以提供中间电平的模拟输出。为了避免AD9834初始化时产生杂散DAC输出，RESET bit/引脚应置1，直至器件准备好开始产生输出。RESET不会使相位、频率或控制寄存器复位。这些寄存器包含无效数据，因此应由用户将其设为

已知值。然后，RESET bit/引脚应置0，以开始产生输出。在RESET置0后的8个MCLK周期内，DAC输出端会出现数据。

延迟

每个操作均会造成延迟。当引脚FSELECT和引脚PSELECT更改数值时，向所选寄存器传输控制信息之前会存在流水线延迟。满足 t_{f} 和 t_{fA} 时序规格(见图4)时，FSELECT和PSELECT具有8个MCLK周期的延迟。不满足 t_{f} 和 t_{fA} 时序规格时，延迟会增加一个MCLK周期。

同样，每个异步写操作也会造成延迟。如果所选频率或相位寄存器中载入新数据字，那么模拟输出改变之前会存在8到9个MCLK周期的延迟。还有一个MCLK周期不确定，因为这取决于向目标寄存器载入数据时MCLK上升沿所在的位置。

RESET和SLEEP功能的负向转换在MCLK的内部下降沿处采样。因此，也会造成延迟。

控制寄存器

AD9834包含一个16位控制寄存器，用户可利用该寄存器来设置AD9834的工作模式。除MODE以外的所有控制位均在MCLK的内部负边沿上采样。表6介绍了控制寄存器的各个位。有关AD9834中不同功能和各种输出选项的详细说明，请参见“频率和相位寄存器”部分。

要告知AD9834控制寄存器的内容将改变，DB15和DB14必须置0，如表5所示。

表5. 控制寄存器

DB15	DB14	DB13 ... DB0
0	0	控制位

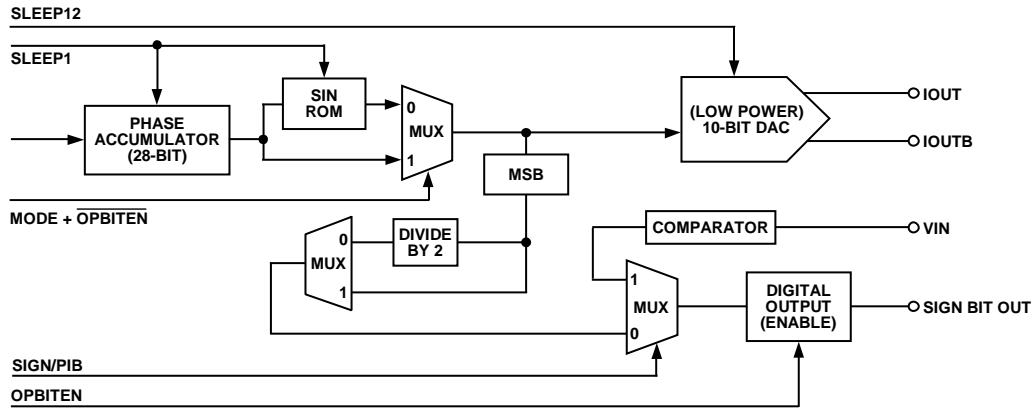


图29. 控制位功能

DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	B28	HLB	FSEL	PSEL	PIN/SW	RESET	SLEEP1	SLEEP12	OPBITEN	SIGN/PIB	DIV2	0	MODE	0

表6. 控制寄存器位功能描述

Bit	名称	描述
DB13	B28	<p>需要两个写操作，才能将一个完整字载入任一频率寄存器。</p> <p>B28 = 1可将一个完整字通过两次连续写入载入频率寄存器。第一次写入包含频率字的14个LSB，下次写入则包含14个MSB。每个16位字的前两位都是定义将载入该字的频率寄存器，因此对于两次连续写入是完全相同的。有关相应的地址，请参见表10。在两个字均已载入后，即会写入频率寄存器。表11给出了一个完整28位写操作的示例。不过，请注意，不允许向同一频率寄存器连续写入28位数据，而应在频率寄存器之间切换来执行此类功能。</p> <p>当B28 = 0时，28位频率寄存器用作两个14位寄存器，其中一个包含14个MSB，另一个则包含14个LSB。这意味着，可单独更新频率字的14个MSB而不影响14个LSB，反之亦然。要更新14个MSB或14个LSB，只需向相应的频率地址执行一次写入即可。控制位DB12 (HLB)告知AD9834要更新的位是14个MSB还是14个LSB。</p>
DB12	HLB	<p>此控制位使用户可以连续载入频率寄存器的MSB或LSB而忽略余下的14位。如果无需完整的28位分辨率，这点将很有用。HLB应与DB13 (B28)一起使用。此控制位指示载入的14位是传输至所寻址频率寄存器的14个MSB还是14个LSB。DB13 (B28)必须设为0，以便能够单独地更改频率字的MSB和LSB。当DB13 (B28) = 1时，此控制位会被忽略。</p> <p>HLB = 1允许写入所寻址频率寄存器的14个MSB。</p> <p>HLB = 0允许写入所寻址频率寄存器的14个LSB。</p>
DB11	FSEL	FSEL bit定义相位累加器中使用的是FREQ0寄存器还是FREQ1寄存器。请参见表8来选择频率寄存器。
DB10	PSEL	PSEL bit定义是将PHASE0寄存器还是PHASE1寄存器的数据增加到相位累加器的输出。请参见表9来选择相位寄存器。
DB9	PIN/SW	<p>可利用软件或硬件实现选择频率和相位寄存器、复位内部寄存器和关断DAC等功能。PIN/SW选择这些功能的控制源。</p> <p>PIN/SW = 1表示将使用相应的控制引脚来控制此类功能。</p> <p>PIN/SW = 0表示将使用相应的控制位来控制此类功能。</p>
DB8	RESET	<p>RESET = 1时可将内部寄存器复位至0，这对应于中间电平的模拟输出。</p> <p>RESET = 0时则禁用RESET。此功能详见“RESET功能”部分。</p>
DB7	SLEEP1	<p>SLEEP1 = 1时，内部MCLK被禁用。由于NCO不再执行累加，因此DAC输出仍保持其预设值。</p> <p>当SLEEP1 = 0时，MCLK使能。此功能详见“SLEEP功能”部分。</p>
DB6	SLEEP12	<p>SLEEP12 = 1关断片内DAC。当AD9834用于输出DAC数据的MSB时，这点很有用。</p> <p>SLEEP12 = 0表示DAC处于活动状态。此功能详见“SLEEP功能”部分。</p>

AD9834

Bit	名称	描述
DB5	OPBITEN	此bit的功能是控制是否通过SIGN BIT OUT引脚提供输出。如果用户不使用SIGN BIT OUT引脚，此bit应保持为0。 OPBITEN = 1时使能SIGN BIT OUT引脚。 OPBITEN = 0时，SIGN BIT OUT输出缓冲器置于高阻抗状态，因此SIGN BIT OUT引脚不提供任何输出。
DB4	SIGN/PIB	此bit的功能是控制将通过SIGN BIT OUT引脚提供的具体输出。 SIGN/PIB = 1时，片内比较器与SIGN BIT OUT相连。DAC的正弦波输出经过滤波后，便可将该波形施加于比较器来产生方波波形。见表17。 SIGN/PIB = 0时，DAC数据的MSB(或MSB/2)与SIGN BIT OUT引脚相连。Bit DIV2控制输出的是MSB还是MSB/2。
DB3	DIV2	DIV2应与SIGN/PIB和OPBITEN一起使用。见表17。 DIV2 = 1时，数字输出被直接送至SIGN BIT OUT引脚。 DIV2 = 0时，数字输出2被直接送至SIGN BIT OUT引脚。
DB2	保留 MODE	此位总是清0。
DB1		此bit的功能是控制将通过IOUT引脚/IOUTB引脚提供的具体输出。如果控制位OPBITEN = 1，此位应清0。 当MODE = 1时，SIN ROM被旁路，因而得到来自DAC的三角波输出。 当MODE = 0时，SIN ROM用于将相位信息转换成幅度信息，进而在输出端提供正弦信号。参见表18。
DB0		此位总是清0。

频率和相位寄存器

AD9834内置两个频率寄存器和两个相位寄存器，具体如表7所述。

表7. 频率/相位寄存器

寄存器	尺寸	描述
FREQ0	28位	频率寄存器0。当FSEL bit或FSELECT引脚=0时，此寄存器将输出频率定义为MCLK频率的一部分。
FREQ1	28位	频率寄存器1。当FSEL bit或FSELECT引脚=1时，此寄存器将输出频率定义为MCLK频率的一部分。
PHASE0	12位	相位偏移寄存器0。当PSEL bit或PSELECT引脚=0时，此寄存器的内容会添加到相位累加器的输出。
PHASE1	12位	相位偏移寄存器1。当PSEL bit或PSELECT引脚=1时，此寄存器的内容会增加到相位累加器的输出。

AD9834的模拟输出为：

$$f_{MCLK}/2^{28} \times FREQREG$$

其中，FREQREG是载入所选频率寄存器的值。此信号会经过如下相位偏移处理：

$$2\pi/4096 \times PHASEREG$$

其中，PHASEREG是所选相位寄存器中包含的值。必须考虑所选输出频率和参考时钟频率之间的关系，以免产生不良的输出异常。

对频率和相位寄存器的访问由FSELECT和PSELECT引脚以及FSEL和PSEL控制位来控制。控制位PIN/SW = 1时由引脚来控制该功能，PIN/SW = 0时则由位来控制该功能，具体如表8和表9中所述。如果使用FSEL和PSEL bit，则引脚应置于CMOS逻辑高电平或低电平。对频率/相位寄存器的控制可以在引脚和bit之间互换。

表8. 选择频率寄存器

FSELECT	FSEL	PIN/SW	所选寄存器
0	X	1	FREQ0 REG
1	X	1	FREQ1 REG
X	0	0	FREQ0 REG
X	1	0	FREQ1 REG

表9. 选择相位寄存器

PSELECT	PSEL	PIN/SW	所选寄存器
0	X	1	PHASE0 REG
1	X	1	PHASE1 REG
X	0	0	PHASE0 REG
X	1	0	PHASE1 REG

FSELECT引脚和PSELECT引脚均在MCLK的内部下降沿上采样。建议在MCLK下降沿的时间窗口内，这些引脚上的数据不要发生变化(时序信息参见图4)。如果出现下降沿时FSELECT或PSELECT改变数值，则会有一个MCLK周期不确定，因为这取决于何时将控制信息传输至另一频率/相位寄存器。

图32和图33中的流程图显示选择AD9834的频率和相位寄存器并向这些寄存器中写入数据的程序。

写入频率寄存器

写入频率寄存器时，Bit DB15和Bit DB14设置频率寄存器的地址。

表10. 频率寄存器位

DB15	DB14	DB13...DB0
0	1	14 FREQ0 REG BITS
1	0	14 FREQ1 REG BITS

如果用户希望改变某个频率寄存器的全部内容，则必须向同一地址执行两次连续写入，因为频率寄存器是28位宽。第一次写入包含14个LSB，第二次写入则包含14个MSB。对于此工作模式，B28 (DB13)控制位位置1。表11给出了一个28位写操作的示例。

不过，请注意，不建议连续写入同一频率寄存器。连续写入会导致写入期间出现中间更新。如果需要频率扫描或类似功能，建议用户在两个频率寄存器之间交替。

表11. 将FFFC000写入FREQ0 REG

SDATA输入	输入字结果
0010 0000 0000 0000	控制字写入 (D15, D14 = 00), B28 (D13) = X
0100 0000 0000 0000	FREQ0 REG写入 (DB15, DB14 = 01), 14个LSB = 0000
0111 1111 1111 1111	FREQ0 REG写入 (DB15, DB14 = 01), 14个MSB = 3FFF

在某些应用中，用户无需更新频率寄存器的全部28个位。在粗调情况下，只需更新14个MSB，而在精调情况下，则只需更新14个LSB。通过将控制位B28 (DB13)清0，28位频率寄存器用作两个14位寄存器，其中一个包含14个MSB，另一个则包含14个LSB。这意味着，可单独更新频率字的14个MSB而不影响14个LSB，反之亦然。控制寄存器中的Bit HLB (DB12)确定要更新的具体14个位。相关示例如表12和表13所示。

表12. 将3FFF写入FREQ1 REG的14个LSB

SDATA输入	输入字结果
0000 0000 0000 0000	控制字写入 (DB15, DB14 = 00), B28 (DB13) = 0; HLB (DB12) = 0, 即LSB
1011 1111 1111 1111	FREQ1 REG写入 (DB15, DB14 = 10), 14个LSB = 3FFF

表13. 将00FF写入FREQ0 REG的14个MSB

SDATA输入	输入字结果
0001 0000 0000 0000	控制字写入 (DB15, DB14 = 00), B28 (DB13) = 0; HLB (DB12) = 1, 即MSB
0100 0000 1111 1111	FREQ0 REG写入 (DB15, DB14 = 01), 14个MSB = 00FF

写入相位寄存器

写入相位寄存器时，Bit DB15和Bit DB14设置为11。Bit DB13确定将载入的相位寄存器。

表14. 相位寄存器位

DB15	DB14	DB13	DB12	DB11	DB0
1	1	0	X	MSB 12 PHASE0 bits	LSB
1	1	1	X	MSB 12 PHASE1 bits	LSB

RESET功能

RESET功能可使相应的内部寄存器复位至0，以提供中间电平的模拟输出。RESET不会使相位、频率或控制寄存器复位。

AD9834上电时，器件应复位。要使AD9834复位，应将RESET引脚/bit置1。要使器件退出复位，应将该引脚/bit清0。在RESET置0后的7个MCLK周期内，DAC输出端会出现信号。

RESET功能由RESET引脚和RESET控制位来控制。控制位PIN/SW = 0时由RESET bit来控制该功能，PIN/SW = 1时则由RESET引脚来控制该功能。

表15. 应用RESET

RESET引脚	RESET Bit	PIN/SW Bit	结果
0	X	1	不应用复位
1	X	1	内置寄存器复位
X	0	0	不应用复位
X	1	0	内置寄存器复位

置位RESET引脚的效果会立刻呈现在输出上，也即不会对此引脚的0至1转换进行采样。但是，RESET的负向转换会在MCLK的内部下降沿上进行采样。

SLEEP功能

可使用SLEEP功能关断AD9834中不使用的部分，以将功耗降至最低。可关断的芯片部分是内部时钟和DAC。可通过硬件或软件关断DAC。表16列出了SLEEP功能所需的引脚/bits。

AD9834

表16. 应用SLEEP功能

SLEEP 引脚	SLEEP1 Bit	SLEEP12 Bit	PIN/SW Bit	结果
0	X	X	1	不掉电
1	X	X	1	DAC 关断
X	0	0	0	不掉电
X	0	1	0	DAC powered down
X	1	0	0	内部时钟 禁用
X	1	1	0	DAC 关断 且内部时钟 禁用

DAC关断

当AD9834仅用于输出DAC数据的MSB时，这点很有用。这种情况下，无需DAC；可关断该部分，以降低功耗。

内部时钟禁用

当AD9834的内部时钟被禁用时，DAC输出则仍保持其预设值，因为NCO不再执行累加。当SLEEP1控制位处于有效时，可以向器件写入新的频率、相位和控制字。同步时钟保持有效，这意味着还可通过引脚或使用控制位来更改所选的频率和相位寄存器。将SLEEP1 bit清0即可使能MCLK。SLEEP1有效期间对寄存器进行的任何更改都会在经过一定延迟后出现在输出端。

置位SLEEP引脚的效果会立刻呈现在输出上，也即不会对此引脚的0至1转换进行采样。但是，SLEEP的负向转换会在MCLK的内部下降沿上进行采样。

SIGN BIT OUT引脚

AD9834可从芯片提供各种输出。数字输出通过SIGN BIT OUT引脚提供。可用输出为比较器输出或DAC数据的MSB。控制SIGN BIT OUT引脚的bits如表17中所述。

此引脚必须在使用前使能。此引脚的使能/禁用由控制器中的Bit OPBITEN (DB5)来控制。当OPBITEN = 1时，此引脚使能。请注意，如果OPBITEN = 1，则控制器中的MODE bit (DB1)应清0。

比较器输出

AD9834片上集成比较器。要将此比较器连接到SIGN BIT OUT引脚，SIGN/PIB (DB4)控制位必须置1。DAC的正弦波

输出经过滤波后，便可将该波形施加于比较器来产生方波波形。

NCO的MSB

AD9834可输出NCO的MSB。通过将SIGN/PIB (DB4)控制位置0，可通过SIGN BIT OUT引脚输出DAC数据的MSB。这作为粗调时钟源很有用。此方波还可以在输出之前进行2分频。控制寄存器的Bit DIV2 (DB3)控制SIGN BIT OUT引脚提供的此输出的频率。

表17. SIGN BIT OUT的各种输出

OPBITEN Bit	MODE Bit	SIGN/PIB Bit	DIV2 Bit	SIGN BIT OUT引脚
0	X	X	X	高阻抗
1	0	0	0	DAC数据MSB/2
1	0	0	1	DAC数据MSB
1	0	1	0	保留
1	0	1	1	比较器输出
1	1	X	X	保留

IOUT和IOUTB引脚

AD9834的模拟输出通过IOUT和IOUTB引脚提供。可用输出为正弦波输出或三角波输出。

正弦波输出

SIN ROM将来自频率和相位寄存器的相位信息转换成幅度信息，从而在输出端产生正弦波信号。要从IOUT和IOUTB引脚提供正弦波输出，应将Bit MODE (DB1)清0。

三角波输出

可以旁路SIN ROM，使得NCO的截断数字输出被发送至DAC。这种情况下，输出不再是正弦波。DAC将产生10位线性三角函数。要从IOUT和IOUTB引脚提供三角波输出，应将Bit MODE (DB1)置1。

请注意，使用IOUT和IOUTB引脚时，SLEEP引脚和SLEEP12 bit必须清0(即DAC使能)。

表18. IOUT和IOUTB的各种输出

OPBITEN Bit	MODE Bit	IOUT和IOUTB引脚
0	0	正弦波
0	1	三角波
1	0	正弦波
1	1	保留

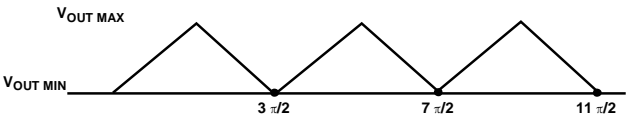


图30. 三角波输出

应用信息

由于可提供多种输出选项，因此AD9834可配置用于各种不同的应用。

AD9834适合的领域之一为调制应用。该器件可用于执行简单调制，如FSK。也可以使用AD9834来实现GMSK和QPSK等更为复杂的调制方案。

在FSK应用中，AD9834的两个频率寄存器会载入不同的值。其中一个频率代表空号频率，而另一个则代表传号频率。数字数据流馈入FSELECT引脚，使得AD9834在这两个值之间调制载波频率。

AD9834具有两个相位寄存器，使得该器件可以执行PSK。借助相移键控功能，可以对载波频率进行相位偏移，即将相位改变一定的量，具体与输入调制器的位流相关。

AD9834还适合信号发生器应用。借助片内比较器，该器件可用于产生方波。

由于功耗较低，该器件适合在应用中用作本振。

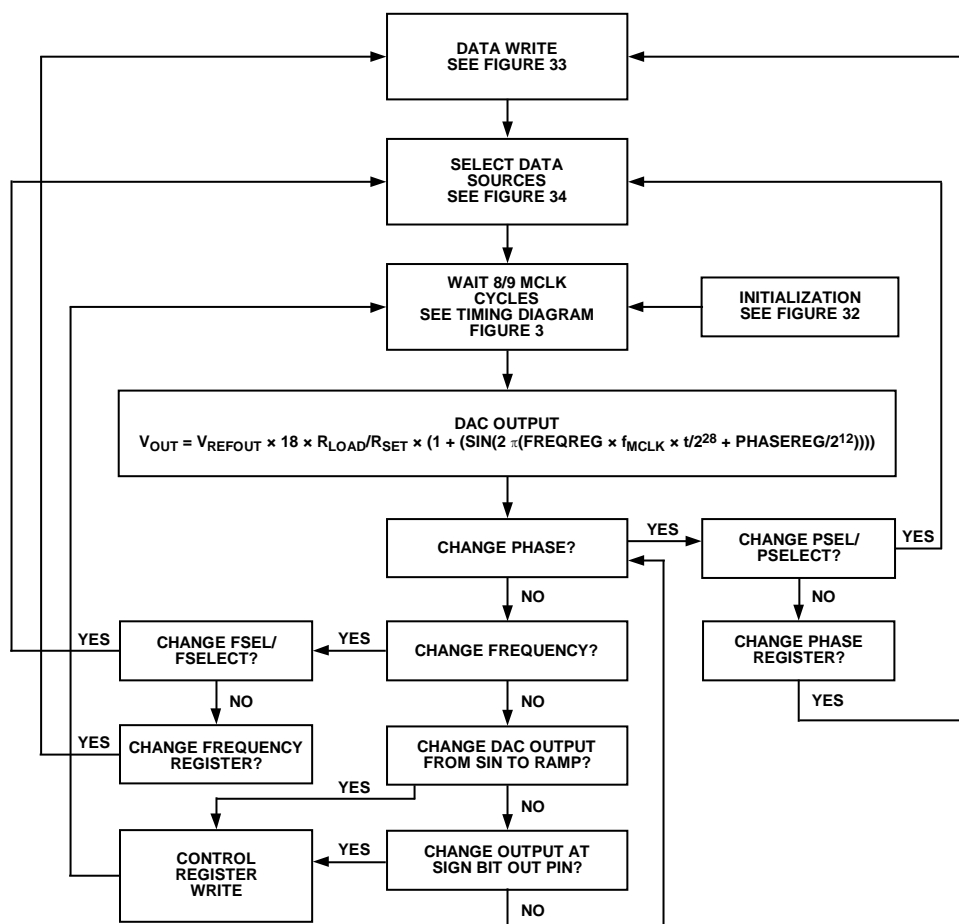


图31. 初始化和工作流程图

02705-028

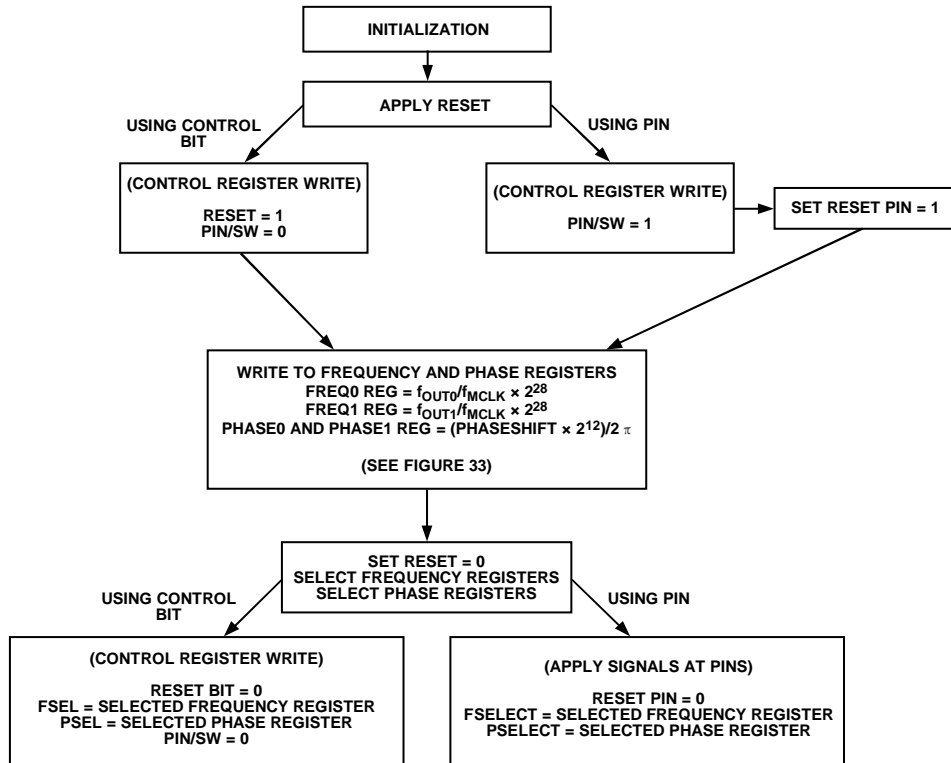


图32. 初始化

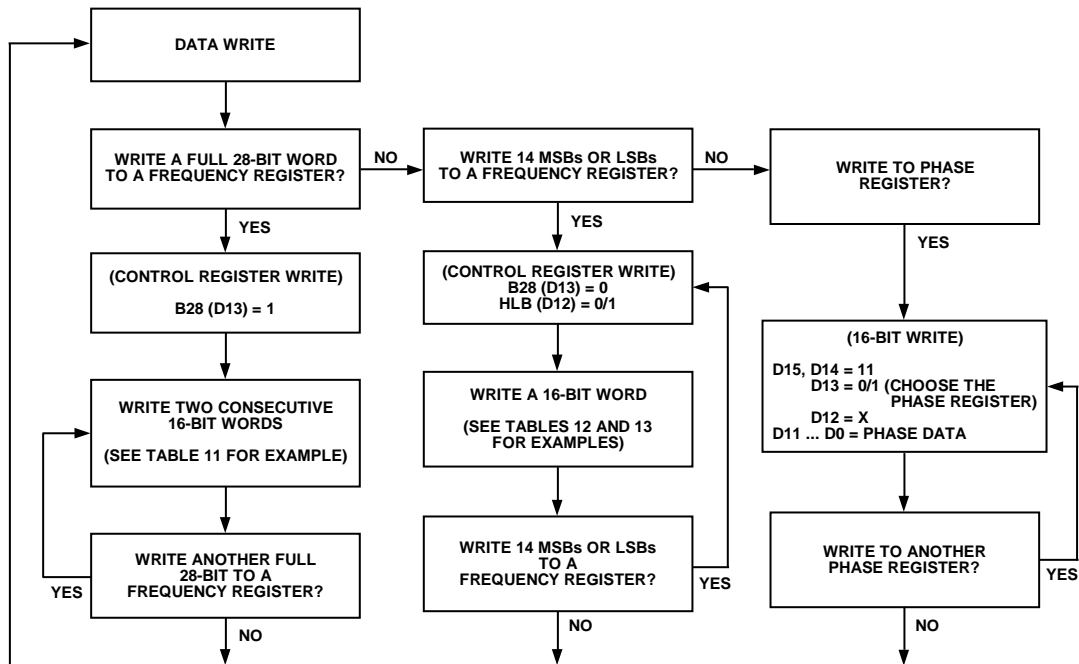
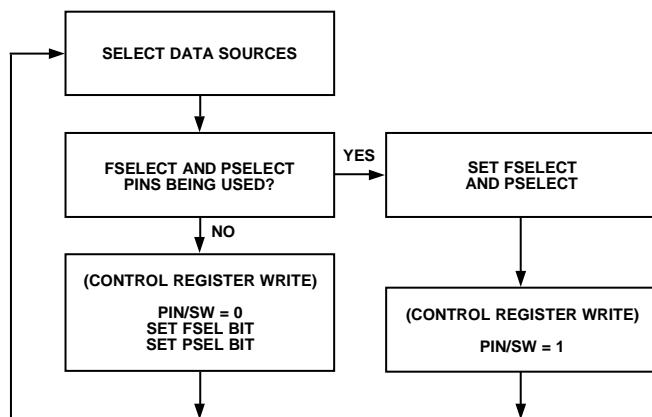


图33. 数据写入



02705-031

图34. 选择数据源

接地和布局布线

AD9834所在的印刷电路板(PCB)应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。这样便于使用接地层并让它们易于被分割。为实现最佳屏蔽，接地层一般应尽量少采用蚀刻技术。数字地层和模拟地层应单点连接。如果只有AD9834要求AGND连至DGND，那么接地层应连接到AD9834的AGND和DGND引脚。如果AD9834系统内有多个器件要求AGND连至DGND，仍应坚持单点接地，把接地点放置在尽可能靠近AD9834的一个星型接地点。

应避免在器件下方布设数字线路，因为这些线路会将噪声耦合至芯片。应允许模拟接地层布设在AD9834下方，以避免噪声耦合。AD9834的电源线路应采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺噪声效应。时钟等快速开关信号应利用数字地屏蔽起来，以免向电路板的其它部分辐射噪声。避免数字信号与模拟信号交叠。电路板相反两侧上的走线应彼此垂直，以减小电路板的馈通效应。微带线技术在目前看来是最佳选择，但这种技术对于双面电路板未必总是可行。采用这种技术时，电路板的元件侧专用于接地层，信号走线则布设在另一侧。

良好的去耦很重要。为将模拟部分与数字部分之间的耦合降至最低，AD9834的模拟电源和数字电源彼此独立，各有单独的引脚排列。所有模拟和数字电源均应分别利用0.1 μ F陶瓷电容与10 μ F钽电容并联来去耦至AGND和DGND。为使这些去耦电容发挥其最佳性能，应将其尽可能靠近器件，最好将其紧贴器件。在使用公共电源驱动AD9834的AVDD和DVDD的系统中，建议使用系统AVDD电源。对于这种电源，应将建议的模拟电源去耦电容置于AD9834的AVDD引脚与AGND之间，并将建议的数字电源去耦电容置于DVDD引脚与DGND之间。

为使比较器正确工作，需要具有良好的布局布线策略。此策略必须利用接地层来增强隔离，从而将VIN和SIGN BIT OUT引脚之间的寄生电容降至最小。例如，在多层板上，VIN信号可连接到顶层，SIGN BIT OUT则可连接到底层，以便由顶层和底层之间的电源层和接地层来提供隔离。

与微处理器接口

AD9834具有一个标准串行接口，使得该器件可以直接与数个微处理器接口。该器件采用外部串行时钟来向器件中写入数据/控制信息。串行时钟的最大频率为40 MHz。串行时钟可以是连续的，也可以在写操作期间置于高电平或低电平空闲状态。向AD9834写入数据/控制信息时，FSYNC应处于低电平并保持低电平，直到数据的16个位均已写入AD9834为止。FSYNC信号以帧方式传输要载入AD9834的16位信息。

AD9834与ADSP-21xx的接口

图35显示AD9834与ADSP-21xx之间的串行接口。ADSP-21xx应设置为SPORT交替帧传输方式(TFSW = 1)。通过SPORT控制寄存器对ADSP-21xx进行编程，配置如下：

- 内部时钟工作模式(ISCLK = 1)
- 低电平有效帧(INVTFS = 1)
- 16位字长(SLEN = 15)
- 内部帧同步信号(ITFS = 1)
- 为每次写操作产生帧同步(TFSR = 1)

使能SPORT后，可以通过对Tx寄存器进行写操作来启动传输。数据在串行时钟的每个上升沿逐个输出，并在SCLK下降沿逐个输入AD9834。

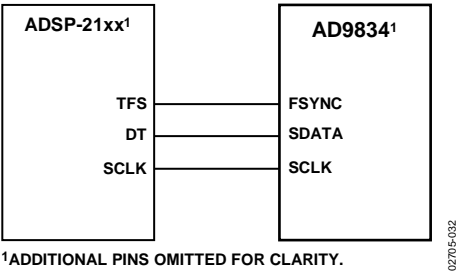


图35. ADSP-21xx与AD9834的接口

AD9834与68HC11/68L11的接口

图36显示AD9834与68HC11/68L11微控制器之间的串行接口。通过将SPCR中的Bit MSTR置1，将微控制器配置为主机，以在SCK上提供串行时钟，MOSI输出则驱动串行数据线SDATA。由于微控制器没有专用帧同步引脚，因此FSYNC信号从端口线(PC7)获得。该接口正确工作的设置条件如下：

- SCK在写操作之间处于高电平空闲状态(CPOL = 0)
- 数据在SCK下降沿有效(CPHA = 1)

向AD9834发送数据时，FSYN线被拉低(PC7)。来自68HC11/68L11的串行数据以8位字节进行传送，即在每个发送周期中，仅出现在8个时钟下降沿。数据以MSB优先方式发送。要将数据载入AD9834，PC7应在前8个位传输完成后保持低电平，同时对AD9834执行第二次串行写操作。只有第二批8个位传输完成后，才应将FSYNC再次拉高。

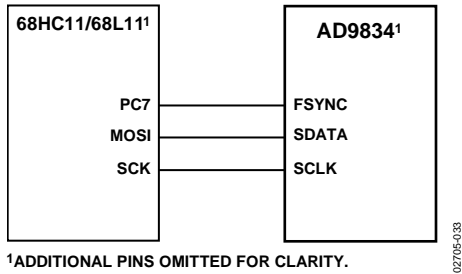


图36. 68HC11/68L11与AD9834的接口

AD9834与80C51/80L51的接口

图37显示AD9834与80C51/80L51微控制器之间的串行接口。微控制器在模式0下工作，使得80C51/80L51的TXD驱动AD9834的SCLK，RXD驱动串行数据线(SDATA)。FSYNC信号从端口上的位可编程引脚(图中的P3.3)获得。向AD9834发送数据时，P3.3被拉低。80C51/80L51以8位字节传送数据，因此每个周期中只有8个SCLK下降沿。要向AD9834载入剩余的8个位，P3.3应在第一批8个位传输完成后保持低电平，同时启动第二次写操作来传输数据的第二个字节。第二次写操作结束后P3.3被拉高。SCLK应在两次写操作之间处于高电平空闲状态。80C51/80L51以LSB优先格式输出串行数据。AD9834首先接收MSB(写入目标寄存器时，4个MSB为控制信息，接下来的4个位为地址，而8个LSB则包含数据)。因此，80C51/80L51的发送程序必须考虑到这点并重新排列位顺序，使得首先输出MSB。

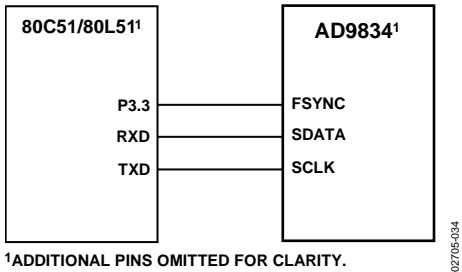


图37. 80C51/80L51与AD9834的接口

AD9834与DSP56002的接口

图38显示AD9834与DSP56002之间的接口。DSP56002配置为正常异步工作模式，并采用内部选通时钟(SYN = 0, GCK = 1, SCKD = 1)。帧同步引脚在内部产生(SC2 = 1)，传输为16位宽(WL1 = 1, WL0 = 0)，且帧同步信号以帧方式传输16位信息(FSL = 0)。帧同步信号通过引脚SC2提供，但需要在施加于AD9834之前进行反转。与DSP56000/DSP56001的接口类似于与DSP56002的接口。

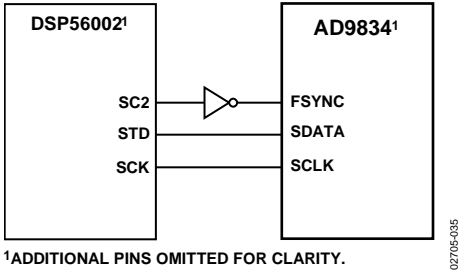


图38. DSP56002与AD9834的接口

评估板

系统开发平台

系统开发平台(SDP)是与产品评估板搭配使用的硬件和软件评估工具。SDP板基于Blackfin® BF527处理器，通过一个USB 2.0高速端口与PC建立USB连接。欲了解有关此器件的更多信息，请访问：www.analog.com/en/embedded-processing-dsp/blackfin/bf527sdp-hw/processors/product.html。

注意，SDP板与AD9834评估板分开出售。

AD9834与SPORT的接口

ADI公司的SDP板配有SPORT串行端口，可用于控制AD9834的串行输入。连接如图39所示。

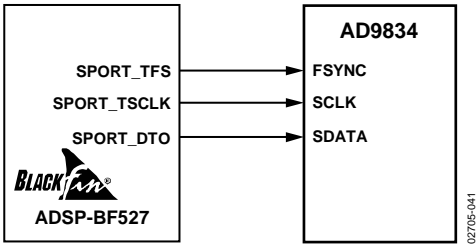


图39. SDP与AD9834的接口

利用AD9834评估板，设计人员可以毫不费力地评估高性能AD9834 DDS调制器。AD9834评估板的GUI界面如图40所示。



图40. AD9834评估软件

DDS评估套件包括一片搭载相关元件并经过测试的AD9834 PCB。软件与评估板一同提供，便于用户设置AD9834。AD9834评估板原理图见图41和图42。该软件可以在装有以下操作系统且兼容IBM的任何电脑上运行：Microsoft® Windows® 95、Windows 98、Windows ME、Windows 2000 NT® 或Windows 7。

有关详细信息，请参阅软件光盘和AD9834产品页面上的EVAL-AD9834EB数据手册。

XO与外部时钟

AD9834可采用最高75 MHz的主时钟工作。评估板上含有一个75 MHz通用振荡器。不过，用户可以移除此振荡器；如果需要，可以将一个外部CMOS时钟连接到该器件。

两个通用振荡器选项如下：

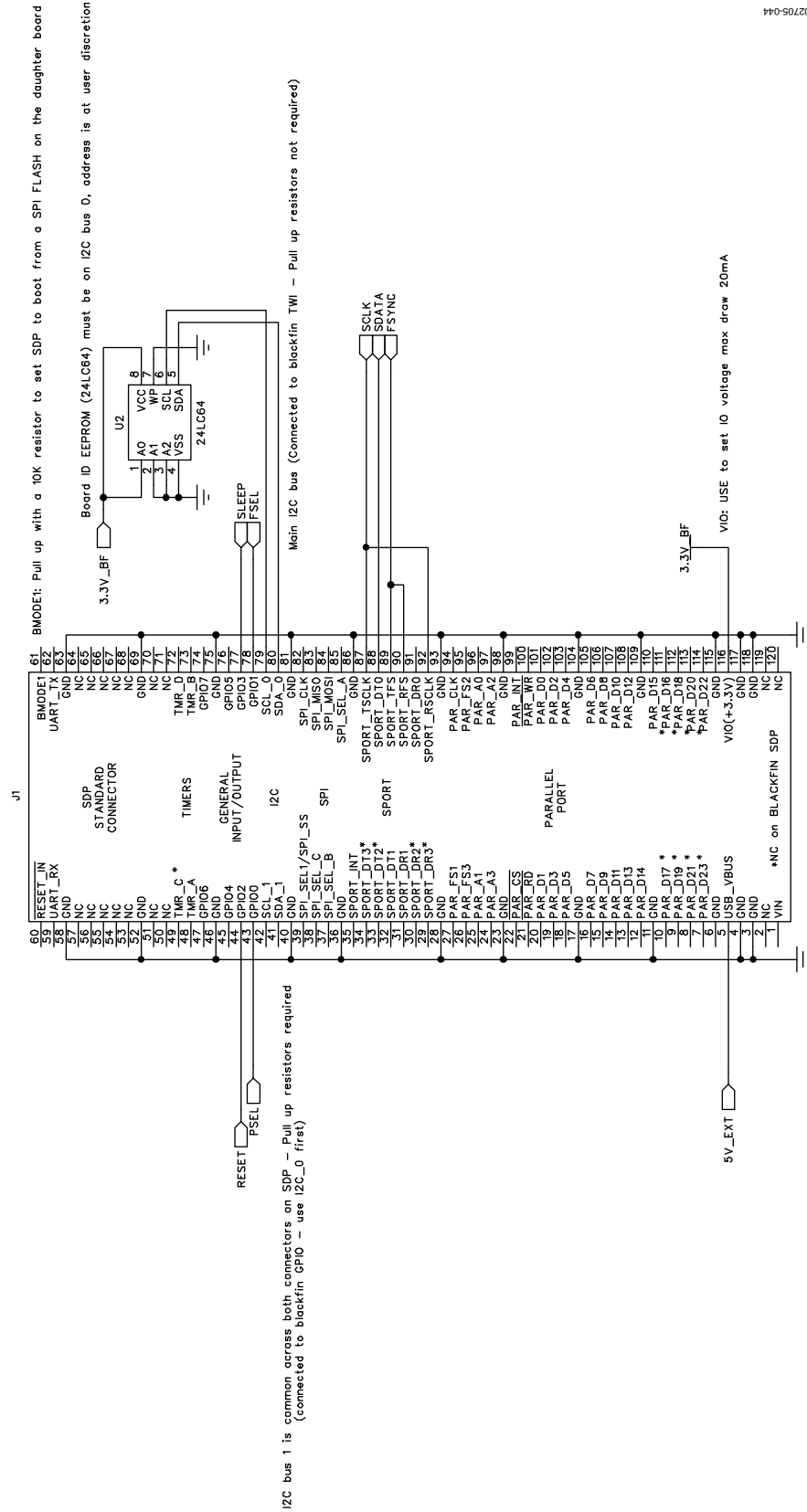
- AEL 301系列晶振，AEL Crystals, Ltd.
- SG-310SCN振荡器，Epson Toyocom Corporation

电源

可从USB连接器或通过外部引脚连接给AD9834评估板供电。供电的电源线和接地线应双绞在一起，以减少接地环路。



图41. AD9834评估板原理图, A部分

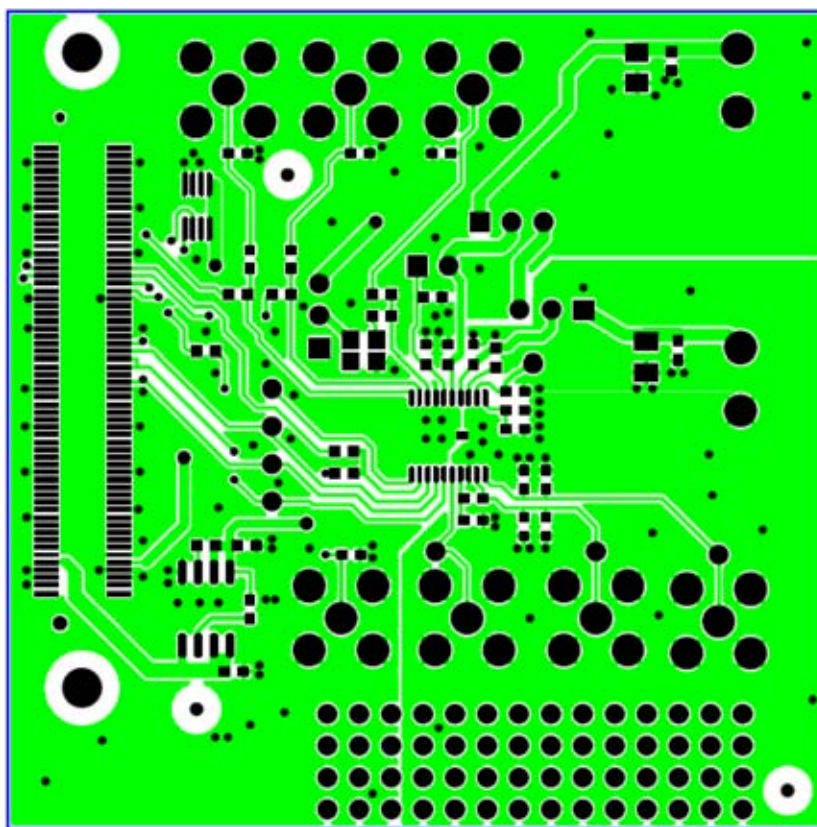


02705-044

图42. AD9834评估板原理图，B部分—J1接头连接器

AD9834

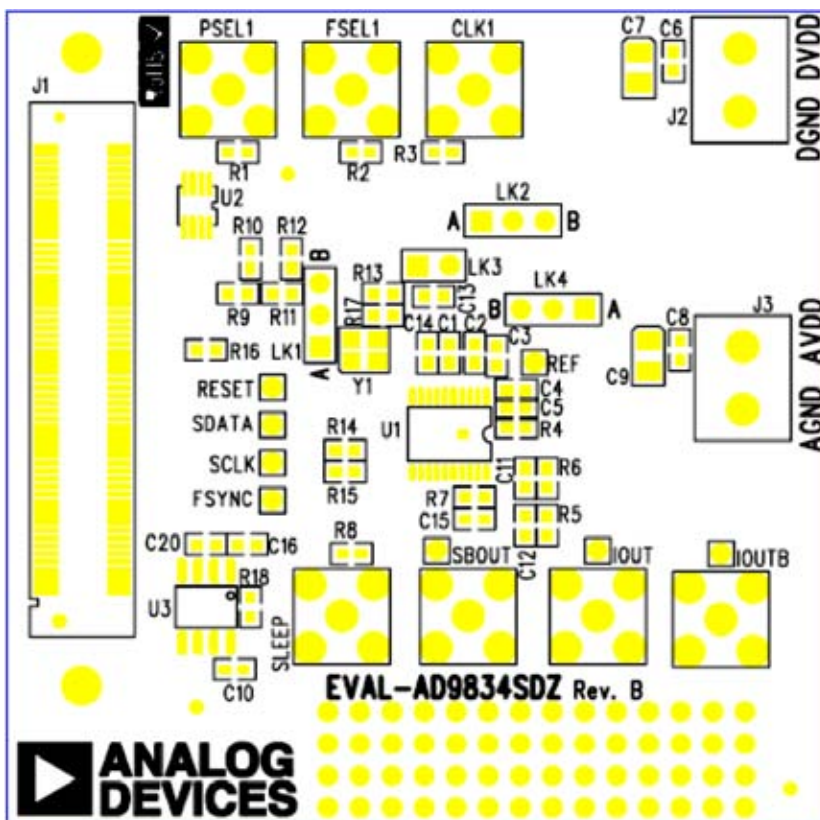
评估板布局布线



EVAL-AD9834SDZ (Rev. B) - Component Side View
Layer 1 - Component Side

图43. AD9834评估板器件侧

02705-045

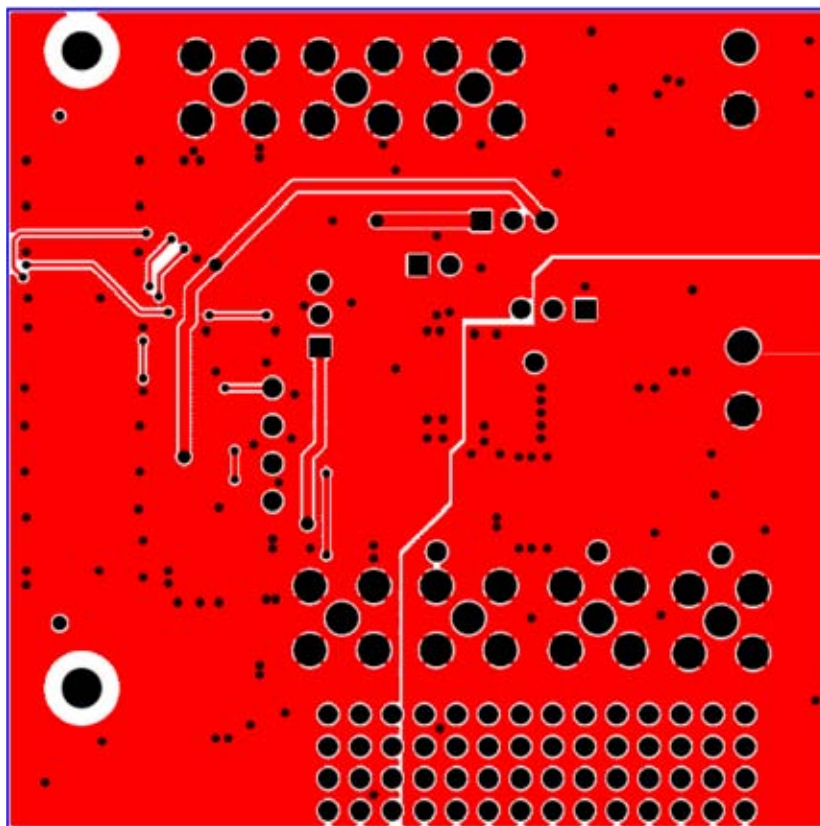


EVAL-AD9834SDZ (Rev. B) – Component Side View

Silkscreen

图44. AD9834评估板丝网图

02705-046



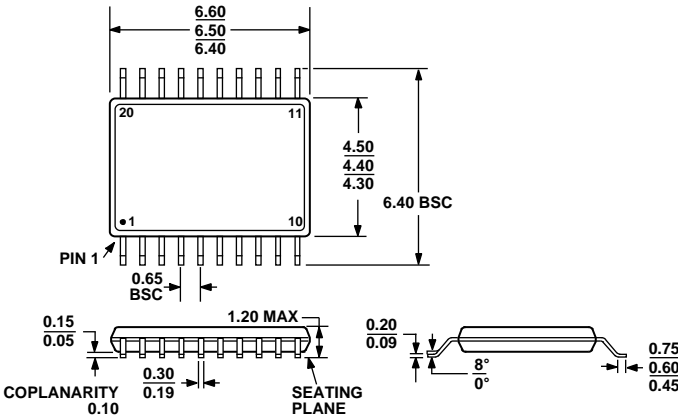
EVAL-AD9834SDZ (Rev. B) - Component Side View

Layer 2 - Solder Side

图45. AD9834评估板焊接侧

02705-047

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-153-AC

图46. 20引脚超薄紧缩小型封装[TSSOP]
(RU-20)
图示尺寸单位: mm

订购指南

型号 ^{1, 2}	最大MCLK (MHz)	温度范围	封装描述	封装选项
AD9834BRU	50	−40°C至+105°C	20引脚超薄紧缩小型封装[TSSOP]	RU-20
AD9834BRU-REEL	50	−40°C至+105°C	20引脚超薄紧缩小型封装[TSSOP]	RU-20
AD9834BRU-REEL7	50	−40°C至+105°C	20引脚超薄紧缩小型封装[TSSOP]	RU-20
AD9834BRUZ	50	−40°C至+105°C	20引脚超薄紧缩小型封装[TSSOP]	RU-20
AD9834BRUZ-REEL	50	−40°C至+105°C	20引脚超薄紧缩小型封装[TSSOP]	RU-20
AD9834BRUZ-REEL7	50	−40°C至+105°C	20引脚超薄紧缩小型封装[TSSOP]	RU-20
AD9834CRUZ	75	−40°C至+105°C	20引脚超薄紧缩小型封装[TSSOP]	RU-20
AD9834CRUZ-REEL7	75	−40°C至+105°C	20引脚超薄紧缩小型封装[TSSOP]	RU-20
EVAL-AD9834SDZ	75	−40°C至+105°C	评估板 (应与SDP板一起使用)	RU-20

¹ Z = 符合RoHS标准的器件。
² 对于EVAL-AD9834SDZ，需要具有SDP板。

注释