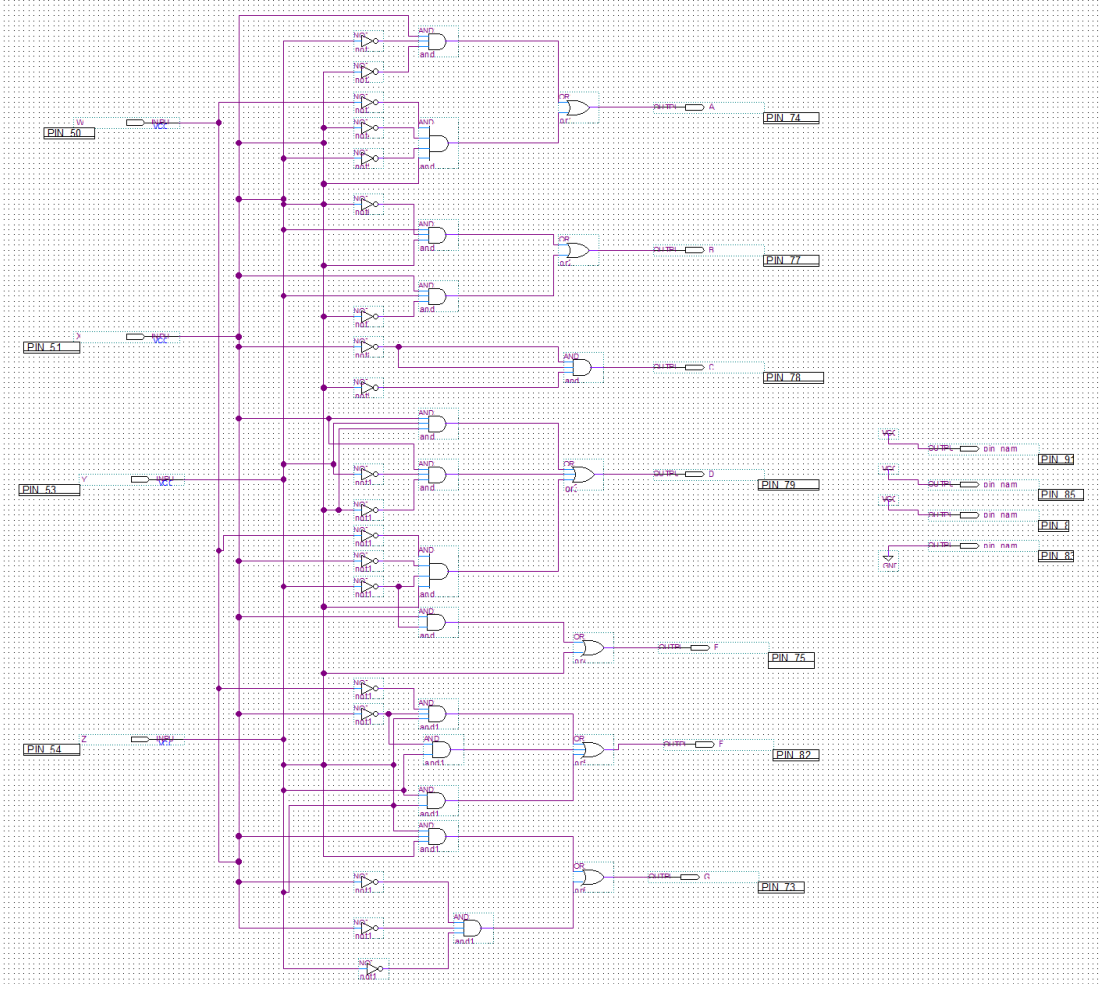


四川大学软件学院数字逻辑实验

实验报告

学号：23991414000 姓名：Gother 专业：软件工程 班级：27999999 第 8 周

实验项目	控制拨码开关在单个数码管上显示数字	实验时间	2024 年 4 月 17 日
实验目的	<p>(1) 学会 Quartus II 软件的使用，利用其进行原理图的设计。</p> <p>(2) 加深对课堂学习的组合逻辑电路的认识，学会设计基础的组合逻辑电路。</p> <p>(3) 增强实际动手能力，将设计电路运行在开发板上。</p>		
实验环境	<p>(1) Modelsim SE-64 10.4</p> <p>(2) Quartus II</p> <p>(3) 数字电路开发板</p>		
实验内容及步骤（含电路原理图/Verilog 程序、管脚分配、仿真结果等；扩展内容也列入本栏）	<p>电路原理图：</p> 		

编译结果：

Guozheng.bdf

Compilation Report - Guozheng

Flow Summary

Flow Status

Successful - Wed Apr 17 21:31:45 2024

Quartus II 64-Bit Version

13.0.1 Build 232 06/12/2013 SP 1 SJ Full Version

Revision Name

Guozheng

Top-level Entity Name

Guozheng

Family

Cyclone

Device

EP1C3T144C8

Timing Models

Final

Total logic elements

7 / 2,910 (< 1 %)

Total pins

11 / 104 (11 %)

Total virtual pins

0

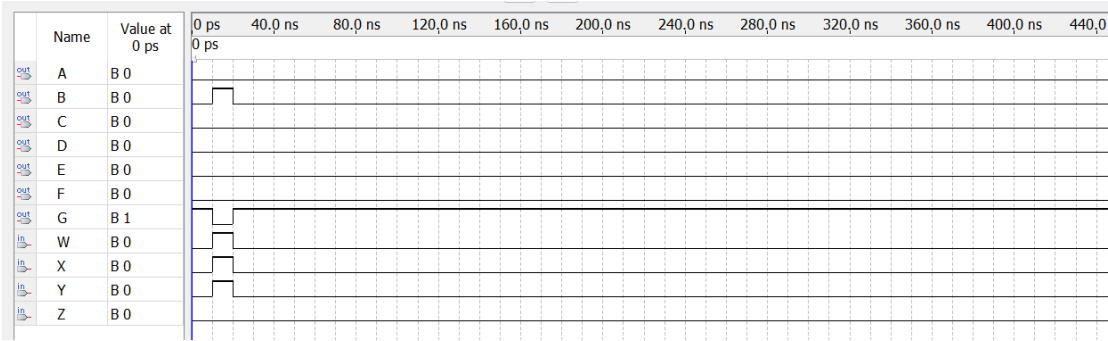
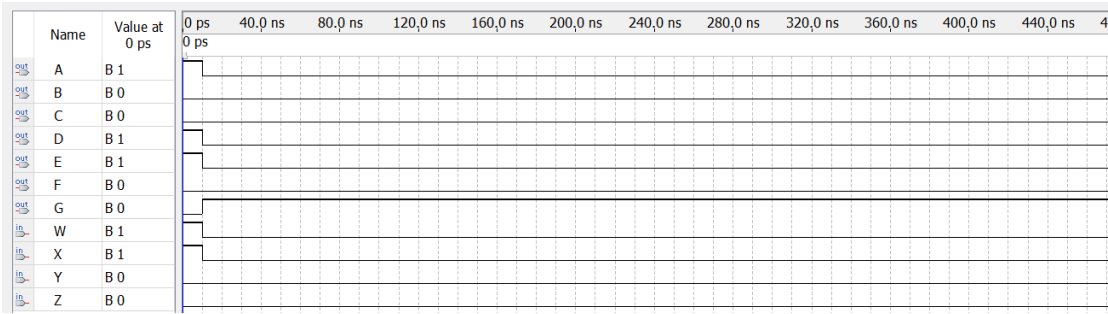
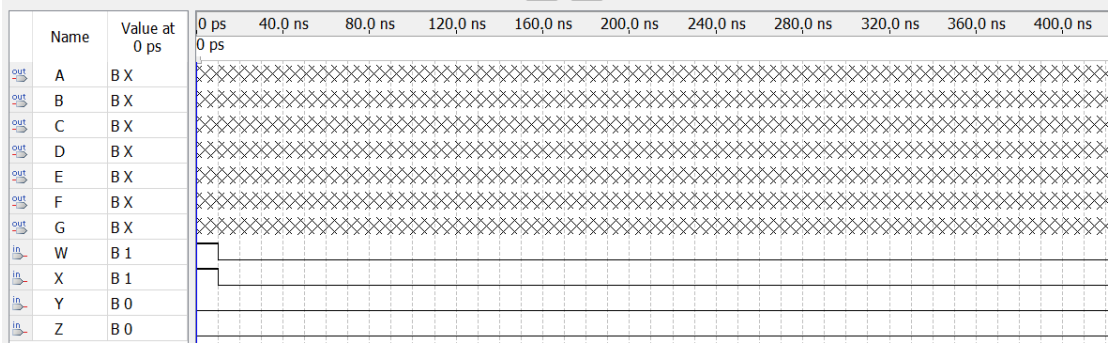
Total memory bits

0 / 59,904 (0 %)

Total BIL

0 / 1 / 0 %

仿真波形图（部分）：



（接上）
实验内容及步骤（含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏）

管脚分配:

Top View Wire Bond

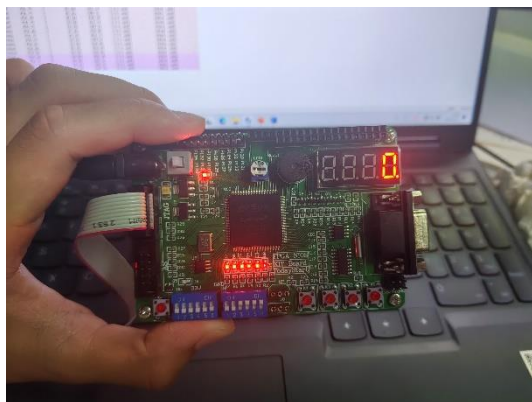
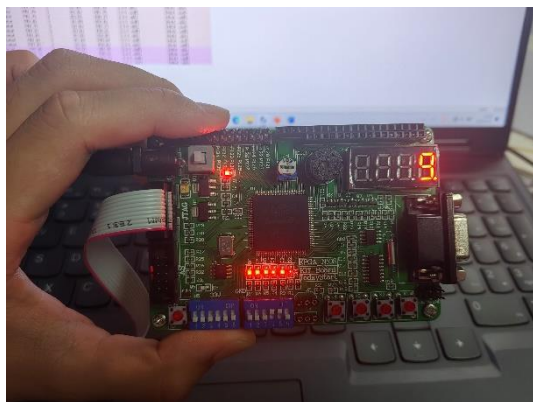
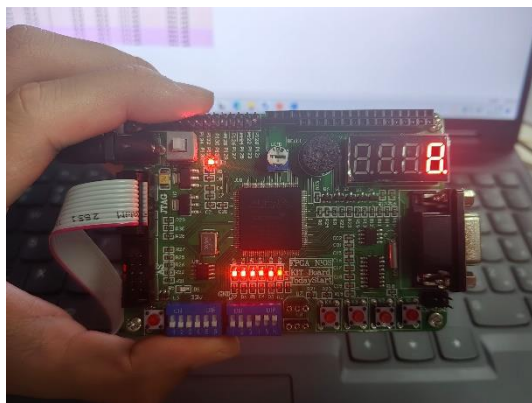
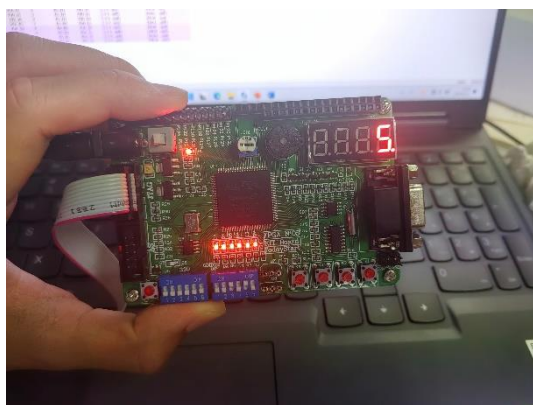
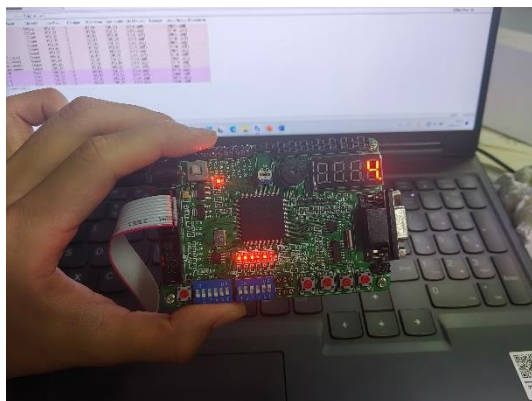
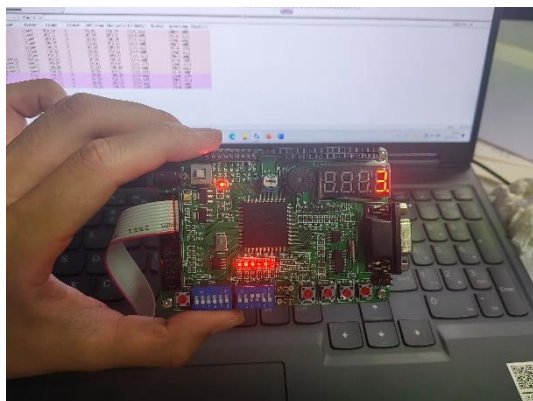
Cyclone EP1C3T144C8

Node Name	Direction	Location	I/O Bank	VREF Group	I/O Bank	I/O Standard	Reserved	I/O Strength	I/O Differential Pa
A	Output	PIN_74	3	B3_N2	PIN_74	3.3-V...ault		24mA ...ault	
B	Output	PIN_77	3	B3_N2	PIN_77	3.3-V...ault		24mA ...ault	
C	Output	PIN_78	3	B3_N2	PIN_78	3.3-V...ault		24mA ...ault	
D	Output	PIN_79	3	B3_N2	PIN_79	3.3-V...ault		24mA ...ault	
E	Output	PIN_75	3	B3_N2	PIN_75	3.3-V...ault		24mA ...ault	
F	Output	PIN_82	3	B3_N2	PIN_82	3.3-V...ault		24mA ...ault	
G	Output	PIN_73	3	B3_N2	PIN_73	3.3-V...ault		24mA ...ault	
W	Input	PIN_50	4	B4_N2	PIN_50	3.3-V...ault		24mA ...ault	
X	Input	PIN_51	4	B4_N2	PIN_51	3.3-V...ault		24mA ...ault	
Y	Input	PIN_53	4	B4_N1	PIN_53	3.3-V...ault		24mA ...ault	
Z	Input	PIN_54	4	B4_N1	PIN_54	3.3-V...ault		24mA ...ault	
pin_name1	Unknown	PIN_91	3	B3_N1		3.3-V...ault		24mA ...ault	
pin_name2	Unknown	PIN_85	3	B3_N2		3.3-V...ault		24mA ...ault	
pin_name3	Unknown	PIN_84	3	B3_N2		3.3-V...ault		24mA ...ault	
pin_name4	Unknown	PIN_83	3	B3_N2		3.3-V...ault		24mA ...ault	

实验结果图示:



(接
上)
实验内
容及步
骤(含
电路原
理图
/Verilog
程序、
管脚分
配、仿
真结果
等;扩
展内容
也列入
本栏)



	<p>*补充:</p> <p>实验整体思路把握:</p> <p>(1) 逻辑设计:</p> <p>① 绘制电路图, 确定数码管使能信号;</p> <p>② 获取 0-9 的拨码开关 4bit 二进制码, 七段译码管显示 0-9 数字的编码, 构建真值表。</p> <p>(2) 软件实现:</p> <p>① 用 Quartus II 绘制电路原理图;</p> <p>② 进行编译;</p> <p>③ 仿真, 检查波形图是否与输出预期相符;</p> <p>④ 配置管脚;</p> <p>⑤ 下载到电路板, 进行实物验证。</p>
实验结果分析	<p>(1) 编译成功, 仿真成功, 顺利分配针脚, 也成功下载到了电路板上。</p> <p>(2) 根据所给真值表, 成功显示出了 0-9 数字的编码, 完美完成了实验的所有要求。</p>
实验方案的缺陷及改进意见	<p>(1) 一开始针脚分配错误, 经过改进调整后分配正确。</p> <p>(2) 电路图经过多次修改, 设计时逻辑不是很清晰, 要加强设计前的分析工作。</p>
心得体会、问题讨论	<p>这是我第一次接触数字逻辑的实验, 在该过程中遇到了很多困难, 画电路图的时候遇到了很多麻烦, 在编译和最终检验的时候也是差强人意, 好在在实验过程中有老师和助教姐的耐心指导, 才让我成功完成实验。</p> <p>通过这次实验, 我学会了如何使用 Quartus II 软件绘制电路图并刻录到电路板上, 也属于是我单片机这一方面的入门学习。</p> <p>虽然困难重重, 但是我在与困难 battle 的过程中提升了自我, 巩固了知识。感谢有这一次接触新事物的机会, 感谢老师和助教, 感谢帮助我的同学, 也感谢我自己。</p>
指导教师评议	<p>成绩评定:</p> <p>指导教师签名:</p>