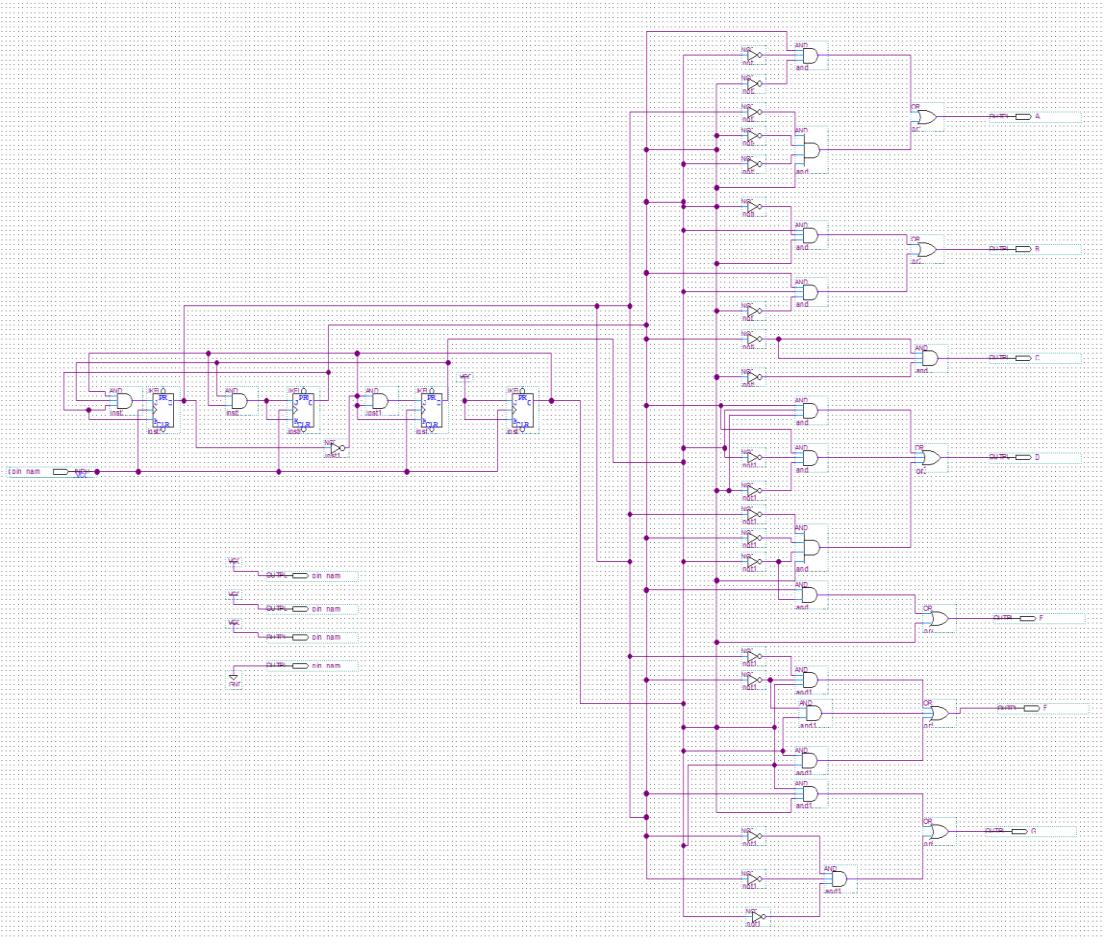


# 四川大学软件学院数字逻辑实验

## 实验报告

学号: 299999999 姓名: Gother 专业: 软件工程 班级: 2399999999 第 15 周

实验项目	同步十进制计数器	实验时间	2024 年 6 月 5 日
实验目的	设计一个同步十进制计数器，计数范围 0-9，时钟输入频率 0.5HZ。并把计数器的四位输出作为实验一的 BCD 码输入，在数码管上显示计数的数字		
实验环境	(1) Modelsim SE-64 10.4 (2) Quartus II (3) 数字电路开发板		
实验内容及步骤（含电路原理图 /Verilog 程序、管脚分配、仿真结果等；扩展内容也列入本栏）	<p>电路原理图:</p> 		

## 编译结果：

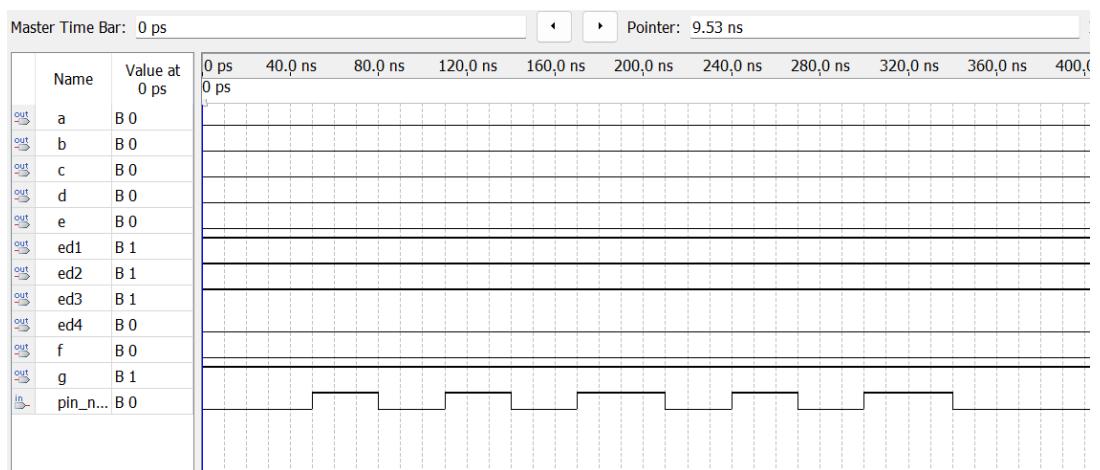
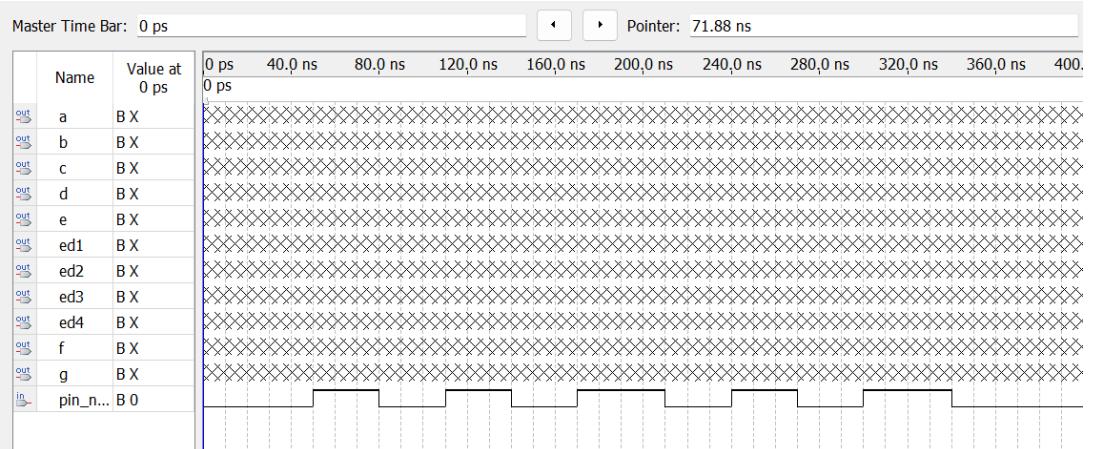
### Flow Summary

Flow Status	Successful - Wed Jun 05 20:00:46 2024
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Full Version
Revision Name	exe2_0605
Top-level Entity Name	exe2_0605
Family	Cyclone
Device	EP1C3T144C8
Timing Models	Final
Total logic elements	91 / 2,910 ( 3 % )
Total pins	12 / 104 ( 12 % )
Total virtual pins	0
Total memory bits	0 / 59,904 ( 0 % )
Total PLLs	0 / 1 ( 0 % )

(接  
上)

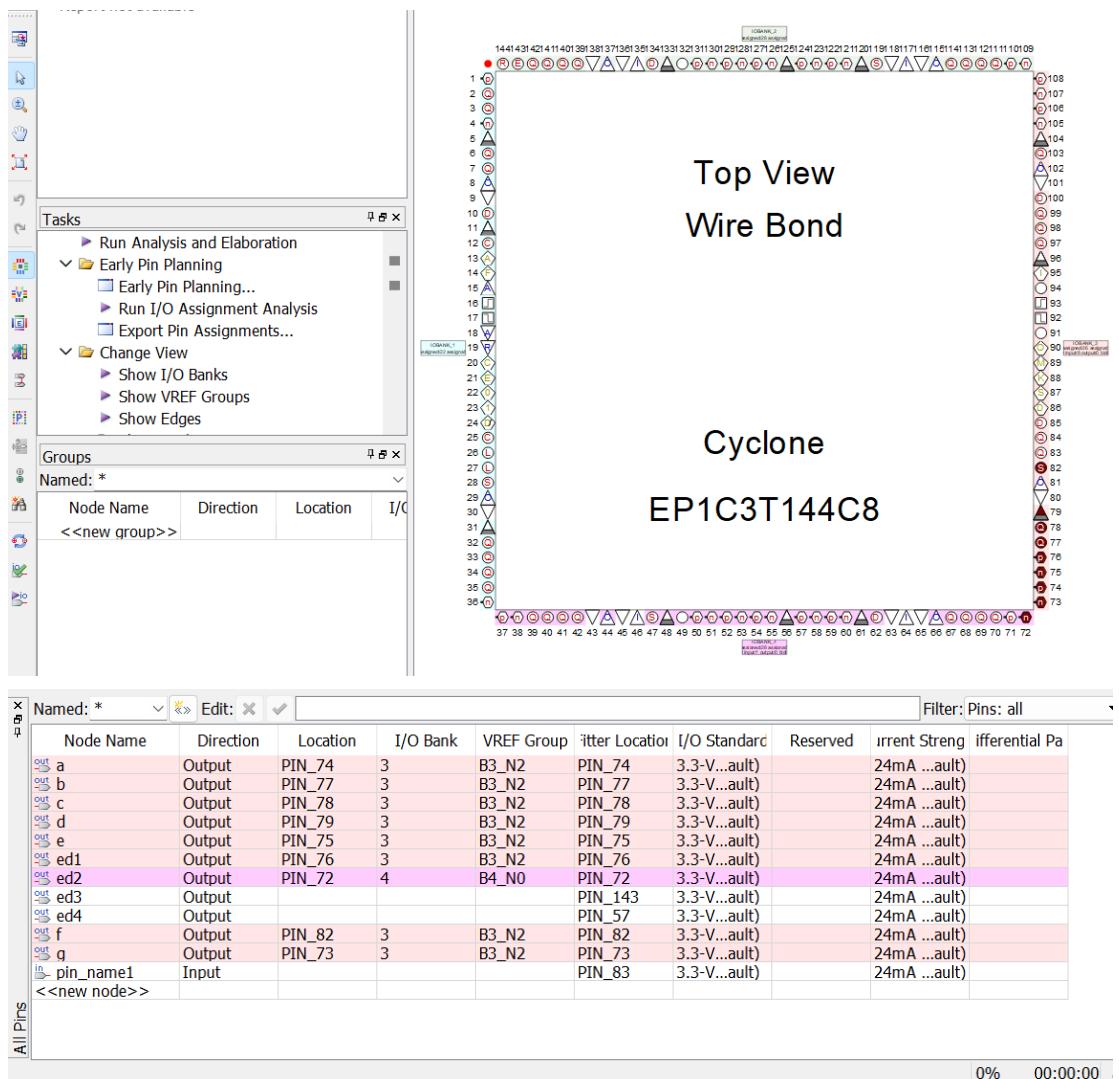
实验内  
容及步  
骤（含  
电路原  
理图  
/Verilog  
程序、  
管脚分  
配、仿  
真结果  
等；扩  
展内容  
也列入  
本栏）

## 仿真波形图（部分）：

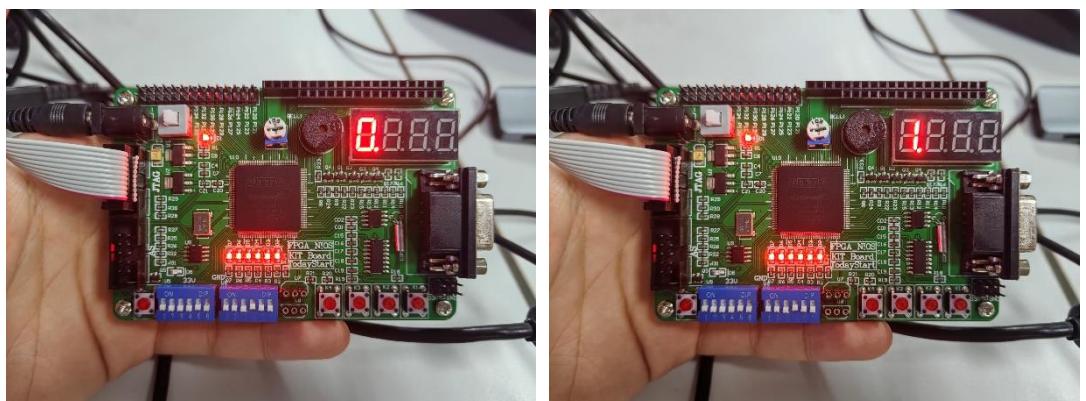


(接上)  
实验内容及步骤(含电路原理图  
/Verilog程序、管脚分配、仿真结果等; 扩展内容也列入本栏)

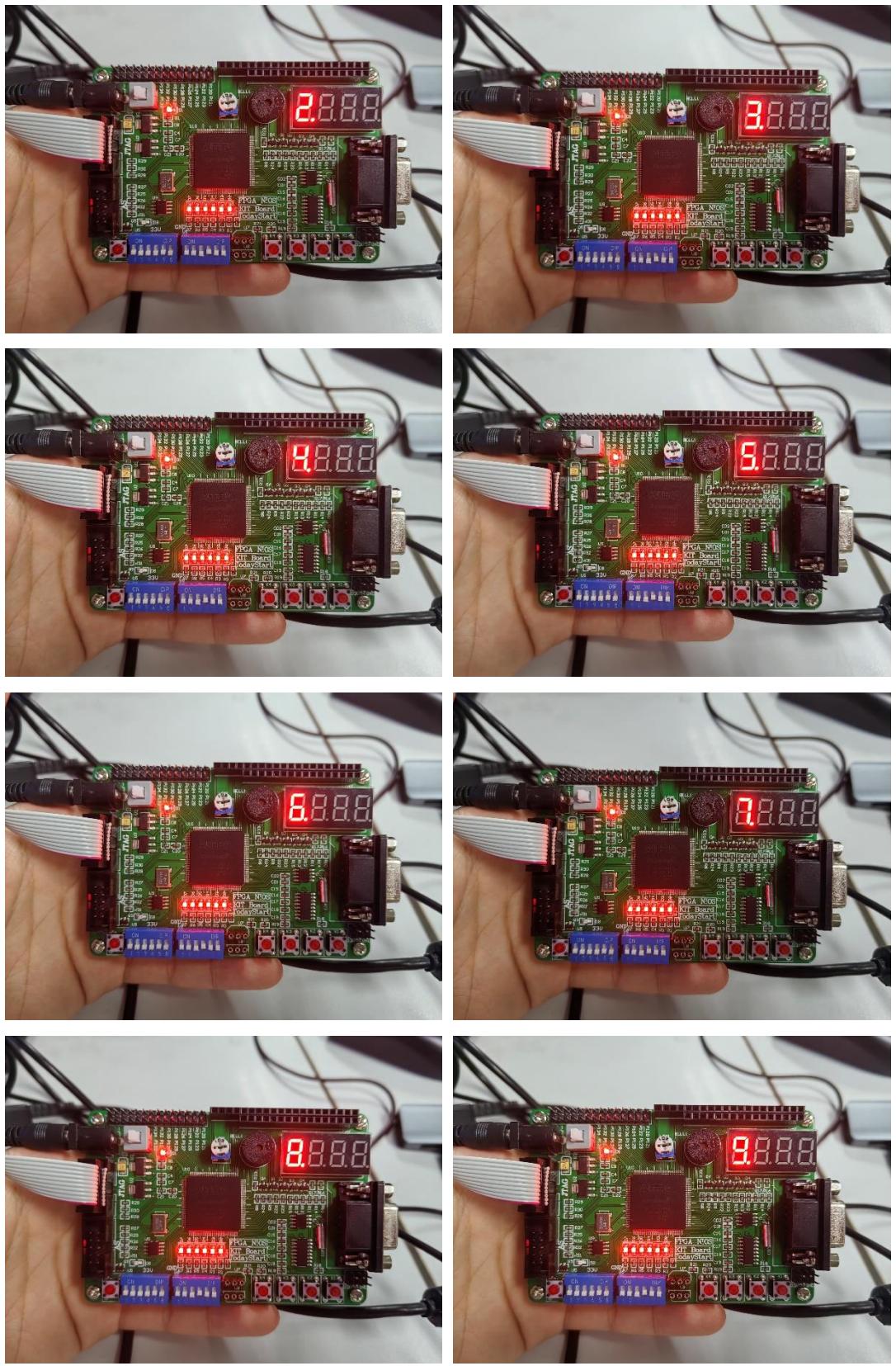
## 管脚分配:



## 实验结果图示:



(接上)  
实验内容及步骤（含电路原理图  
/Verilog  
程序、管脚分配、仿真结果等；扩  
展内容也列入本栏）



	<p>*补充：</p> <p>实验整体思路把握：</p> <p>(1) 逻辑设计：</p> <ul style="list-style-type: none"> <li>① 绘制电路图，确定数码管使能信号；获取 0-9 的拨码开关 4bit 二进制码，七段译码管显示 0-9 数字的编码，构建真值表。</li> <li>② 在实验一的基础上进行操作，加入触发器模块，使计数器 2s 变化一次，从 0-9 的依次显示，到 9 之后又从 0 开始，继续循环计数。</li> </ul> <p>(2) 软件实现：</p> <ul style="list-style-type: none"> <li>① 用 Quartus II 绘制电路原理图；② 进行编译；③ 仿真，检查波形图是否与输出预期相符；④ 配置管脚；⑤ 下载到电路板，进行实物验证。</li> </ul>
实验结果分析	<p>(1) 编译成功，仿真成功，顺利分配针脚，也成功下载到了电路板上。</p> <p>(2) 在实验一的基础上增加了触发器模块，修改了部分电路，在电路板上能够显示出 0-9 的数字，并且能够循环显示。实现了实验的全部目标，完美完成了实验。</p>
实验方案的缺点及改进意见	<p>(1) 刚开始设计电路图时链接错了触发器。</p> <p>(1) 设置针脚时没有设置完整，导致编译失败。</p>
心得体会、问题讨论	<p>这是第二次进入实验室进行数字逻辑的实验了，比上一次有了很大的进步，对于软件的操作熟练了很多，逻辑也清晰了很多。当然，在实验的过程中也遇到了一些困难，由于第一次实验的针脚分配丢失，这次实验花了比较长的时间重新调整。在这期间有同学们与我沟通交流，我也得到了老师的帮助，真的很感谢大家。</p> <p>在接下来数字逻辑的学习中，我也将更加努力学习，掌握知识。争取成为德智体美劳五育齐进步的社会主义新青年！</p>
指导老师评议	<p>成绩评定：</p> <p>指导教师签名：</p>