

NI PXI/PCI-6561/6562 Specifications

100/200 MHz Digital Waveform Generator/Analyzer

このドキュメントには、日本語ページも含まれています。

This document provides the specifications for the NI PXI/PCI-6561 (NI 6561) and the NI PXI/PCI-6562 (NI 6562), collectively called the NI 656x.

Typical values are representative of an average unit operating at room temperature. Specifications are subject to change without notice. For the most recent NI 656x specifications, visit ni.com/manuals.

To access the NI 656x documentation, including the *NI Digital Waveform Generator/Analyzer Getting Started Guide*, which contains functional descriptions of the NI 656x signals, navigate to **Start»All Programs»National Instruments»NI-HSDIO»Documentation**.



Caution If the NI 656x has been in use, it may exceed safe handling temperatures and cause burns. Allow the NI 656x to cool before removing it from the chassis.

Contents

Channel Specifications.....	2
Generation Channels (Data, DDC CLK OUT, and PFI <0..3>).....	3
Acquisition Channels (Data, STROBE, and PFI <0..3>)	4
Timing Specifications	5
Sample Clock	5
Generation Timing (Data, DDC CLK OUT, and PFI <0..3> Channels)	7
Acquisition Timing (Data, STROBE, and PFI <0..3> Channels)....	12
CLK IN (SMB Jack Connector)	16
STROBE (DDC Connector)	17
PXI_STAR (PXI Backplane).....	18
CLK OUT (SMB Jack Connector)	18
DDC CLK OUT LVDS (DDC Connector).....	19
DDC CLK OUT LVPECL (DDC Connector)	19
Reference Clock (PLL).....	20

Waveform Specifications	21
Memory and Scripting	21
Triggers (Inputs to the NI 656x)	23
Events (Generated from the NI 656x)	25
Miscellaneous	26
Power	26
Software	27
Environment	28
Safety, Electromagnetic Compatibility, and CE Compliance	29
Physical Specifications	30

Channel Specifications

Specification	Value				Comments
Number of data channels	16				—
Direction control of data channels	Single Data Rate (SDR)		Double Data Rate (DDR)		Using SDR, data is clocked using the rising or falling edge of the Sample clock. Using DDR, data is clocked using both edges of the Sample clock.
	Data<0..15>	Per channel	Data<0..7>	Dedicated for data generation	
			Data<8..15>	Dedicated for data acquisition	
Number of Programmable Function Interface (PFI) channels	4				Refer to the Waveform Specifications section for more details.
Direction control of PFI channels	Per channel				—
Number of clock terminals	3 input 3 output				Refer to the Timing Specifications section for more details.

Generation Channels (Data, DDC CLK OUT, and PFI <0..3>)

Specification	Value						Comments
Generation voltage families	Data <0..15>, PFI <1..2>, DDC CLK OUT LVDS		DDC CLK OUT LVPECL	PFI 0	PFI 3		—
	LVDS		LVPECL	LVC MOS	LVDS or LVC MOS (software selectable)		
Generation voltage levels (LVDS)	Offset (V_{os})			Differential Voltage (V_{od})			Into 100 Ω differential load, TIA/EIA-644 compliant
	Min	Typ	Max	Min	Typ	Max	
	1.125 V	1.220 V	1.375 V	247 mV	305 mV	454 mV	
Generation voltage levels (LVCMOS)	Low Voltage Levels			High Voltage Levels			—
	Max			Min			
	0.2 V			2.8 V			
Generation voltage levels (LVPECL)	Single Ended Output High			Single Ended Output Low			Into open load.
	Min	Max		Min	Max		
	2.16 V	2.50 V		1.38 V	1.72 V		
Output impedance	LVDS			LVC MOS/LVPECL			Nominal
	100 Ω differential			50 Ω series			
Data channel driver enable/disable control	Per channel						Software-selectable
Channel power-on state	Drivers disabled, 100 Ω differential impedance Data channels have a weak pull-up resistor (300 kΩ), internal to the I/O buffer, to 3.3 V. This internal pull-up resistor is a fail-safe mechanism intended to set a known state when the receiver circuit is not being driven.						PFI 3 powers up in LVDS mode.
Output protection	Each channel can indefinitely sustain a short to any voltage between 0 and 5 V and is protected from up to 12 kV ESD.						—

Acquisition Channels (Data, STROBE, and PFI <0..3>)

Specification	Value			Comments
Acquisition voltage families	Data <0..15>, PFI <1..2> and STROBE	PFI 0	PFI 3	—
	LVDS	LVC MOS	LVDS or LVC MOS (software-selectable)	
Acquisition voltage levels (LVDS)	Voltage Threshold	Voltage Range		TIA/EIA-644 compliant
	Max¹	Min	Max	
	±50 mV	0 V	2.4 V	
Acquisition voltage levels (LVC MOS)	Low Voltage Threshold	High Voltage Threshold		—
	Max	Min		
	0.8 V	2 V		
Input impedance	LVDS	LVC MOS		PFI 3 powers up in LVDS mode.
	100 Ω differential	10 kΩ		
	Data channels have a weak pull-up resistor (300 kΩ), internal to the I/O buffer, to 3.3 V. This internal pull-up resistor is a fail-safe mechanism intended to set a known state when the receiver circuit is not being driven.			
Input protection	Each channel can indefinitely sustain a short to any voltage between 0 and 5 V and is protected from up to 12 kV ESD.			—
¹ The device under test must supply more than 50 mV of differential voltage.				

Timing Specifications

Sample Clock

Specification	Value	Comments
Sample clock sources	1. On Board Clock (internal voltage-controlled crystal oscillator (VCXO) with divider) 2. CLK IN (SMB jack connector) 3. PXI_STAR (PXI backplane—PXI only) 4. STROBE (Digital Data & Control (DDC) connector; acquisition only)	—
On Board Clock frequency range	NI 6561: 48 Hz to 100 MHz Configurable to 200 MHz/ N ; $2 \leq N \leq 4,194,304$ NI 6562: 48 Hz to 200 MHz Configurable to 200 MHz/ N ; $1 \leq N \leq 4,194,304$	—
CLK IN frequency range	NI 6561: 20 kHz to 100 MHz NI 6562: 20 kHz to 200 MHz	Refer to the CLK IN (SMB Jack Connector) section for restrictions based on waveform type.
PXI_STAR frequency range (PXI only)	48 Hz to 70 MHz	Refer to the PXI_STAR (PXI Backplane) section.
STROBE frequency range	NI 6561: 48 Hz to 100 MHz NI 6562: 48 Hz to 200 MHz	Refer to the STROBE (DDC Connector) section.

Specification	Value		Comments
Sample clock relative delay adjustment range	0 to 1 Sample clock period		You can apply a delay or phase adjustment to the On Board Clock to align multiple devices.
Sample clock relative delay adjustment resolution	10 ps		
Exported Sample clock destinations	1. DDC CLK OUT (DDC connector) Note: Selecting DDC CLK OUT in software will export the internal Sample clock to the DDC CLK OUT LVDS and DDC CLK OUT LVPECL terminals. 2. CLK OUT (SMB jack connector)		Internal Sample clocks with sources other than STROBE can be exported.
Exported Sample clock delay	Frequency Range	Delay Range	Supported for clock frequencies ≥ 25 MHz
	25 to <50 MHz	0.0 to 1.0 Sample clock periods; Refer to Figure 1, <i>Valid Data Position Delay Ranges</i> , for more information.	
	50 MHz to max clock frequency	0.0 to 1.0 Sample clock periods	
Exported Sample clock delay resolution (δ_C)	1/256 of Sample clock period or 60 ps, whichever is greater		Supported for clock frequencies ≥ 25 MHz
Exported Sample clock jitter	Period Jitter	Cycle-to-Cycle Jitter	Typical; using On Board Clock
	19 ps _{rms}	29 ps _{rms}	
Exported Sample clock transition time	1 ns		—
Exported Sample clock duty cycle	47 to 53%		—

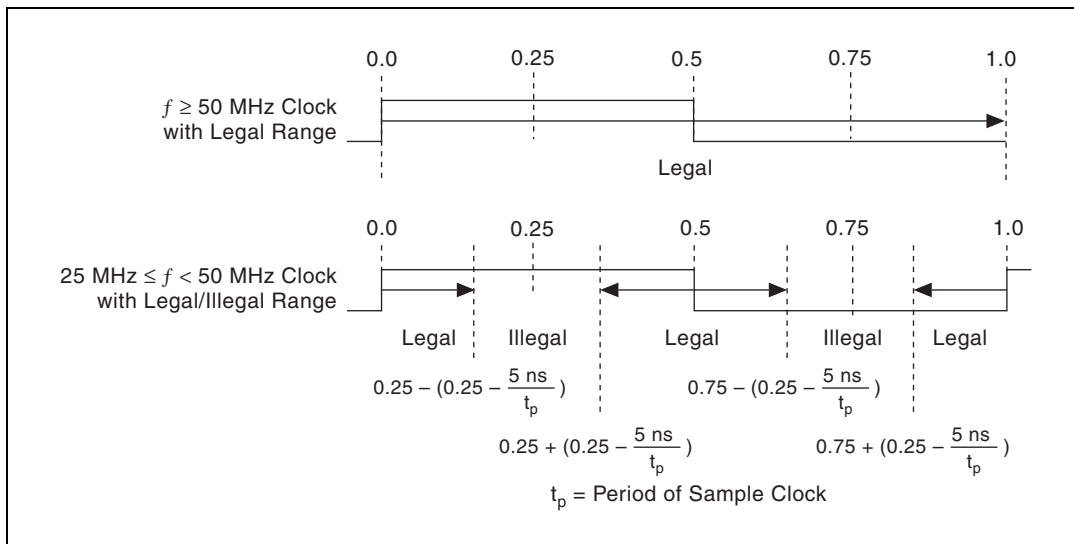


Figure 1. Valid Data Position Delay Ranges

Generation Timing (Data, DDC CLK OUT, and PFI <0..3> Channels)

Specification	Value				Comments
Data channel-to-channel skew	Typical		Max		Across all data channels and PFI <1..2>
	±215 ps		±500 ps		
Maximum data channel toggle rate	Single Data Rate (SDR)		Double Data Rate (DDR)		—
	NI 6561	NI 6562	NI 6561	NI 6562	
	50 MHz	100 MHz	100 MHz	200 MHz	
Data position modes	Rising edge, Falling edge, or Delayed				Relative to Sample clock

Specification	Value		Comments
Generation data delay (δ_G)	Frequency Range	Delay Range	Supported for clock frequencies ≥ 25 MHz
	25 to 50 MHz	0.0 to 1.0 Sample clock periods; Refer to Figure 1, Valid Data Position Delay Ranges , for more information.	
	50 MHz to max clock frequency	0.0 to 1.0 Sample clock periods	
Generation data delay resolution (δ_G)	1/256 of Sample clock period or 60 ps, whichever is greater		Supported for clock frequencies ≥ 25 MHz

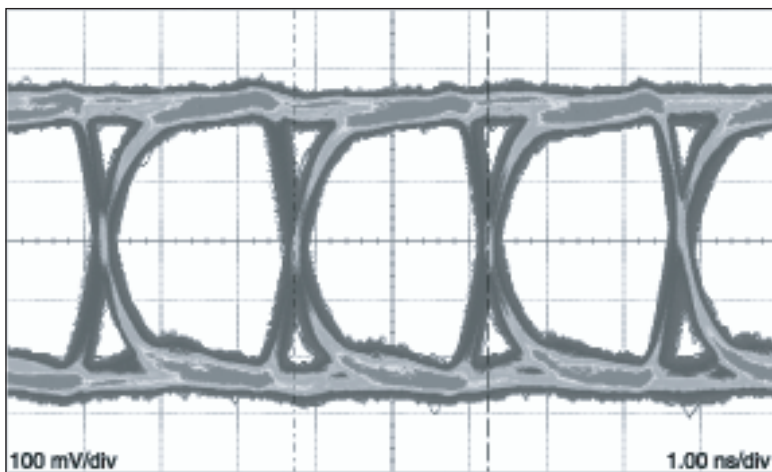
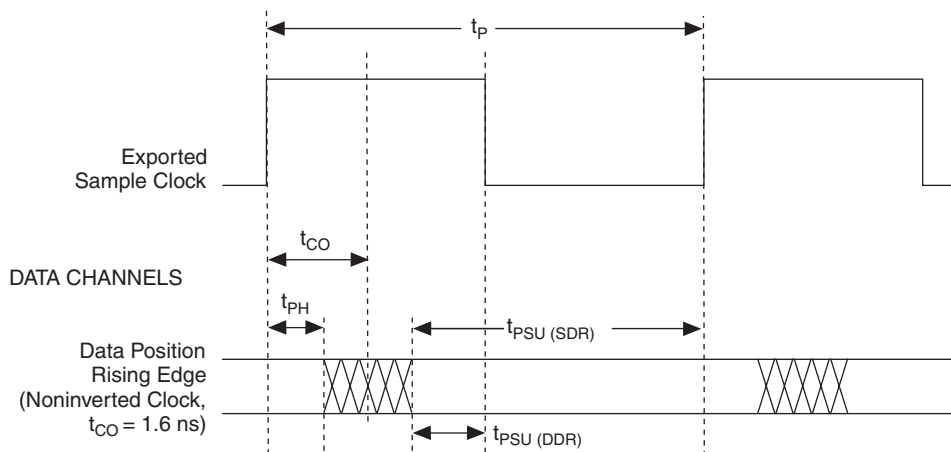


Figure 2. Eye Diagram¹

¹ This eye diagram was captured on DIO 0 (200 MHz clock rate in DDR mode) at room temperature into 100 Ω differential terminating resistance.

Specification	Value				Comments
Data transition time	1 ns maximum Transition time could be as fast as 610 ps.				20 to 80% transitions.
PFI transition time	PFI 0	PFI <1..2>	PFI 3 (LVCMOS)	PFI 3 (LVDS)	Typical. 20 to 80% transitions.
	6 ns	2.5 ns	6 ns	4.2 ns	
Exported Sample clock offset (t_{CO})	1.6 ns				Refer to Figure 3, <i>Generation Provided Setup and Hold Times Timing Diagram</i> .
Time delay from internal Sample clock to DDC Connector (t_{SCDDC})	5.8 ns				Typical.
Exported Sample clock offset to selectable PFI	LVDS (t_{CPD})		LVCMOS (t_{CPS})		Typical.
	2 ns		3.45 ns		
Generation provided setup and hold times	Minimum Provided Setup Time (t_{SUP})		Minimum Provided Hold Time (t_{HP})		Exported Sample clock mode set to Noninverted.
	$t_p - 2.2$ ns		1.1 ns		
Compare the setup and hold times from the datasheet of your device under test (DUT) to the values in the preceding table. The provided setup and hold times must be greater than the setup and hold times required for the DUT. If you require more setup time, configure your exported Sample clock mode as Inverted and/or delay your data relative to the Sample clock.					
Refer to Figure 3, <i>Generation Provided Setup and Hold Times Timing Diagram</i> , for a diagram illustrating the relationship between the exported Sample clock mode and the provided setup and hold times.					
Notes: This table assumes the Data Position is set to the rising edge of the Sample clock and that the Sample clock is exported to the DDC connector.					
This table includes worst-case effects of channel-to-channel skew, inter-symbol interference, and jitter.					



$$t_p = \frac{1}{f} = \text{Period of Sample Clock}$$

t_{PH} = Minimum Provided Hold Time

t_{PSU} = Minimum Provided Setup Time; SDR = Single Data Rate, DDR = Double Data Rate

t_{CO} = Exported Sample Clock Offset

Note: At 25 MHz and higher, STROBE duty cycle is corrected to 50%.

Figure 3. Generation Provided Setup and Hold Times Timing Diagram

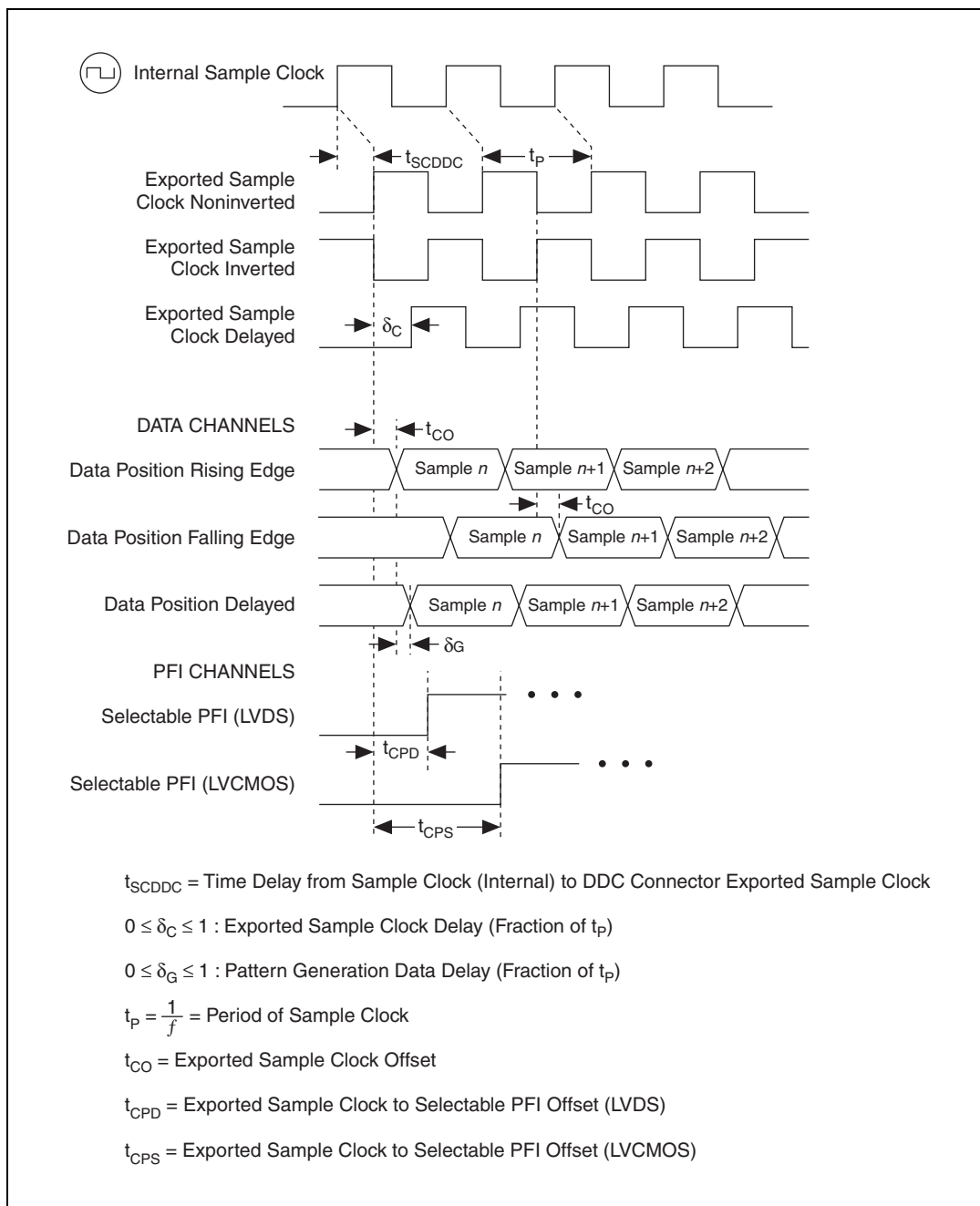


Figure 4. Generation Timing Diagram¹

¹ SDR mode generation shown.

Acquisition Timing (Data, STROBE, and PFI <0..3> Channels)

Specification	Value				Comments
Channel-to-channel skew	$f \geq 25 \text{ MHz}$		$f < 25 \text{ MHz}$		Across all data channels and PFI<1..2>
	Typ	Max	Typ	Max	
	$\pm 330 \text{ ps}$	$\pm 600 \text{ ps}$	$\pm 600 \text{ ps}$	$\pm 1.2 \text{ ns}$	
Data position modes	Rising edge, Falling edge, or Delayed				Relative to Sample clock
Setup time to STROBE (t_{SUS})	$f \geq 25 \text{ MHz} = 1.1 \text{ ns}$ $f < 25 \text{ MHz} = 1.8 \text{ ns}$ Note: At 25 MHz and higher, STROBE duty cycle is corrected to 50% while maintaining rising edge placement.				Maximum; includes maximum data channel-to-channel skew
Hold time to STROBE (t_{HS})	$f \geq 25 \text{ MHz} = 0.8 \text{ ns}$ $f < 25 \text{ MHz} = 2.1 \text{ ns}$ Note: At 25 MHz and higher, STROBE duty cycle is corrected to 50% while maintaining rising edge placement.				Maximum; includes maximum data channel-to-channel skew
Time delay from DDC connector data to internal Sample clock (t_{DDCSC})	$f \geq 25 \text{ MHz} = 5.6 \text{ ns}$ $f < 25 \text{ MHz} = 6.6 \text{ ns}$				Typical
Setup time to Sample clock (t_{SUSC})	$f \geq 25 \text{ MHz} = 0.9 \text{ ns}$ $f < 25 \text{ MHz} = 1.9 \text{ ns}$				Does not include data channel-to-channel skew, t_{DDCSC} , or t_{SCDDC}
Hold time to Sample clock (t_{HSC})	$f \geq 25 \text{ MHz} = -0.4 \text{ ns}$ $f < 25 \text{ MHz} = -0.6 \text{ ns}$				Does not include data channel-to-channel skew, t_{DDCSC} , or t_{SCDDC}

Specification	Value		Comments
Acquisition data delay (δ_A)	Frequency Range	Delay Range	Supported for clock frequencies ≥ 25 MHz
	25 to <50 MHz	0.0 to 1.0 Sample clock periods; Refer to Figure 1, Valid Data Position Delay Ranges , for more information.	
	50 MHz to max clock frequency	0.0 to 1.0 Sample clock period	
Acquisition data delay resolution (δ_A)	1/256 of Sample clock period or 60 ps, whichever is greater		Supported for clock frequencies ≥ 25 MHz

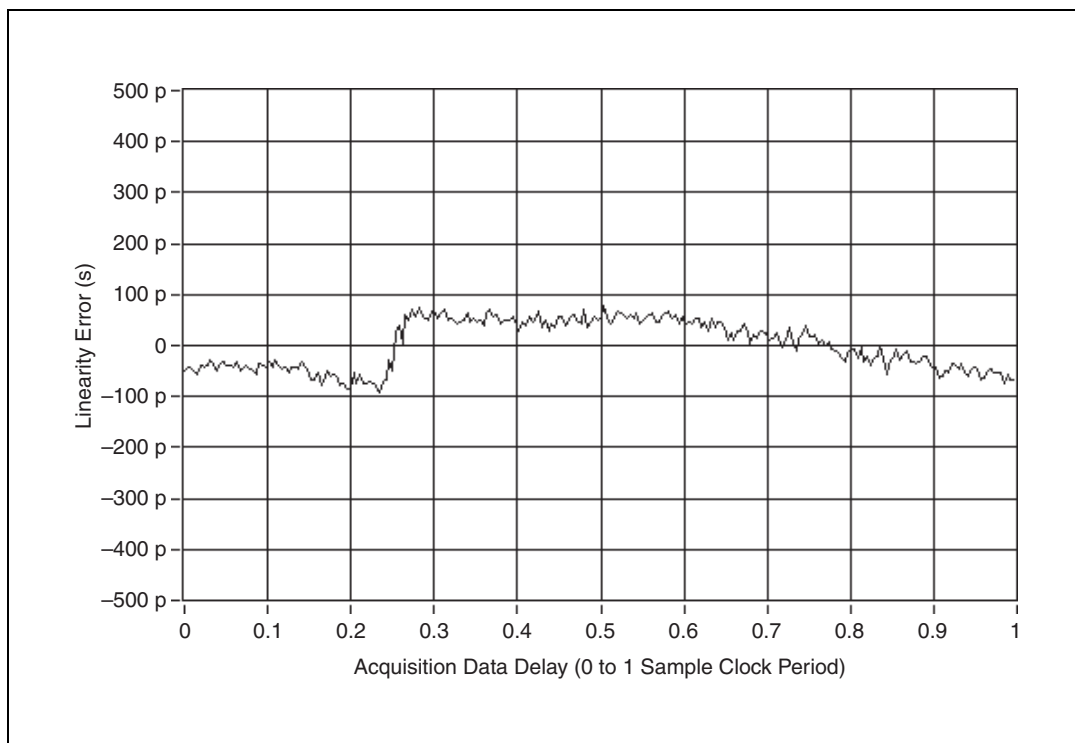
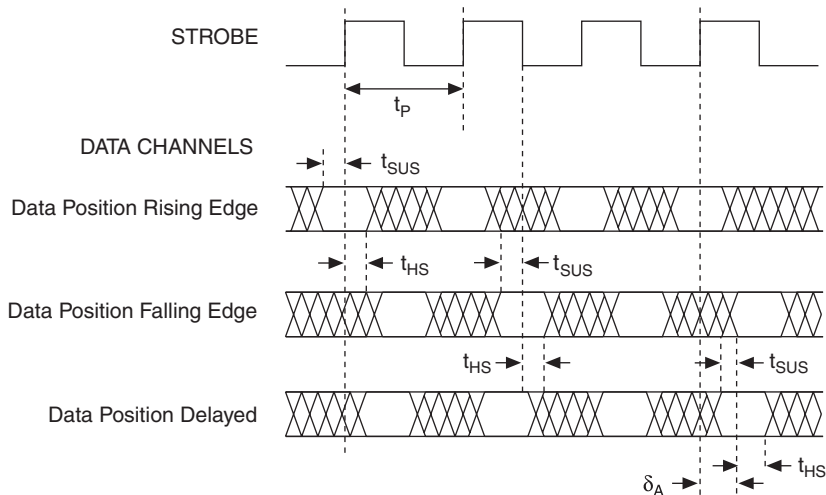


Figure 5. Acquisition Data Delay Normalized Linearity



t_{SUS} = Set-up Time to STROBE

t_{HS} = Hold Time from STROBE

$0 \leq \delta_A \leq 1$: Pattern Acquisition Data Delay (fraction of t_P)

$t_P = \frac{1}{f}$ = Period of Sample Clock

Note: At 25 MHz and higher, STROBE duty cycle is corrected to 50% while maintaining rising edge placement.

Figure 6. Acquisition Timing Diagram Using STROBE as the Sample Clock¹

¹ SDR mode acquisition shown.

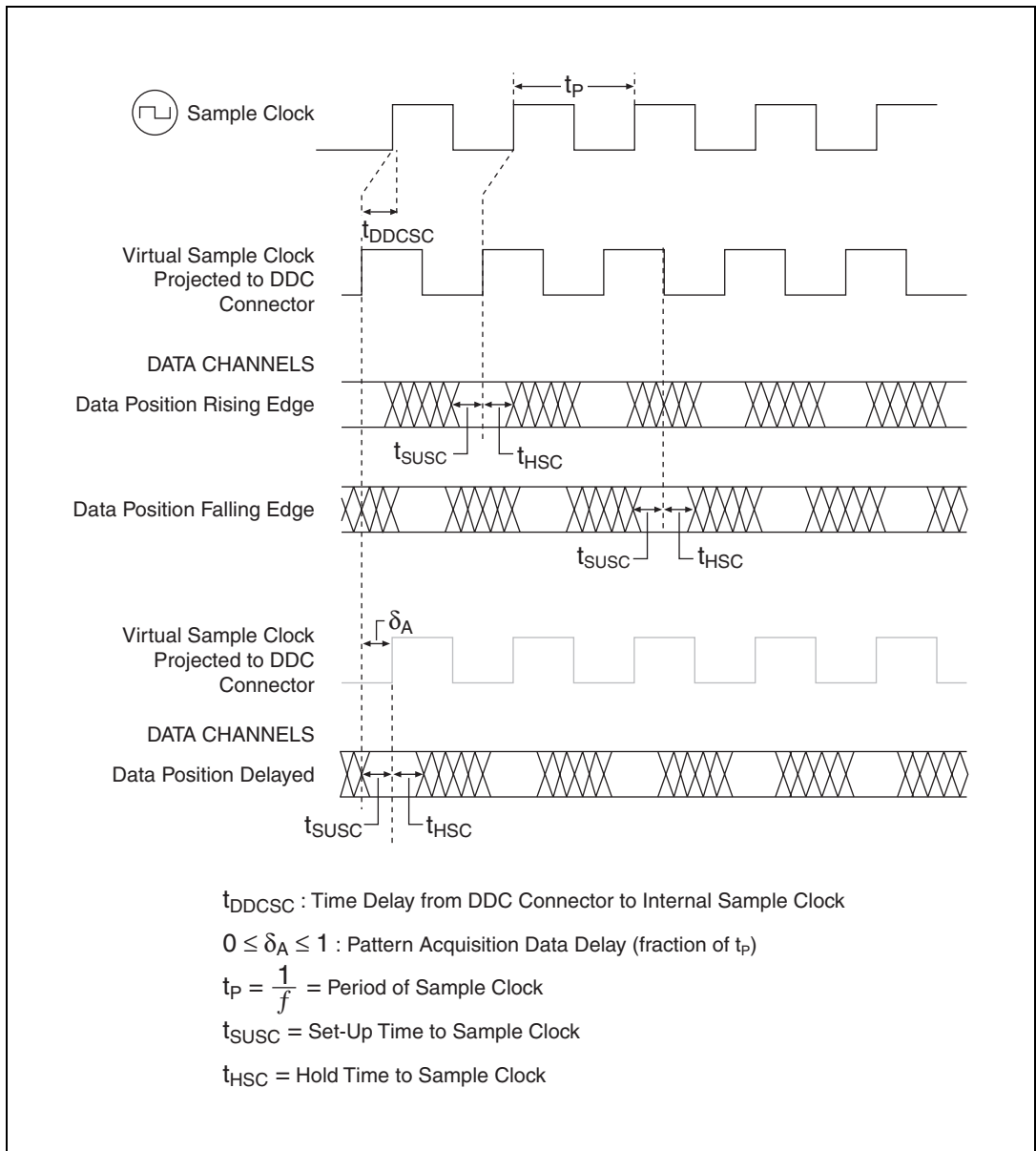


Figure 7. Acquisition Timing Diagram with Sample Clock Sources Other than STROBE¹

¹ SDR mode acquisition shown.

CLK IN (SMB Jack Connector)

Specification	Value	Comments			
Direction	Input into device	—			
Destinations	1. Reference clock (for the phase lock loop (PLL)) 2. Sample clock	—			
Input coupling	AC	—			
Input protection	±10 VDC	—			
Input impedance	50 Ω (default) or 1 kΩ	Software-selectable			
Minimum detectable pulse width	2 ns	—			
Clock requirements	Clock must be continuous.	—			
As Sample Clock					
External Sample clock range	Square Waves			—	
	Voltage range	0.65 to 5.0 V _{pp}			
	Frequency range	NI 6561: 20 kHz to 100 MHz			
		NI 6562: 20 kHz to 200 MHz			
	Duty cycle range	<i>f</i> < 50 MHz: 25 to 75% <i>f</i> ≥ 50 MHz: 40 to 60%			
	Sine Waves				
	Voltage range	0.65 to 5.0 V _{pp}	1.0 to 5.0 V _{pp}		2.0 to 5.0 V _{pp}
	Frequency range	NI 6561: 5.5 to 100 MHz	NI 6561: 3.5 to 100 MHz		NI 6561: 1.8 to 100 MHz
		NI 6562: 5.5 to 200 MHz	NI 6562: 3.5 to 200 MHz		NI 6562: 1.8 to 200 MHz

Specification	Value	Comments
As Reference Clock		
Reference clock frequency range	10 MHz \pm 50 ppm	—
Reference clock voltage range	0.65 to 5.0 V _{pp}	—
Reference clock duty cycle	25 to 75%	—

STROBE (DDC Connector)

Specification	Value	Comments
Direction	Input into device	—
Destinations	Sample clock (acquisition only)	—
STROBE frequency range	NI 6561: 48 Hz to 100 MHz NI 6562: 48 Hz to 200 MHz	—
STROBE duty cycle range	NI 6561: 25 to 75% for clock frequencies <50 MHz NI 6562: 40 to 60% for clock frequencies \geq 50 MHz 25 to 75% for clock frequencies <50 MHz	—
Minimum detectable pulse width	2 ns	—
Clock requirements	Clock must be continuous.	—
Input impedance	100 Ω differential Data channels have a weak pull-up resistor (300 k Ω), internal to the I/O buffer, to 3.3 V. This internal pull-up resistor is a fail-safe mechanism intended to set a known state when the receiver circuit is not being driven.	—

PXI_STAR (PXI Backplane)

Specification	Value	Comments
Direction	Input into device	—
Destinations	1. Sample clock 2. Start trigger 3. Reference trigger (acquisition sessions only) 4. Advance trigger (acquisition sessions only) 5. Pause trigger (generation sessions only) 6. Script trigger <0..3> (generation sessions only)	—
PXI_STAR frequency range	48 Hz to 70 MHz	—
Clock requirements	Clock must be continuous.	—

CLK OUT (SMB Jack Connector)

Specification	Value	Comments
Direction	Output from device	—
Sources	1. Sample clock (excluding STROBE) 2. Reference clock (PLL)	—
Output impedance	50 Ω nominal	—
Voltage families	LVC MOS	—
Maximum drive current	32 mA	—

DDC CLK OUT LVDS (DDC Connector)

Specification	Value						Comments
Direction	Output from device						—
Sources	Sample clock Note: Exporting the internal Sample clock to DDC CLK OUT in software will export the internal Sample clock to the DDC CLK OUT LVDS and DDC CLK OUT LVPECL terminals.						STROBE cannot be routed to DDC CLK OUT.
Voltage families	LVDS						—
Voltage levels	Offset (V_{os})			Differential Voltage (V_{od})			Into 100 Ω differential load, TIA/EIA-644 compliant
	Min	Typ	Max	Min	Typ	Max	
	1.125 V	1.220 V	1.375 V	247 mV	305 mV	454 mV	
Transition time	1 ns						—
Output impedance	100 Ω differential						—
Output protection	This terminal can indefinitely sustain a short to any voltage between 0 and 5 V and is protected from up to 15 kV ESD.						—

DDC CLK OUT LVPECL (DDC Connector)

Specification	Value				Comments
Direction	Output from device				—
Source	Sample clock Note: Exporting the internal Sample clock to DDC CLK OUT in software will export the internal Sample clock to the DDC CLK OUT LVDS and DDC CLK OUT LVPECL terminals.				STROBE cannot be routed to DDC CLK OUT.
Voltage families	LVPECL				—
Voltage levels	Single-Ended Output High		Single-Ended Output Low		Into open load
	Min	Max	Min	Max	
	2.16 V	2.50 V	1.38 V	1.72 V	

Specification	Value	Comments
Transition time	1 ns	—
Output impedance	50 Ω source series nominal	Series impedance on each polarity
Output protection	This terminal can indefinitely sustain a short to any voltage between 0 and 5 V and is protected from up to 15 kV ESD.	—

Reference Clock (PLL)

Specification	Value	Comments
Reference clock sources	<ol style="list-style-type: none"> 1. PXI_CLK10 (PXI backplane—PXI only) 2. RTSI 7 (PCI only) 3. CLK IN (SMB jack connector) 4. None (onboard clock source not locked to a reference) 	Provides the reference frequency for the phase lock loop
Lock time	400 ms	Typical
Reference clock frequencies	10 MHz \pm 50 ppm	—
Reference clock duty cycle range	25 to 75%	—
Reference clock destinations	CLK OUT (SMB jack connector)	—

Waveform Specifications

Memory and Scripting

Specification	Value			Comments
Memory architecture	The NI 656x uses the Synchronization and Memory Core (SMC) technology in which waveforms and instructions share onboard memory. Parameters such as number of script instructions, maximum number of waveforms in memory, and number of samples (S) available for waveform storage are flexible and user-defined.			Refer to the <i>Onboard Memory</i> section in the <i>NI Digital Waveform Generator/ Analyzer Help</i> for more information.
Onboard memory size	2 Mbit/channel (for generation sessions)	16 Mbit/channel (for generation sessions)	128 Mbit/channel (for generation sessions)	Maximum limit for generation sessions assumes no scripting instructions. Onboard memory size doubles with 8-bit data width (DDR mode).
	2 Mbit/channel (for acquisition sessions)	16 Mbit/channel (for acquisition sessions)	128 Mbit/channel (for acquisition sessions)	
Generation modes	Single-waveform mode: Generate a single waveform once, <i>n</i> times, or continuously.			—
	Scripted mode: Generate a simple or complex sequence of waveforms. Use scripts to describe the waveforms to be generated, the order in which the waveforms are generated, how many times the waveforms are generated, and how the device responds to Script triggers.			

Specification	Value		Comments
Generation minimum waveform size	Configuration	Sample Rate	
		200 MHz (NI 6562 only)	100 MHz
	Single waveform	4 S	4 S
	Continuous waveform	64 S	32 S
	Stepped sequence	256 S	128 S
	Burst sequence	1,024 S	512 S
	Note: Waveform quantum and block size double when using 8-bit data width (DDR mode).		Sample rate dependent. Increasing sample rate increases minimum waveform size requirement. For information on these configurations, refer to <i>Common Scripting Use Cases</i> in the <i>NI Digital Waveform Generator/Analyzer Help</i> .
Generation finite repeat count	1 to 16,777,216		—
Generation waveform quantum	Waveform size must be an integer multiple of 4 S. Note: Waveform quantum and block size double when using 8-bit data width (DDR mode).		Regardless of waveform size, NI-HSDIO allocates waveforms into block sizes of 64 S of physical memory.
Acquisition minimum record size	1 S		Regardless of waveform size, NI-HSDIO allocates at least 128 bytes for a record.
Acquisition record quantum	1 S		—

Specification	Value	Comments
Acquisition maximum number of records	2,147,483,647	The maximum value varies based on the memory size of your device and memory consumed by saved scripts.
Acquisition number of pre-Reference trigger samples	0 up to full record	—
Acquisition number of post-Reference trigger samples	0 up to full record	—

Triggers (Inputs to the NI 656x)

Specification	Value	Comments
Trigger types	<ol style="list-style-type: none"> 1. Start trigger 2. Pause trigger 3. Script trigger <0..3> (generation sessions only) 4. Reference trigger (acquisition sessions only) 5. Advance trigger (acquisition sessions only) 	—
Sources	<ol style="list-style-type: none"> 1. PFI 0 (SMB jack connector) 2. PFI <1..3> (DDC connector) 3. PXI_TRIG<0..7> (PXI backplane—PXI only)/RTSI<0..7> (RTSI bus—PCI only) 4. PXI_STAR (PXI backplane—PXI only) 5. Pattern match (acquisition sessions only) 6. Software (user function call) 7. Disabled (do not wait for a trigger) 	—

Specification	Value			Comments
Trigger detection	1. Start trigger (edge detection: rising or falling) 2. Pause trigger (level detection: high or low) 3. Script trigger <0..3> (edge detection: rising or falling; level detection: high or low) 4. Reference trigger (edge detection: rising or falling) 5. Advance trigger (edge detection: rising or falling)			—
Minimum required trigger pulse width	Generation Triggers		Acquisition Triggers	—
	30 ns		Acquisition triggers must meet setup and hold time requirements. For triggers synchronous to STROBE, triggers must meet setup and hold requirements. For asynchronous triggers, pulse width must be larger than the greater of 30 ns or <i>Clock Period + Setup + Hold</i>	
Trigger rearm time	Start to Reference Trigger	Start to Advance Trigger	Reference to Reference Trigger	—
	85 S, typical; 96 S, maximum	220 S, typical; 230 S, maximum	210 S, typical; 230 S, maximum	
Destinations	1. PFI 0 (SMB jack connectors) 2. PFI <1..3> (DDC connector) 3. PXI_TRIG<0..6> (PXI backplane—PXI only)/RTSI<0..6> (RTSI bus—PCI only)			Each trigger can be routed to any destination except the Pause trigger. The Pause trigger cannot be exported for acquisition sessions.

Specification	Value		Comments
Delay from Pause trigger to Pause state	Generation Sessions	Acquisition Sessions	Use the Data Active event during generation to determine when the NI 656x enters the Pause state.
	31 Sample clock periods + 90 ns	Synchronous to the data	
Delay from trigger to digital data output	34 Sample clock periods + 85 ns		—

Events (Generated from the NI 656x)

Specification	Value	Comments
Event type	<ol style="list-style-type: none"> 1. Marker <0..3> (generation sessions only) 2. Data Active event (generation sessions only) 3. Ready for Start event 4. Ready for Advance event (acquisition sessions only) 5. End of record event (acquisition sessions only) 	—
Destinations	<ol style="list-style-type: none"> 1. PFI 0 (SMB jack connectors) 2. PFI <1..3> (DDC connector) 3. PXI_TRIG<0..6> (PXI backplane—PXI only)/RTSI<0..6> (RTSI bus—PCI only) 	Each event can be routed to any destination, except the Data Active event. The Data Active event can only be routed to the PFI channels.
Marker time resolution (placement)	Markers must be placed at an integer multiple of 4 S.	Marker time resolution doubles with 8-bit data width (DDR mode).

Miscellaneous

Specification	Value	Comments
Warm-up time	15 minutes	—
On Board Clock characteristics (valid when PLL reference source is set to None)		
Frequency accuracy	± 100 ppm	Typical
Temperature stability	± 30 ppm	Typical
Aging	± 5 ppm first year	Typical

Power

Specification	Value		Comments
	PXI	PCI	
+3.3 VDC	1.8 A	1.7 A	All values refer to maximum power.
+5 VDC	1.0 A	1.1 A	
+12 VDC	0.4 A	0.4 A	
–12 VDC	0.05 A	0.05 A	
Total power	16.4 W	16.5 W	

Software

Specification	Value	Comments
Driver software	NI-HSDIO driver software 1.3 or later. NI-HSDIO allows you to configure and control the NI 656x. NI-HSDIO provides application interfaces for many development environments. NI-HSDIO follows IVI application programming interface (API) guidelines.	—
Application software	NI-HSDIO provides programming interfaces for the following application development environments: <ul style="list-style-type: none">• National Instruments LabVIEW 7.0 or later• National Instruments LabWindows[™]/CVI[™] 6.0 or later• Microsoft Visual C/C++ 6.0 or later	—
Test panel	National Instruments Measurement & Automation Explorer (MAX) provides test panels with basic acquisition and generation functionality for the NI 656x. MAX is included on the NI-HSDIO driver CD.	—

Environment



Note To ensure that the NI 656x cools effectively, follow the guidelines in the *Maintain Forced Air Cooling Note to Users* included with the NI 656x. The NI 656x is intended for indoor use only.

Specification	Value	Comments
Operating temperature	PXI: 0 to +55 °C in all NI PXI chassis except the following: 0 to +45 °C when installed in an NI PXI-1000/B and NI PXI-101X chassis (Meets IEC 60068-2-1 and IEC 60068-2-2.) PCI: 0 to +45 °C	—
Storage temperature	–20 to 70 °C	—
Operating relative humidity	10 to 90% relative humidity, noncondensing (Meets IEC 60068-2-56)	—
Storage relative humidity	5 to 95% relative humidity, noncondensing (Meets IEC 60068-2-56)	—
Operating shock	30 g, half-sine, 11 ms pulse (Meets IEC 60068-2-27. Test profile developed in accordance with MIL-PRF-28800F.)	—
Storage shock	50 g, half-size, 11 ms pulse (Meets IEC 60068-2-27. Test profile developed in accordance with MIL-PRF-28800F.)	—
Operating vibration	5 to 500 Hz, 0.31 g _{rms} (Meets IEC 60068-2-64.)	—
Storage vibration	5 to 500 Hz, 2.46 g _{rms} (Meets IEC 60068-2-64. Test profile exceeds requirements of MIL-PRF-28800F, Class 3.)	—
Maximum altitude	0 to 2,000 m above sea level (at 25 °C ambient temperature)	—
Pollution Degree	2	—

Safety, Electromagnetic Compatibility, and CE Compliance

Specification	Value	Comments
Safety	<p>The NI 656x meets the requirements of the following standards of safety for electrical equipment for measurement, control, and laboratory use:</p> <ul style="list-style-type: none"> • IEC 61010-1, EN 61010-1 • UL 61010-1, CSA 61010-1 	For UL and other safety certifications, refer to the product label or to ni.com .
Emissions	EN 55011 Class A at 10 m FCC Part 15A above 1 GHz	—
Immunity	EN 61326:1997 + A2:2001, Table 1	—
EMC/EMI	CE, C-Tick, and FCC Part 15 (Class A) Compliant	—
This product meets the essential requirements of applicable European Directives, as amended for CE marking, as follows:		
Low-Voltage Directive (safety)	73/23/EEC	—
Electro-magnetic Compatibility Directive (EMC)	89/336/EEC	—
For EMC compliance, operate this device with shielded cabling. In addition, filler panels must be installed. Refer to the Declaration of Conformity (DoC) for this product for any additional regulatory compliance information. To obtain the DoC for this product, visit ni.com/certification , search by model number or product line, and click the appropriate link in the Certification column.		

Physical Specifications

Specification	Value		Comments
Dimensions	PXI: 3U, One Slot, PXI/cPCI Module 21.6 × 2.0 × 13.0 cm (8.5 × 0.8 × 5.1 in) PCI: 12.6 × 35.5 cm (4.96 × 13.9 in.)		—
Weight	PXI: 340 g (12 oz) PCI: 410 g (14.5 oz)		—
Front Panel Connectors			
Label	Function(s)	Connector Type	—
CLK IN	External Sample clock, external PLL reference input	SMB jack connector	—
PFI 0	Events, triggers	SMB jack connector	—
CLK OUT	Exported Sample clock, exported Reference clock	SMB jack connector	—
DIGITAL DATA & CONTROL	Digital data channels, exported Sample clock, STROBE, events, triggers	12X InfiniBand connector	—
	Note: The NI SHB12X-B12X LVDS cable (192344-01) is a pass-through cable. When designing a custom fixture, notice that the cable pinout is reversed from that of the NI 656x. For example, the NI 656x generates DIO 0 on pin 14. This signal connects to pin 60 at the cable end. Refer to the <i>NI Digital Waveform Generator/Analyzer Getting Started Guide</i> or the <i>NI Digital Waveform Generator/Analyzer Help</i> for more pinout information.		

National Instruments, NI, ni.com, and LabVIEW are trademarks of National Instruments Corporation. Refer to the *Terms of Use* section on ni.com/legal for more information about National Instruments trademarks. Other product and company names mentioned herein are trademarks or trade names of their respective companies. For patents covering National Instruments products, refer to the appropriate location: **Help»Patents** in your software, the `patents.txt` file on your CD, or ni.com/patents.

NI PXI/PCI-6561/6562 仕様

100/200 MHz デジタル波形発生器 / アナライザ

このドキュメントでは、総称して NI 656x と呼ぶ、NI PXI/PCI-6561 (NI 6561) および NI PXI/PCI-6562 (NI 6562) の仕様を記載します。

標準値は、室温で動作する平均単位です。仕様は事前の通知なしに変更されることがあります。最新の NI 656x 仕様については、ni.com/manuals をご覧ください。

NI 656x 信号の機能の説明を含む『NI デジタル波形発生器 / アナライザ スタートアップガイド』などの、NI 656x のドキュメントにアクセスするには、**スタート→すべてのプログラム→National Instruments→NI-HSDIO→ドキュメント**を参照してください。



熱面

NI 656x が使用されている場合、安全な取扱温度を超え、火傷をする可能性があります。シャーシから取り外す前に、NI 656x を十分に冷却してください。

目次

チャンネル仕様.....	2
生成チャンネル (データ、DDC CLK OUT、および PFI <0..3>)	3
集録チャンネル (データ、STROBE、および PFI<0..3>)	4
タイミング仕様.....	5
サンプルクロック	5
生成タイミング (データ、DDC CLK OUT、 および PFI <0..3> チャンネル)	7
集録タイミング (データ、STROBE、 および PFI <0..3> チャンネル)	12
CLK IN (SMB ジャックコネクタ)	16
STROBE (DDC コネクタ)	17
PXI_STAR (PXI バックプレーン)	18
CLK OUT (SMB ジャックコネクタ)	18
DDC CLK OUT LVDS (DDC コネクタ)	19
DDC CLK OUT LVPECL (DDC コネクタ)	19
基準クロック (PLL)	20

波形仕様.....	21
メモリとスクリプト.....	21
トリガ (NI 656x への入力)	23
イベント (NI 656x から生成).....	25
その他	25
電源.....	26
ソフトウェア	26
環境.....	27
安全性、電磁両立性、CE 適合	28
物理特性.....	29

チャンネル仕様

仕様	値				コメント
データチャンネル数	16				—
データチャンネルの出入力方向制御	Single Data Rate (SDR)		Double Data Rate (DDR)		SDR では、サンプルクロックの立ち上がりまたは立ち下がりエッジを使用してデータが測定される。DDR では、サンプルクロックの立ち上がりおよび立ち下りの両エッジでデータが測定される。
	データ<0..15>	各チャンネルごと	データ<0..7>	データ生成専用	
			データ<8..15>	データ集録専用	
プログラム可能関数インターフェイス (PFI) チャンネル数	4				詳細については、「 波形仕様 」のセクションを参照してください。

仕様	値	コメント
PFI チャンネルの出入力方向制御	各チャンネルごと	—
クロック端子数	3 入力、3 出力	詳細については、「 タイミング仕様 」のセクションを参照してください。

生成チャンネル（データ、DDC CLK OUT、および PFI <0..3>）

仕様	値						コメント
生成電圧の種類	データ <0..15>、 PFI <1..2>、 DDC CLK OUT LVDS		DDC CLK OUT LVPECL	PFI 0	PFI 3		—
	LVDS		LVPECL	LVC MOS	LVDS または LVC MOS (ソフトウェアで選択可能)		
生成電圧のレベル (LVDS)	オフセット (V _{os})			差動電圧 (V _{od})			100 Ω 差動負荷、TIA/EIA-644 準拠。
	最小	標準	最大	最小	標準	最大	
	1.125 V	1.220 V	1.375 V	247 mV	305 mV	454 mV	
生成電圧のレベル (LVC MOS)	低電圧レベル			高電圧レベル			—
	最大			最小			
	0.2 V			2.8 V			
生成電圧のレベル (LVPECL)	シングルエンド出力高			シングルエンド出力低			開回路へ。
	最小	最大	最小	最大			
	2.16 V	2.50 V	1.38 V	1.72 V			
出力インピーダンス	LVDS			LVC MOS/LVPECL			公称。
	100 Ω 差動			50 Ω 直列			
データチャンネル駆動有効 / 無効制御	各チャンネルごと						ソフトウェアで選択可能。

仕様	値	コメント
チャンネル電源投入時の状態	ドライバ無効、100 Ω 差動インピーダンス データチャンネルには、I/O バッファ、3.3 V にする内部に微小なプルアップ抵抗（300 kΩ）があります。この内部プルアップ抵抗は、レシーバ回路が駆動されていない場合に、既知の状態に設定することが目的の二重安全装置です。	PFI 3 は LVDS モードで起動。
出力保護	各チャンネルは、0 ～ 5 V の電圧間で短絡に対して無限に耐え、最大 12 kV ESD まで保護されています。	—

集録チャンネル（データ、STROBE、および PFI<0..3>）

仕様	値			コメント
集録電圧の種類	データ <0..15>、PFI <1..2> および STROBE	PFI 0	PFI 3	—
	LVDS	LVC MOS	LVDS または LVC MOS（ソフトウェアで選択可能）	
集録電圧のレベル (LVDS)	電圧しきい値	電圧レンジ		TIA/EIA-644 準拠。
	最大 ¹	最小	最大	
	±50 mV	0 V	2.4 V	
集録電圧のレベル (LVC MOS)	低電圧しきい値	高電圧しきい値		—
	最大	最小		
	0.8 V	2 V		
入ラインピーダンス	LVDS	LVC MOS		PFI 3 は LVDS モードで起動。
	100 Ω 差動	10 kΩ		
	データチャンネルには、I/O バッファ、3.3 V にする内部に微小なプルアップ抵抗（300 kΩ）があります。この内部プルアップ抵抗は、レシーバ回路が駆動されていない場合に、既知の状態に設定することが目的の二重安全装置です。			
入力保護	各チャンネルは、0 ～ 5 V の電圧間で短絡に対して無限に耐え、最大 12 kV ESD まで保護されています。			—

¹ 被試験物は、50 mV を超える差動電圧を提供する必要があります。

タイミング仕様

サンプルクロック

仕様	値	コメント
サンプルクロックソース	1. オンボードクロック（内部電圧制御水晶発振器（VCXO）ディバイダ付） 2. CLK IN（SMB ジャックコネクタ） 3. PXI_STAR（PXI バックプレーン—PXI のみ） 4. STROBE（DIGITAL DATA & CONTROL（DDC）コネクタ、集録のみ）	—
オンボードクロック周波数範囲	NI 6561: 48 Hz ~ 100 MHz、 200 MHz/ N に構成可能 ($2 \leq N \leq 4,194,304$) NI 6562: 48 Hz ~ 200 MHz、 200 MHz/ N に構成可能 ($1 \leq N \leq 4,194,304$)	—
CLK IN 周波数範囲	NI 6561: 20 kHz ~ 100 MHz NI 6562: 20 kHz ~ 200 MHz	波形タイプによる制限については、 「CLK IN (SMB ジャックコネクタ)」 のセクションを参照してください。
PXI_STAR 周波数範囲 (PXI のみ)	48 Hz ~ 70 MHz	「PXI_STAR (PXI バックプレーン)」 セクションを参照してください。
STROBE 周波数範囲	NI 6561: 48 Hz ~ 100 MHz NI 6562: 48 Hz ~ 200 MHz	「STROBE (DDC コネクタ)」 セクションを参照してください。
サンプルクロック相対遅延の調整範囲	0 ~ 1 サンプルクロック周期	連携する複数のデバイスに対してオンボードクロックの遅延または位相の調整が可能です。
サンプルクロック相対遅延の調整分解能	10 ps	

仕様	値		コメント
エクスポートしたサンプルクロックの出力先	1. DDC CLK OUT (DDC コネクタ) メモ : ソフトウェアで DDC CLK OUT を選択すると、内部サンプルクロックを DDC CLK OUT LVDS および DDC CLK OUT LVPECL 端子にエクスポートします。 2. CLK OUT (SMB ジャックコネクタ)		STROBE 以外のソースとなる内部サンプルクロックをエクスポート可能です。
エクスポートしたサンプルクロックの遅延	周波数範囲	遅延範囲	クロック周波数が 25 MHz 以上の場合。
	25 ~ <50 MHz	0.0 ~ 1.0 サンプルクロック周期、 詳細は図 1、「有効なデータ位置の遅延範囲」を参照してください。	
	50 MHz ~ 最大クロック周波数	0.0 ~ 1.0 サンプルクロック周期	
エクスポートしたサンプルクロックの遅延分解能 (δ_C)	サンプルクロック周期の 1/256 または 60 ps のいずれか大きい方		クロック周波数が 25 MHz 以上の場合。
エクスポートしたサンプルクロックのジッタ	周期ジッタ	サイクル間ジッタ	オンボードクロックを使用した場合の標準値。
	19 ps _{rms}	29 ps _{rms}	
エクスポートしたサンプルクロックの遷移時間	1 ns		—
エクスポートしたサンプルクロックデューティサイクル	47 ~ 53%		—

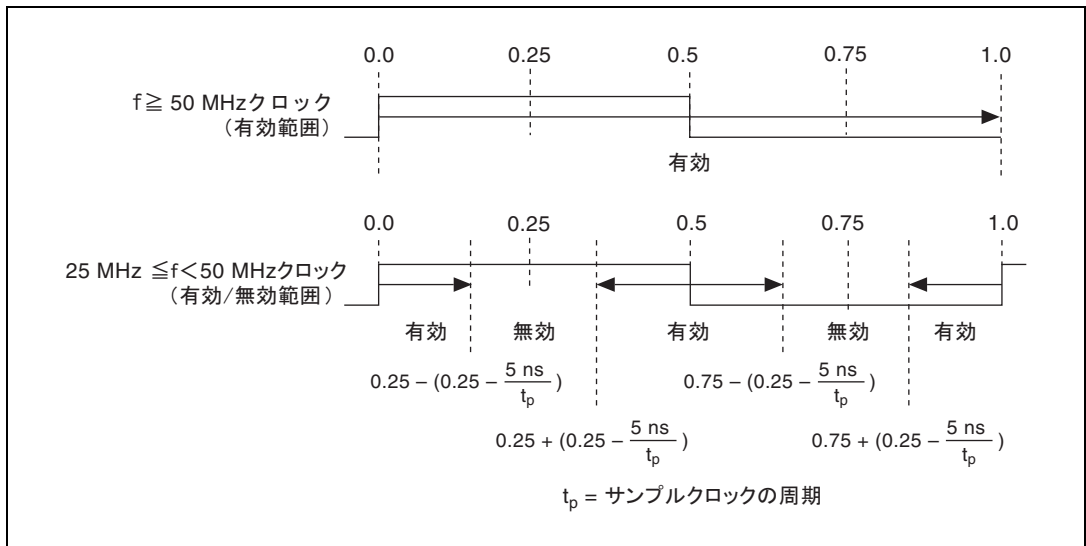


図 1 有効なデータ位置の遅延範囲

生成タイミング（データ、DDC CLK OUT、および PFI <0..3> チャンネル）

仕様	値				コメント
データチャンネル間スキュー	標準値		最大		すべてのデータチャンネルおよび PFI <1..2> 間。
	±215 ps		±500 ps		
最大データチャンネルトグルレート	Single Data Rate (SDR)		Double Data Rate (DDR)		—
	NI 6561	NI 6562	NI 6561	NI 6562	
	50 MHz	100 MHz	100 MHz	200 MHz	
データ位置モード	立ち上がりエッジ、立ち下がりエッジ、または遅延				サンプルクロックを基準とする。

仕様	値		コメント
生成データ遅延 (δ_C)	周波数範囲	遅延範囲	クロック周波数が 25 MHz 以上の場合。
	25 ～ 50 MHz	0.0 ～ 1.0 サンプルクロック周期。詳細については、図 1、「 有効なデータ位置の遅延範囲 」を参照してください。	
	50 MHz ～ 最大クロック周波数	0.0 ～ 1.0 サンプルクロック周期	
生成データ遅延分解能 (δ_C)	サンプルクロック周期の 1/256 または 60 ps のいずれか大きい方		クロック周波数が 25 MHz 以上の場合。

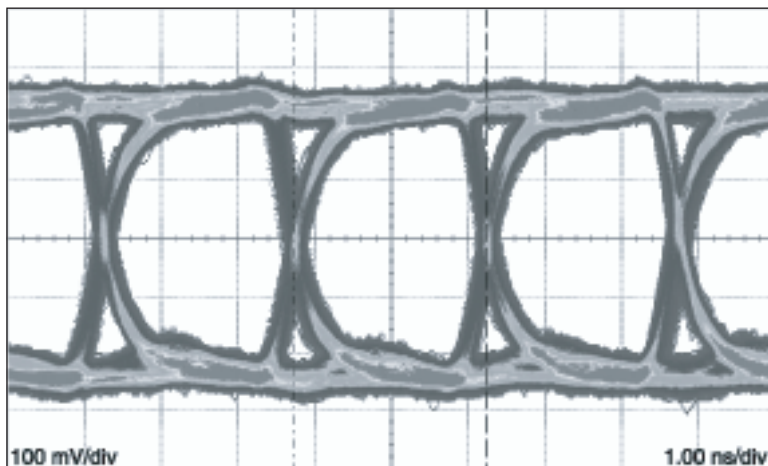


図 2 アイダイアグラム¹

¹ このアイダイアグラムは、100 Ω の差動終端抵抗へ出力する DIO 0 (DDR モードでの 200 MHz クロックレート) をキャプチャしました。(室温時)

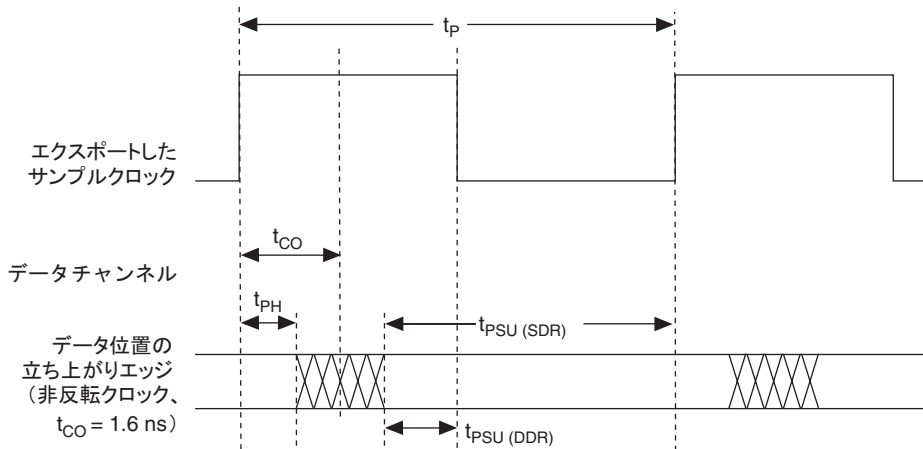
仕様	値				コメント
データ遷移時間	1 ns（最大） 遷移時間は最速 610 ps まで可能。				20% から 80% に推移。
PFI 遷移時間	PFI 0	PFI <1..2>	PFI 3 (LVCMOS)	PFI 3 (LVDS)	標準値。20% から 80% に 推移。
	6 ns	2.5 ns	6 ns	4.2 ns	
エクスポート したサンプル クロックのオ フセット (t _{CO})	1.6 ns				図 3、「 所定の 生成セット アップおよび ホールド時間 のタイミング 図 」を参照し てください。
内部サンプル クロックから DDC コネク タの時間遅延 (t _{SCDDC})	5.8 ns				標準。
エクスポート したサンプル クロックのオ フセットから 選択可能な PFI	LVDS (t _{CPD})		LVCMOS (t _{CPS})		標準。
	2 ns		3.45 ns		
生成が提供さ れるセット アップおよび ホールド時間	所定の最小セットアップ時 間 (t _{SUP})		所定の最小ホールド時間 (t _{HP})		エクスポート したサンプル クロックモー ドを非反転に 設定します。
	t _p - 2.2 ns		1.1 ns		

被試験物（DUT）のデータシートから取得したセットアップおよびホールド時間と上記の表の値を比較します。所定のセットアップおよびホールド時間は、DUT に必要なセットアップおよびホールド時間より大きい必要があります。より長いセットアップ時間が必要な場合は、エクスポートしたサンプルクロックモードを反転に構成するか、またはデータをサンプルクロックに対して遅らせます。

エクスポートしたサンプルクロックモード、および所定のセットアップおよびホールド時間の関係を示す図については、図 3、「[所定の生成セットアップおよびホールド時間のタイミング図](#)」を参照してください。

メモ: この表は、データ位置がサンプルクロックの立ち上がりエッジに設定され、サンプルクロックが DDC コネクタへエクスポートしていることを前提としています。

この表には、チャンネル間スキュー、シンボル間の混信、およびジッタの最悪なケースの影響が含まれています。



$t_P = \frac{1}{f} = \text{サンプルクロックの周期}$

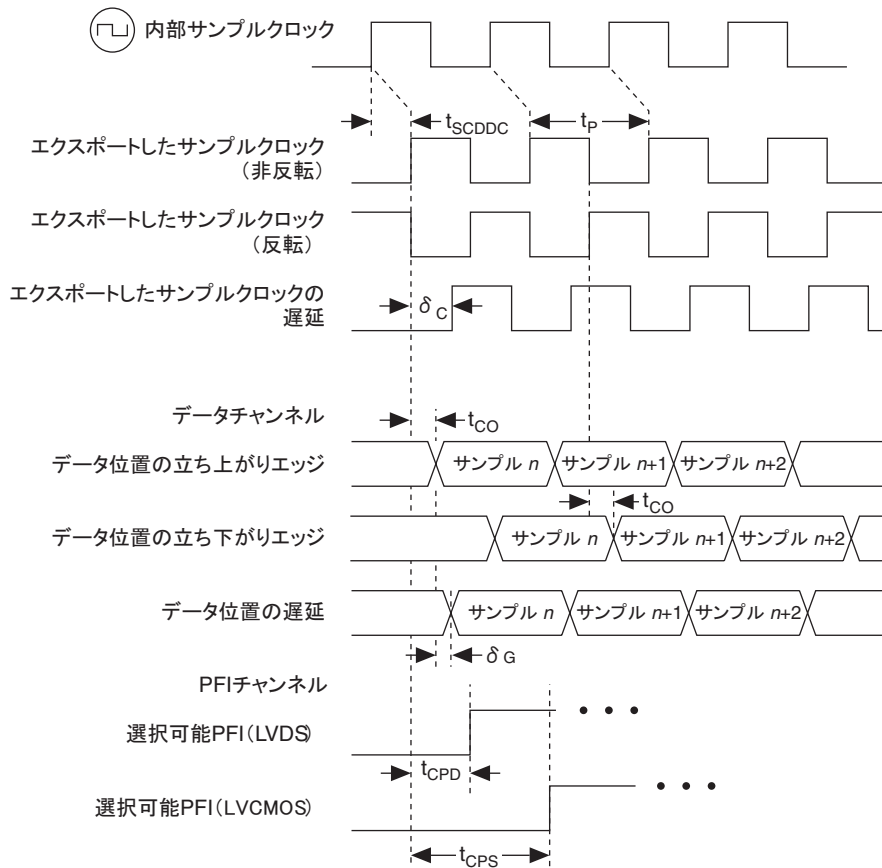
$t_{PH} = \text{所定の最小ホールド時間}$

$t_{PSU} = \text{所定の最小セットアップ時間}$ SDR = Single Data Rate DDR = Double Data Rate

$t_{CO} = \text{エクスポートしたサンプルクロックのオフセット}$

メモ: 25 MHz以上では、STROBEデューティサイクルは50%に修正されます。

図 3 所定の生成セットアップおよびホールド時間のタイミング図



t_{SCDDC} = サンプルクロック (内部) から DDC コネクタの外部サンプルクロックまでの時間遅延

$0 \leq \delta_C \leq 1$: エクスポートしたサンプルクロック遅延 (t_p の割合)

$0 \leq \delta_G \leq 1$: パターン生成のデータ遅延 (t_p の割合)

$t_p = \frac{1}{f}$ = サンプルクロックの周期

t_{CO} = エクスポートしたサンプルクロックのオフセット

t_{CPD} = エクスポートしたサンプルクロックから選択可能 PFI オフセット (LVDS)

t_{CPS} = エクスポートしたサンプルクロックから選択可能 PFI オフセット (LVCMOS)

図 4 生成タイミング図¹

¹ SDR モードの生成を表示。

集録タイミング（データ、STROBE、および PFI <0..3> チャンネル）

仕様	値				コメント
チャンネル間 スキュー	$f \geq 25 \text{ MHz}$		$f < 25 \text{ MHz}$		すべてのデータチャンネルおよび PFI<1..2> 間。
	標準	最大	標準	最大	
	$\pm 330 \text{ ps}$	$\pm 600 \text{ ps}$	$\pm 600 \text{ ps}$	$\pm 1.2 \text{ ns}$	
データ位置 モード	立ち上がりエッジ、立ち下がりエッジ、または遅延				サンプルクロックを基準とする。
STROBE までのセットアップ時間 (t_{SUS})	$f \geq 25 \text{ MHz} = 1.1 \text{ ns}$ $f < 25 \text{ MHz} = 1.8 \text{ ns}$ メモ : 25 MHz 以上では、立ち上がりエッジの配置は維持され、STROBE デューティサイクルは 50% に修正されます。				最大、最大データチャンネル間スキュー。
STROBE からのホールド時間 (t_{HS})	$f \geq 25 \text{ MHz} = 0.8 \text{ ns}$ $f < 25 \text{ MHz} = 2.1 \text{ ns}$ メモ : 25 MHz 以上では、立ち上がりエッジの配置は維持され、STROBE デューティサイクルは 50% に修正されます。				最大、最大データチャンネル間スキュー。
DDC コネクタから内部サンプルクロックまでの時間遅延 (t_{DDCSC})	$f \geq 25 \text{ MHz} = 5.6 \text{ ns}$ $f < 25 \text{ MHz} = 6.6 \text{ ns}$				標準値。
サンプルクロックからのセットアップ時間 (t_{SUSC})	$f \geq 25 \text{ MHz} = 0.9 \text{ ns}$ $f < 25 \text{ MHz} = 1.9 \text{ ns}$				データチャンネル間スキュー、 t_{DDCSC} 、または t_{SCDDC} は含まれません。
サンプルクロックからのホールド時間 (t_{HSC})	$f \geq 25 \text{ MHz} = -0.4 \text{ ns}$ $f < 25 \text{ MHz} = -0.6 \text{ ns}$				データチャンネル間スキュー、 t_{DDCSC} 、または t_{SCDDC} は含まれません。

仕様	値		コメント
集録データ遅延 (δ_A)	周波数範囲	遅延範囲	クロック周波数が 25 MHz 以上の場合。
	25 ～ 50 MHz 未満	0.0 ～ 1.0 サンプルクロック周期。 詳細については、図 1、「有効なデータ位置の遅延範囲」を参照してください。	
	50 MHz ～最大クロック周波数	0.0 ～ 1.0 サンプルクロック周期	
集録データ遅延分解能 (δ_A)	サンプルクロック周期の 1/256 または 60 ps のいずれか大きい方		クロック周波数が 25 MHz 以上の場合。

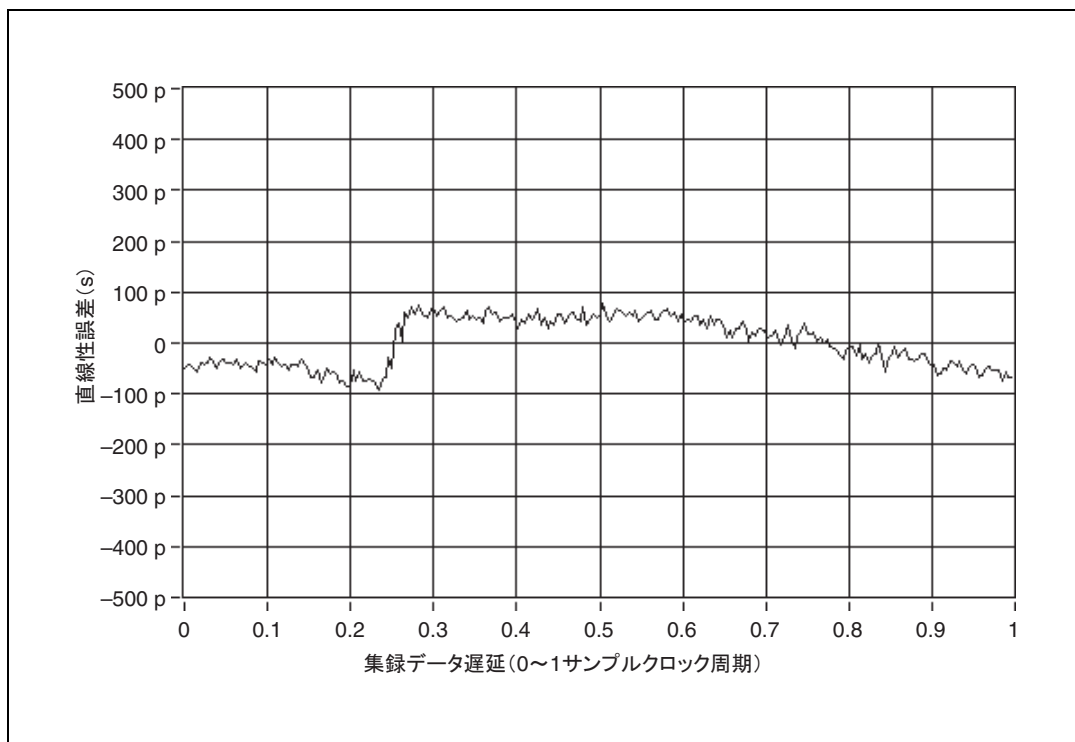
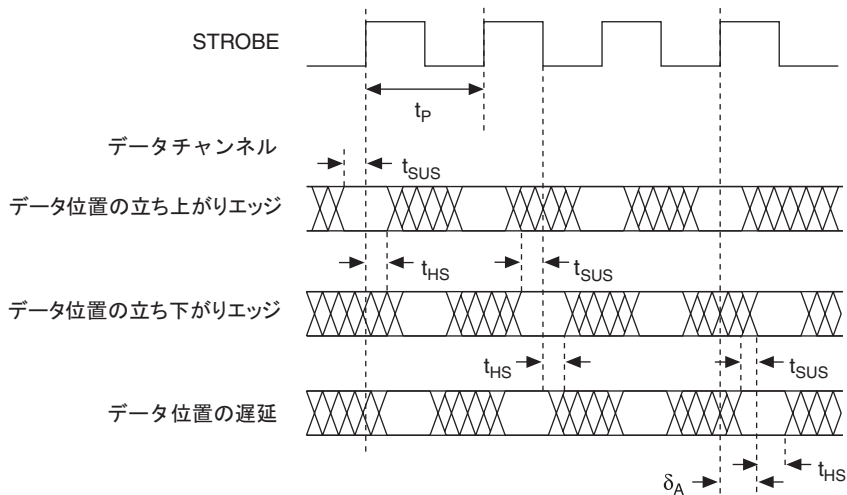


図 5 集録データ遅延の正規化された直線性



t_{SUS} = STROBEまでのセットアップ時間

t_{HS} = STROBEからのホールド時間

$0 \leq \delta_A \leq 1$: パターン集録のデータ遅延 (t_p の割合)

$t_p = \frac{1}{f}$ = サンプルクロックの周期

メモ: 25 MHz以上では、立ち上がりエッジの配置は維持され、STROBEデューティサイクルは50%に修正されます。

図 6 STROBE をサンプルクロックとして使用する集録タイミングダイアグラム¹

¹ SDR モードの集録を表示。

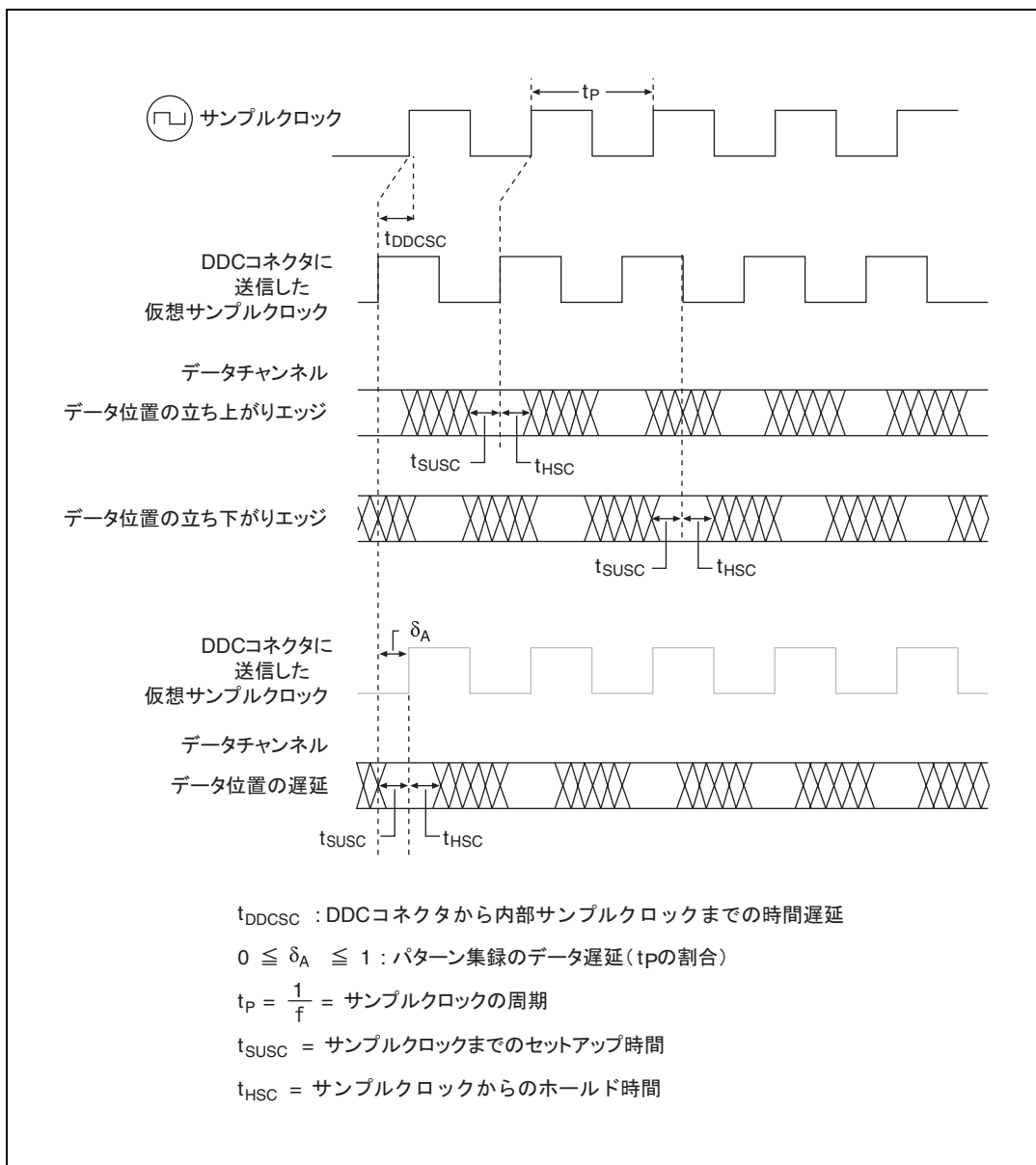


図7 STROBE 以外のサンプリングクロックソースを使用する集録タイミング図¹

¹ SDR モードの集録を表示。

CLK IN (SMB ジャックコネクタ)

仕様	値	コメント		
方向	デバイスへの入力	—		
出力先	1. 基準クロック（PLL: 位相ロックループ） 2. サンプルクロック	—		
入力カプリング	AC	—		
入力保護	±10 VDC	—		
入力インピーダンス	50 Ω（デフォルト）または 1 kΩ	ソフトウェアで選択可能。		
検出可能な最小パルス幅	2 ns	—		
クロック要件	クロックは連続である必要があります。	—		
サンプルクロックの場合				
外部サンプルクロックのレンジ	矩形波			
	電圧レンジ	0.65 ～ 5.0 V _{pp}		
	周波数範囲	NI 6561: 20 kHz ～ 100 MHz		
		NI 6562: 20 kHz ～ 200 MHz		
	デューティサイクルレンジ	f < 50 MHz: 25 ～ 75% f ≥ 50 MHz: 40 ～ 60%		
	正弦波			
	電圧レンジ	0.65 ～ 5.0 V _{pp}	1.0 ～ 5.0 V _{pp}	2.0 ～ 5.0 V _{pp}
	周波数範囲	NI 6561: 5.5 ～ 100 MHz	NI 6561: 3.5 ～ 100 MHz	NI 6561: 1.8 ～ 100 MHz
NI 6562: 5.5 ～ 200 MHz		NI 6562: 3.5 ～ 200 MHz	NI 6562: 1.8 ～ 200 MHz	

仕様	値	コメント
基準クロックの場合		
基準クロックの周波数範囲	10 MHz \pm 50 ppm	—
基準クロックの電圧レンジ	0.65 ~ 5.0 V _{pp}	—
基準クロックのデューティサイクル	25 ~ 75%	—

STROBE (DDC コネクタ)

仕様	値	コメント
方向	デバイスへの入力	—
出力先	サンプルクロック（集録のみ）	—
STROBE 周波数範囲	NI 6561: 48 Hz ~ 100 MHz NI 6562: 48 Hz ~ 200 MHz	—
STROBE デューティサイクルレンジ	NI 6561: クロック周波数が 50 MHz 未満の場合 25 ~ 75% NI 6562: クロック周波数が 50 MHz 以上の場合 40 ~ 60% クロック周波数が 50 MHz 未満の場合 25 ~ 75%	—
検出可能な最小パルス幅	2 ns	—
クロック要件	クロックは連続である必要あり。	—
入力インピーダンス	100 Ω 差動 データチャンネルには、I/O バッファ、3.3 V にする内部に微小なプルアップ抵抗（300 k Ω ）があります。この内部プルアップ抵抗は、レシーバ回路が駆動されていない場合に、既知の状態に設定することが目的の二重安全装置です。	—

PXI_STAR (PXI バックプレーン)

仕様	値	コメント
方向	デバイスへの入力	—
出力先	1. サンプルクロック 2. 開始トリガ 3. 基準トリガ (集録セッションのみ) 4. アドバンストリガ (集録セッションのみ) 5. 一時停止トリガ (生成セッションのみ) 6. スクリプトトリガ <0..3> (生成セッションのみ)	—
PXI_STAR 周波数範囲	48 Hz ~ 70 MHz	—
クロック要件	クロックは連続である必要あり。	—

CLK OUT (SMB ジャックコネクタ)

仕様	値	コメント
方向	デバイスから出力	—
ソース	1. サンプルクロック (STROBE を除く) 2. 基準クロック (PLL)	—
出力インピーダンス	50 Ω (公称)	—
電圧の種類	LVC MOS	—
最大駆動電流	32 mA	—

DDC CLK OUT LVDS (DDC コネクタ)

仕様	値						コメント
方向	デバイスから出力						—
ソース	サンプルクロック メモ: ソフトウェアで内部サンプルクロックを DDC CLK OUT にエクスポートすると、内部サンプルクロックが DDC CLK OUT LVDS および DDC CLK OUT LVPECL 端子にエクスポートされます。						STROBE は DDC CLK OUT に経路設定できません。
電圧の種類	LVDS						—
電圧レベル	オフセット (V_{os})			差動電圧 (V_{od})			100 Ω 差動負荷、TIA/EIA-644 準拠。
	最小	標準	最大	最小	標準	最大	
	1.125 V	1.220 V	1.375 V	247 mV	305 mV	454 mV	
遷移時間	1 ns						—
出力インピーダンス	100 Ω 差動						—
出力保護	各端子は、0 ~ 5 V の電圧間で短絡に対して無限に耐え、最大 15 kV ESD まで保護されています。						—

DDC CLK OUT LVPECL (DDC コネクタ)

仕様	値				コメント
方向	デバイスから出力				—
ソース	サンプルクロック メモ: ソフトウェアで内部サンプルクロックを DDC CLK OUT にエクスポートすると、内部サンプルクロックが DDC CLK OUT LVDS および DDC CLK OUT LVPECL 端子にエクスポートされます。				STROBE は DDC CLK OUT に経路設定できません。
電圧の種類	LVPECL				—
電圧レベル	シングルエンド出力高		シングルエンド出力低		開回路へ。
	最小	最大	最小	最大	
	2.16 V	2.50 V	1.38 V	1.72 V	

仕様	値	コメント
遷移時間	1 ns	—
出力インピーダンス	50 Ω ソース直列 公称	各極性の直列インピーダンス。
出力保護	各端子は、0 ～ 5 V の電圧間で短絡に対して無限に耐え、最大 15 kV ESD まで保護されています。	—

基準クロック (PLL)

仕様	値	コメント
基準クロックソース	1. PXI_CLK10 (PXI バックプレーン—PXI のみ) 2. RTSI 7 (PCI のみ) 3. CLK IN (SMB ジャックコネクタ) 4. なし (基準にロックされていないオンボードクロックソース)	位相ロックループの基準周波数を提供。
ロック時間	400 ms	標準。
基準クロック周波数	10 MHz \pm 50 ppm	—
基準クロックのデューティサイクルレンジ	25 ～ 75%	—
基準クロック周波数の出力先	CLK OUT (SMB ジャックコネクタ)	—

波形仕様

メモリとスクリプト

仕様	値			コメント
メモリアーキテクチャ	NI 656x は、波形と命令がオンボードメモリを共有する SMC (Synchronization and Memory Core) テクノロジを使用しています。スクリプト命令数、メモリ内の最大波形数、および波形ストレージで利用できるサンプル数などのパラメータは、柔軟性がありユーザ定義可能です。			詳細については、『NI デジタル波形発生器 / アナライザヘルプ』の「オンボードメモリ」のセクションを参照してください。
オンボードメモリサイズ	2 M ビット / チャンネル (生成セッション) 2 M ビット / チャンネル (集録セッション)	16 M ビット / チャンネル (生成セッション) 16 M ビット / チャンネル (集録セッション)	128 M ビット / チャンネル (生成セッション) 128 M ビット / チャンネル (集録セッション)	生成セッションの最大制限は、スクリプトの命令がないことを前提としています。オンボードメモリのサイズは、8 ビットデータ幅で 2 倍になります (DDR モード)。
生成モード	単一波形モード： 単一の波形を 1 回、 n 回、または連続して生成します。 スクリプトモード： 単純または複雑な波形のシーケンスを生成します。スクリプトを使用して、生成する波形、波形が生成される順序、生成する波形数、およびスクリプトトリガにデバイスがどのように反応するかを示します。			—

仕様	値		コメント
生成最小波形サイズ	構成	サンプルレート	
		200 MHz (NI 6562 のみ)	100 MHz
	単一波形	4 S	4 S
	連続波形	64 S	32 S
	ステップシーケンス	256 S	128 S
	バーストシーケンス	1,024 S	512 S
	メモ : 波形量およびブロックサイズは、8 ビットのデータ幅が使用されると 2 倍になります (DDR モード)。		サンプルレートに依存。サンプルレートを上げると最小波形サイズの要件が増加します。 これらの構成の詳細については、『NI デジタル波形発生器 / アナライザヘルプ』の「一般的なスクリプトの使用」を参照してください。
有限生成繰り返し回数	1 ~ 16,777,216		—
生成波形量	波形サイズは、4 S の整数倍である必要があります。 メモ : 波形量およびブロックサイズは、8 ビットのデータ幅が使用されると 2 倍になります (DDR モード)。		波形のサイズに関係なく、NI-HSDIO は波形を物理メモリの 64 S ブロックサイズに割り当てます。
集録最小レコードサイズ	1 S		波形サイズに関係なく、NI-HSDIO は最低 128 バイトをレコードに割り当てます。
集録レコード量	1 S		—
最大集録レコード数	2,147,483,647		最大値は、デバイスのメモリサイズおよび保存したスクリプトによって消費されたメモリ量によって異なります。

仕様	値	コメント
基準前のトリガサンプル集録数	0 ～最大レコード	—
基準後のトリガサンプル集録数	0 ～最大レコード	—

トリガ（NI 656x への入力）

仕様	値	コメント
トリガタイプ	<ol style="list-style-type: none"> 1. 開始トリガ 2. 一時停止トリガ 3. スクリプトトリガ <0..3>（生成セッションのみ） 4. 基準トリガ（集録セッションのみ） 5. アドバンストリガ（集録セッションのみ） 	—
ソース	<ol style="list-style-type: none"> 1. PFI 0（SMB ジャックコネクタ） 2. PFI <1..3>（DDC コネクタ） 3. PXI_TRIG<0..7>（PXI バックプレーン—PXI のみ） / RTSI<0..7>（RTSI バス—PCI のみ） 4. PXI_STAR（PXI バックプレーン—PXI のみ） 5. パターンマッチ（集録セッションのみ） 6. ソフトウェア（ユーザによる関数呼び出し） 7. 無効（トリガを待機しない） 	—
トリガ検出	<ol style="list-style-type: none"> 1. 開始トリガ（エッジ検出：立ち上がりまたは立ち下がり） 2. 一時停止トリガ（レベル検出：HIGH もしくは LOW） 3. スクリプトトリガ <0..3>（エッジ検出：立ち上がりまたは立ち下がり、レベル検出：HIGH もしくは LOW） 4. 基準トリガ（エッジ検出：立ち上がりまたは立ち下がり） 5. アドバンストリガ（エッジ検出：立ち上がりまたは立ち下がり） 	—

仕様	値			コメント
必要最小トリガパルス幅	生成トリガ		集録トリガ	
	30 ns		集録トリガは、セットアップおよびホールド時間の要件を満たす必要があります。 STROBE に同期するトリガの場合、トリガはセットアップおよびホールド時間の要件を満たす必要があります。非同期トリガでは、パルス幅は 30 ns または「クロック周期 + セットアップ + ホールド」のいずれか大きい方を上回る必要があります。	—
トリガリアーム時間	開始～基準トリガ	開始～アドバンストリガ	基準～基準トリガ	—
	85 S (標準)、 96 S (最大)	220 S (標準)、 230 S (最大)	210 S (標準)、 230 S (最大)	
出力先	1. PFI 0 (SMB ジャックコネクタ) 2. PFI <1..3> (DDC コネクタ) 3. PXI_TRIG<0..6> (PXI バックプレーン—PXI のみ) / RTSI<0..6> (RTSI バス—PCI のみ)			各トリガは、一時停止トリガ以外すべての出力先に接続可能です。一時停止トリガは集録セッションにエクスポートできません。
一時停止トリガから一時停止状態までの遅延	生成セッション		集録セッション	生成中にデータアクティブイベントを使用して、NI 656x が一時停止状態に入るタイミングを決定。
	31 サンプルクロック周期 + 90 ns		データに同期	
トリガからデジタルデータ出力までの遅延	34 サンプルクロック周期 + 85 ns			—

イベント (NI 656x から生成)

仕様	値	コメント
イベントタイプ	1. マーカ <0..3> (生成セッションのみ) 2. データアクティブイベント (生成セッションのみ) 3. 開始準備完了イベント 4. アドバンス準備完了イベント (集録セッションのみ) 5. レコード完了イベント (集録セッションのみ)	—
出力先	1. PFI 0 (SMB ジャックコネクタ) 2. PFI <1..3> (DDC コネクタ) 3. PXI_TRIG<0..6> (PXI バックプレーン—PXI のみ) / RTSI<0..6> (RTSI バス—PCI のみ)	各イベントは、データアクティブイベント以外すべての出力先に接続可能です。データアクティブイベントは、PFI チャネルのみに接続可能です。
マーカ時間分解能 (配置)	マーカは、4 S の整数倍で配置される必要あり。	マーカ時間分解能は、8 ビットデータ幅で 2 倍 (DDR モード)。

その他

仕様	値	コメント
ウォームアップ時間	15 分	—
オンボードクロックの特性 (PLL 基準ソースがなしに設定されている場合に有効)		
周波数確度	±100 ppm	標準。
温度安定性	±30 ppm	標準。
経年変化	±5 ppm (1 年目)	標準。

電源

仕様	値		コメント
	PXI	PCI	
+3.3 VDC	1.8 A	1.7 A	すべての値は各最大電力を示します。
+5 VDC	1.0 A	1.1 A	
+12 VDC	0.4 A	0.4 A	
−12 VDC	0.05 A	0.05 A	
合計電力	16.4 W	16.5 W	

ソフトウェア

仕様	値	コメント
ドライバソフトウェア	NI-HSDIO ドライバソフトウェア 1.3 以降。NI-HSDIO は、NI 656x の構成および制御を可能にします。NI-HSDIO は、さまざまな開発環境のアプリケーションインタフェースを提供します。NI-HSDIO は、IVI アプリケーションプログラミングインタフェース (API) 指針に従っています。	—
アプリケーションソフトウェア	NI-HSDIO は、以下のアプリケーション開発環境のプログラミングインタフェースを提供します。 <ul style="list-style-type: none"> National Instruments LabVIEW 7.0 以降 National Instruments LabWindows™/CVI™ 6.0 以降 Microsoft Visual C/C++ 6.0 以降 	—
テストパネル	NI Measurement & Automation Explorer (MAX) は、NI 656x に基本的な集録および生成機能を持つテストパネルを提供します。MAX は、NI-HSDIO のドライバ CD に含まれています。	—

環境



メモ

NI 656x が効果的に冷却することを確認するには、NI 656x に含まれる『強制空冷の維持について』の指針に従ってください。NI 656x は、室内使用を意図して設計されています。

仕様	値	コメント
動作温度	PXI: 以下を除くすべての NI PXI シャーシで 0 ~ +55 °C。 NI PXI-1000/B および NI PXI-101x シャーシ (IEC 60068-2-1 および IEC 60068-2-2 に適合) に取り付けられた場合は、0 ~ +45 °C。 PCI: 0 ~ +45 °C	—
保管温度	-20 ~ 70 °C	—
動作時の相対湿度	10 ~ 90% 相対湿度、結露なきこと (IEC 60068-2-56 に適合)	—
保管時の相対湿度	5 ~ 95% 相対湿度、結露なきこと (IEC 60068-2-56 に適合)	—
動作衝撃	30 g (半正弦波)、11 ms パルス (IEC 60068-2-27 に適合、MIL-PRF-28800F に準拠してテストプロファイルを確立)	—
保管時衝撃	50 g (半正弦波)、11 ms パルス (IEC 60068-2-27 に適合、MIL-PRF-28800F に準拠してテストプロファイルを確立)	—
動作振動	5 Hz ~ 500 Hz、0.31 g _{rms} (IEC 60068-2-64 に適合)	—
保管時振動	5 Hz ~ 500 Hz、2.46 g _{rms} (IEC 60068-2-64 に適合、テストプロファイルは MIL-PRF-28800F、Class 3 の要件以上)	—
最大使用高度	海拔 0 ~ 2,000 m (周囲温度 25 °C 時)	—
汚染度	2	—

安全性、電磁両立性、CE 適合

仕様	値	コメント
安全性	<p>NI 656x は、計測、制御、実験に使用される電気装置に関する以下の規格および安全性の要件を満たします。</p> <ul style="list-style-type: none"> • IEC 61010-1、EN 61010-1 • UL 61010-1、CSA 61010-1 	UL および他の安全保証については、製品のラベルまたは ni.com/jp を参照してください。
エミッション (不要輻射)	EN 55011 Class A (10 m 時)、 FCC Part 15A (1 GHz 以上)	—
イミュニティ (電磁環境耐性)	EN 61326:1997 + A2:2001、Table 1	—
EMC/EMI	CE、C-Tick、FCC Part 15 (Class A) 適合	—
この製品は、以下のように、CE マーク改正に基づいて、該当する EC 理事会指令による基本的要件に適合しています。		
低電圧指令 (安全性)	73/23/EEC	—
電磁両立性指令 (EMC)	89/336/EEC	—
EMC に適合させるには、このデバイスをシールドケーブルと併用してください。また、フィラーパネルを取り付ける必要があります。本製品の上記以外の適合指令に関する情報については、適合宣言 (DoC: Declaration of Conformity) をご覧ください。この製品の適合宣言を入手するには、 ni.com/certification (英語) にアクセスして型番または製品ラインで検索し、保証の欄の該当するリンクをクリックしてください。		

物理特性

仕様	値		コメント
外形寸法	PXI: 3U、1 スロット、PXI/cPCI モジュール、 21.6 × 2.0 × 13.0 cm (8.5 × 0.8 × 5.1 in) PCI: 12.6 × 35.5 cm (4.96 × 13.9 in.)		—
重量	PXI: 340 g (12 oz) PCI: 410 g (14.5 oz)		—
フロントパネルコネクタ			
ラベル	機能	コネクタタイプ	—
CLK IN	外部サンプルクロック、 外部 PLL 基準入力	SMB ジャックコネクタ	—
PFI 0	イベント、トリガ	SMB ジャックコネクタ	—
CLK OUT	エクスポートしたサンプルクロック、エクスポートした基準クロック	SMB ジャックコネクタ	—
DIGITAL DATA & CONTROL	デジタルデータチャンネル、エクスポートしたサンプルクロック、STROBE、イベント、トリガ	12X InfiniBand コネクタ	—
	メモ: NI SHB12X-B12X LVDS ケーブル (192344-01) は、パススルーケーブルです。カスタム装置を設計する場合は、ケーブルのピン配列が NI 656x の逆になっていることに注意してください。たとえば、NI 656x はピン 14 で DIO 0 を生成します。この信号は、ケーブル端でピン 60 に接続されます。詳細については、『NI デジタル波形発生器 / アナライザスタートアップガイド』または『NI デジタル波形発生器 / アナライザヘルプ』を参照してください。		

National Instruments, NI, ni.com, および LabVIEW は National Instruments Corporation (米国ナショナルインストルメンツ社) の商標です。National Instruments の商標の詳細については、ni.com/legal の「Terms of Use」セクションを参照してください。本文中に記載されたその他の製品名および企業名は、それぞれの企業の商標または商号です。National Instruments の製品を保護する特許については、ソフトウェアに含まれている特許情報 (**ヘルプ→特許情報**)、CD に含まれている patents.txt ファイル、または ni.com/patents のうち、該当するリソースから参照してください。