

# NI PXI/PCI-6541/6542 Specifications

## 50/100 MHz Digital Waveform Generator/Analyzer

このドキュメントには、日本語ページも含まれています。

This document provides the specifications for the NI PXI/PCI-6541 (NI 6541) and the NI PXI/PCI-6542 (NI 6542).

Typical values are representative of an average unit operating at room temperature. Specifications are subject to change without notice. For the most recent NI 6541/6542 specifications, visit [ni.com/manuals](http://ni.com/manuals).

To access the NI 6541/6542 documentation, including the *NI Digital Waveform Generator/Analyzer Getting Started Guide*, which contains functional descriptions of the NI 6541/6542 signals, navigate to **Start» Programs» National Instruments» NI-HSDIO» Documentation**.



**Hot Surface** If the NI 6541/6542 has been in use, it may exceed safe handling temperatures and cause burns. Allow time to cool before removing the NI 6541/6542 from the chassis.



**Note** All values were obtained using a 1 m cable (SHC68-C68-D4 recommended). Performance specifications are not guaranteed when using longer cables. Values are typical unless otherwise noted.

## Contents

---

|   |   |
|---|---|
| Channel Specifications.....   | 2 |
| Generation Channels (Data, DDC CLK OUT, and PFI <0..3>).....            | 2 |
| Acquisition Channels (Data, STROBE, and PFI <0..3>) .....               | 4 |
| Timing Specifications .....   | 5 |
| Sample Clock .....  | 5 |
| Generation Timing (Data, DDC CLK OUT, and PFI <0..3><br>Channels) ..... | 7 |
| Generation Provided Setup and Hold Times .....                          | 8 |

|   |    |
|---|----|
| Acquisition Timing (Data, STROBE, and PFI <0..3> Channels) .... | 11 |
| CLK IN (SMB Jack Connector) .....                               | 14 |
| STROBE (DDC Connector) .....                                    | 15 |
| PXI_STAR (PXI Backplane) .....                                  | 16 |
| CLK OUT (SMB Jack Connector) .....                              | 16 |
| DDC CLK OUT (DDC Connector) .....                               | 17 |
| Reference Clock (PLL) .....                                     | 17 |
| Waveform Specifications .....                                   | 18 |
| Memory and Scripting .....                                      | 18 |
| Triggers (Inputs to the NI 6541/6542) .....                     | 20 |
| Events (Generated from the NI 6541/6542) .....                  | 22 |
| Miscellaneous .....   | 22 |
| Power .....   | 23 |
| Physical Specifications .....                                   | 23 |
| Software .....  | 24 |
| Environment .....   | 24 |
| Safety, Electromagnetic Compatibility, and CE Compliance .....  | 25 |

## Channel Specifications

---

| Specification  | Value               | Comments   |
|--|---------------------|--|
| Number of data channels                                  | 32                  | —  |
| Direction control of data channels                       | Per channel         | —  |
| Number of programmable function interface (PFI) channels | 4                   | Refer to the <a href="#">Waveform Specifications</a> section for more details. |
| Direction control of PFI channels                        | Per channel         | —  |
| Number of clock terminals                                | 3 input<br>2 output | Refer to the <a href="#">Timing Specifications</a> section for more details.   |

## Generation Channels (Data, DDC CLK OUT, and PFI <0..3>)

| Specification                              | Value   |         |   |         | Comments            |
|--|---|---------|---|---------|---------------------|
| Generation voltage families                | 1.8V, 2.5V, 3.3V TTL (5V TTL compatible)  |         |   |         | Into 1 MΩ           |
| Generation signal type                     | Single-ended  |         |   |         | —                   |
| Generation voltage levels                  | Voltage Low Levels  |         | Voltage High Levels                     |         | —                   |
|  | Typical   | Maximum | Minimum                                 | Typical |                     |
| 1.8V                                       | 0 V   | 0.1 V   | 1.7 V                                   | 1.8 V   | I = 100 μA          |
| 2.5V                                       | 0 V   | 0.1 V   | 2.4 V                                   | 2.5 V   |                     |
| 3.3V                                       | 0 V   | 0.1 V   | 3.2 V                                   | 3.3 V   |                     |
| 5.0V                                       | 0 V   | 0.1 V   | 3.2 V                                   | 3.3 V   |                     |
| Output impedance                           | 50 Ω nominal  |         |   |         | —                   |
| Maximum DC drive strength                  | ±8 mA at 1.8 V<br>±16 mA at 2.5 V<br>±32 mA at 3.3 V                            |         |   |         | —                   |
| Data channel driver enable/disable control | Per channel   |         |   |         | Software-selectable |
| Channel power-on state                     | Module Assemblies Labeled A and B   |         | Module Assemblies Labeled C and Later   |         | —                   |
|  | Drivers disabled, 10 kΩ input impedance   |         | Drivers disabled, 50 kΩ input impedance |         |                     |
| Output protection                          | The device can indefinitely sustain a short to any voltage between 0 V and 5 V. |         |   |         | —                   |

## Acquisition Channels (Data, STROBE, and PFI <0..3>)

| Specification                | Value                                       |  | Comments   |
|------------------------------|---|--|--|
| Acquisition voltage families | 1.8V, 2.5V, 3.3V TTL<br>(5V TTL compatible) |  | —  |
| Acquisition signal type      | Single-ended                                |  | —  |
| Acquisition voltage levels   | <b>Low Voltage Threshold</b>                | <b>High Voltage Threshold</b>                | —  |
|                              | <b>Maximum</b>                              | <b>Minimum</b>                               |  |
| 1.8V                         | 0.45 V                                      | 1.35 V                                       | —  |
| 2.5V                         | 0.75 V                                      | 1.75 V                                       | —  |
| 3.3V                         | 1.00 V                                      | 2.30 V                                       | —  |
| 5.0V                         | 1.00 V                                      | 2.30 V                                       | —  |
| Input impedance              | <b>Module Assemblies Labeled A and B</b>    | <b>Module Assemblies Labeled C and Later</b> | —  |
|                              | 10 k $\Omega$                               | 50 k $\Omega$                                |  |
| Input protection             | –1 to 6 V                                   |  | Diode clamps in the design may provide additional protection outside this range. |

# Timing Specifications

## Sample Clock

| Specification                       | Value  | Comments  |
|-------------------------------------|--|---|
| Sample clock sources                | <ol style="list-style-type: none"> <li>1. On Board Clock (internal voltage-controlled crystal oscillator (VCXO) with divider)</li> <li>2. CLK IN (SMB jack connector)</li> <li>3. PXI_STAR (PXI backplane—PXI only)</li> <li>4. STROBE (Digital Data &amp; Control (DDC) connector; acquisition only)</li> </ol> | —   |
| On Board Clock frequency range      | <b>NI 6541:</b> 48 Hz to 50 MHz<br>Configurable to 200 MHz/ $N$ ; $4 \leq N \leq 4,194,304$<br><b>NI 6542:</b> 48 Hz to 100 MHz<br>Configurable to 200 MHz/ $N$ ; $2 \leq N \leq 4,194,304$  | —   |
| CLK IN frequency range              | <b>NI 6541:</b> 20 kHz to 50 MHz<br><b>NI 6542:</b> 20 kHz to 100 MHz  | Refer to the <a href="#">CLK IN (SMB Jack Connector)</a> section for restrictions based on waveform type. |
| PXI_STAR frequency range (PXI only) | <b>NI 6541:</b> 48 Hz to 50 MHz<br><b>NI 6542:</b> 48 Hz to 100 MHz  | Refer to the <a href="#">PXI_STAR (PXI Backplane)</a> section.  |
| STROBE frequency range              | <b>NI 6541:</b> 48 Hz to 50 MHz<br><b>NI 6542:</b> 48 Hz to 100 MHz  | Refer to the <a href="#">STROBE (DDC Connector)</a> section.  |

| Specification   | Value   |                       | Comments   |
|---|---|-----------------------|--|
| Sample clock relative delay adjustment range          | 0.0 to 1.0 Sample clock periods                                   |                       | You can apply a delay or phase adjustment to the On Board Clock to align multiple devices. |
| Sample clock relative delay adjustment resolution     | 10 ps   |                       |  |
| Exported Sample clock destinations                    | 1. DDC CLK OUT (DDC connector)<br>2. CLK OUT (SMB jack connector) |                       | Sample clocks with sources other than STROBE can be exported.                              |
| Exported Sample clock delay range ( $\delta_C$ )      | 0.0 to 1.0 Sample clock periods                                   |                       | For clock frequencies $\geq 25$ MHz  |
| Exported Sample clock delay resolution ( $\delta_C$ ) | 1/256 of Sample clock period                                      |                       | For clock frequencies $\geq 25$ MHz  |
| Exported Sample clock jitter                          | Period Jitter   | Cycle-to-Cycle Jitter | Typical; using On Board Clock  |
|   | 20 ps <sub>rms</sub>  | 35 ps <sub>rms</sub>  |  |

## Generation Timing (Data, DDC CLK OUT, and PFI <0..3> Channels)

| Specification  | Value   | Comments                                      |
|--|---|---|
| Data channel-to-channel skew   | $\pm 600$ ps  | Typical skew across all data channels         |
| Maximum data channel toggle rate   | <b>NI 6541:</b> 25 MHz<br><b>NI 6542:</b> 50 MHz  | —   |
| Data position modes  | Sample clock rising edge, Sample clock falling edge, or Delay from Sample clock rising edge | —   |
| Generation data delay range ( $\delta_G$ )                               | 0.0 to 1.0 Sample clock periods   | Supported for clock frequencies $\geq 25$ MHz |
| Generation data delay resolution ( $\delta_G$ )                          | 1/256 of Sample clock period  | Supported for clock frequencies $\geq 25$ MHz |
| Exported Sample clock offset ( $t_{CO}$ )                                | 0.0 or 2.5 ns (default)   | Software-selectable                           |
| Time delay from Sample clock (internal) to DDC connector ( $t_{SCDDC}$ ) | 15 ns   | Typical                                       |

## Generation Provided Setup and Hold Times

| Exported Sample Clock Mode and Offset | Voltage Family | Time from Rising Clock Edge to Data Transition ( $t_{PCO}$ ) | Minimum Provided Setup Time ( $t_{PSU}$ ) | Minimum Provided Hold Time ( $t_{PH}$ ) |
|---------------------------------------|----------------|--|---|---|
| Noninverted, 2.5 ns                   | 1.8V           | 2.5 ns, typical  | $t_p - 5.5$ ns                            | 0.5 ns                                  |
|                                       | 2.5V           |  | $t_p - 4.5$ ns                            | 0.9 ns                                  |
|                                       | 3.3V/5.0V      |  | $t_p - 4.5$ ns                            | 1 ns                                    |
| Inverted, 0 ns                        | 1.8V           | $t_p/2$  | $t_p/2 - 3.5$ ns                          | $(t_p/2) - 1.5$ ns                      |
|                                       | 2.5V           |  | $t_p/2 - 2.5$ ns                          |   |
|                                       | 3.3V/5.0V      |  | $t_p/2 - 2$ ns                            |   |

To determine the appropriate exported Sample clock mode and offset for your NI 6541/6542 generation session, compare the setup and hold times from the datasheet of your device under test (DUT) to the values in this table. Select the exported Sample clock mode and offset such that the NI 6541/6542 provided setup and hold times are greater than the setup and hold times required for the DUT.

Refer to Figure 1, [Generation Provided Setup and Hold Times Timing Diagram](#), for a diagram illustrating the relationship between the exported Sample clock mode and the provided setup and hold times.

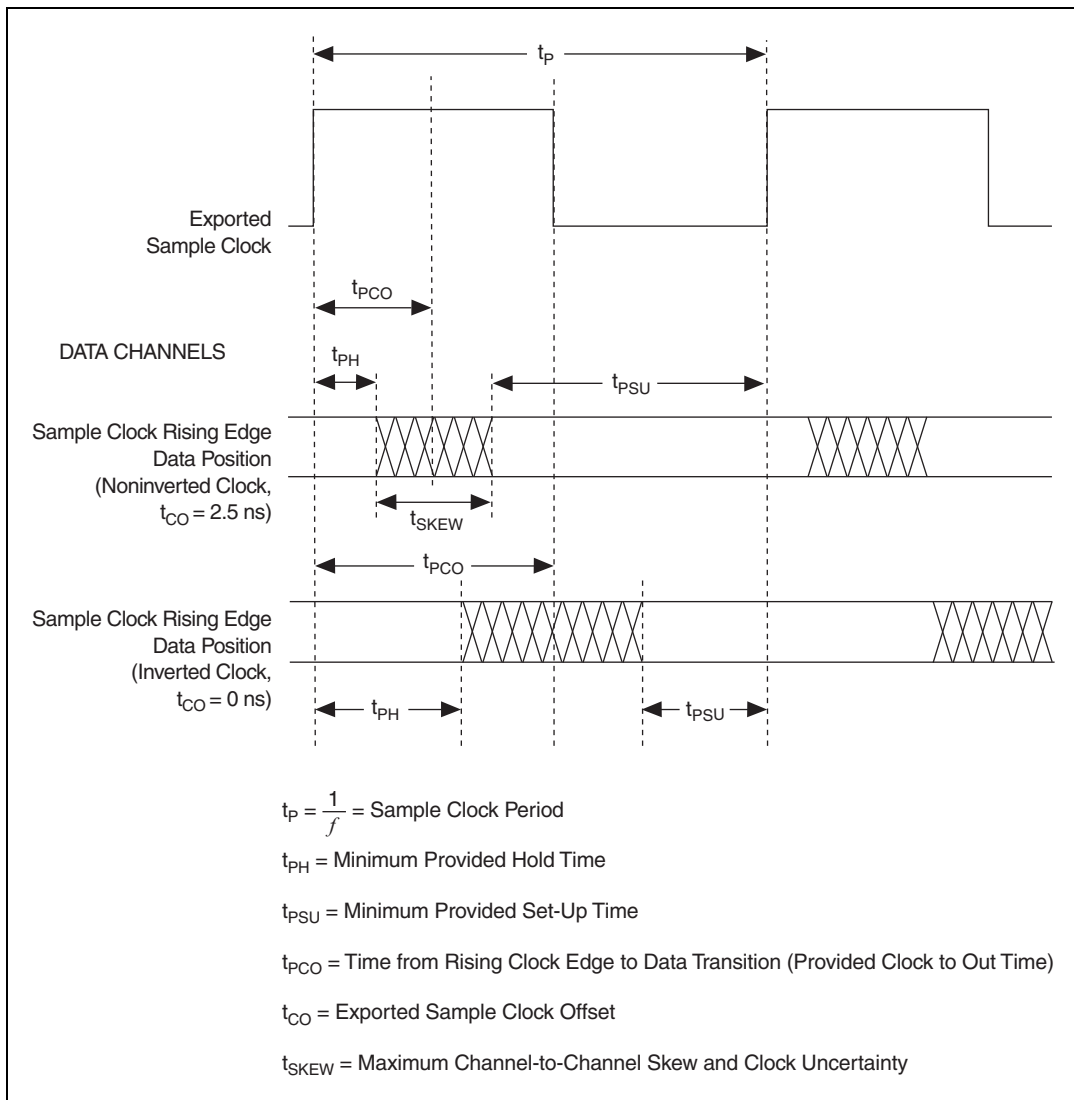
**Notes:** This table assumes the data position is set to Sample clock rising edge and the Sample clock is exported to the DDC connector.

This table includes worst-case effects of channel-to-channel skew, inter-symbol interference, and jitter.

Other combinations of exported Sample clock mode and offset are also allowed. The preceding table presents only the values for the default case (noninverted clock with 2.5 ns offset) and the case for providing balanced setup and hold times (inverted clock with 0 ns offset).

Specified timing relationships apply at the DDC connector and at high-speed DIO accessory terminals. Any signal routing, clock splitting, buffers, or translation logic can impact this relationship. If multiple copies of DDC\_CLK\_OUT are necessary, NI recommends using a zero delay buffer to preserve this relationship.

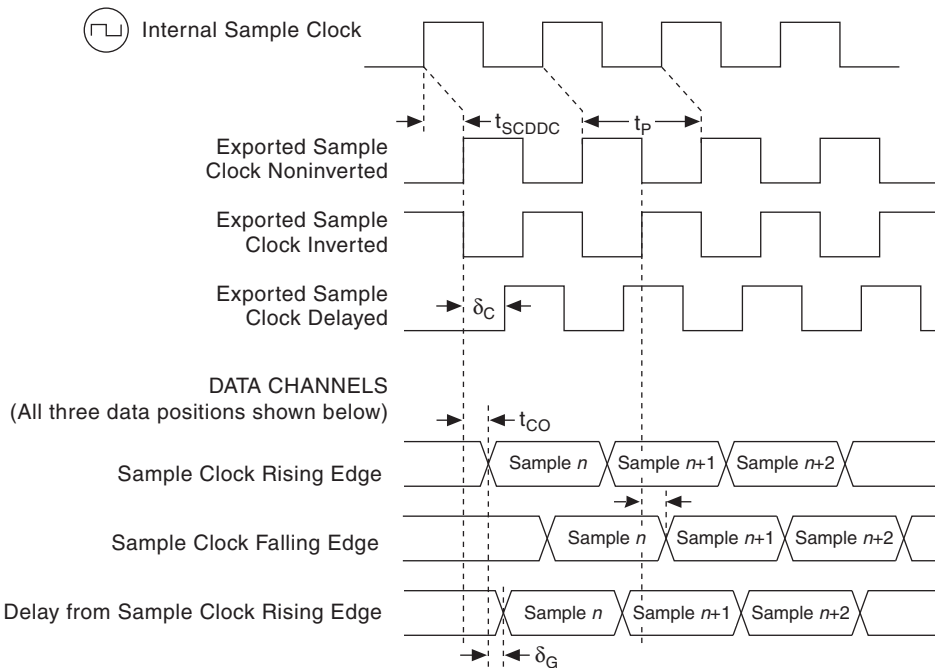




**Figure 1.** Generation Provided Setup and Hold Times Timing Diagram



**Note** Provided setup and hold times account for maximum channel-to-channel skew and jitter.



$t_{SCDDC}$  : Time Delay from Internal Sample Clock to DDC Connector Exported Sample Clock

$0 \leq \delta_C \leq 1$  : Exported Sample Clock Delay (fraction of  $t_p$ )

$0 \leq \delta_G \leq 1$  : Generation Data Delay (fraction of  $t_p$ )

$t_p = \frac{1}{f}$  = Sample Clock Period

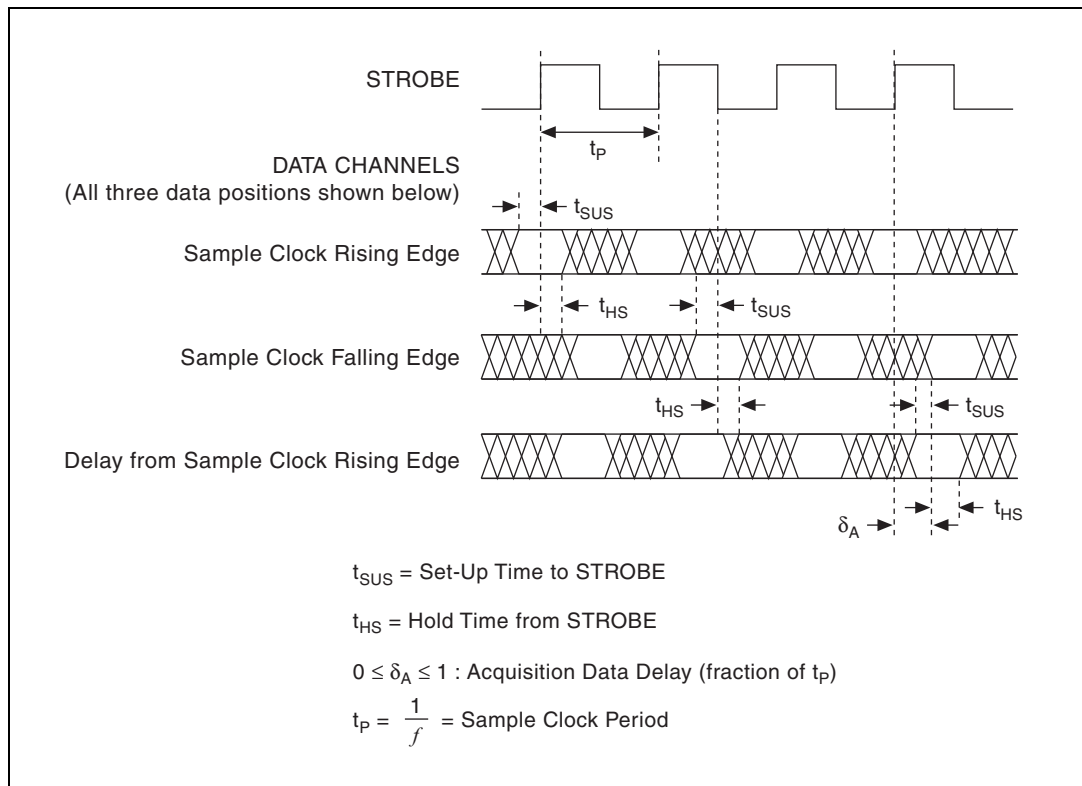
$t_{CO}$  = Exported Sample Clock Offset; 0 or 2.5 ns, software-selectable

**Figure 2.** Generation Timing Diagram

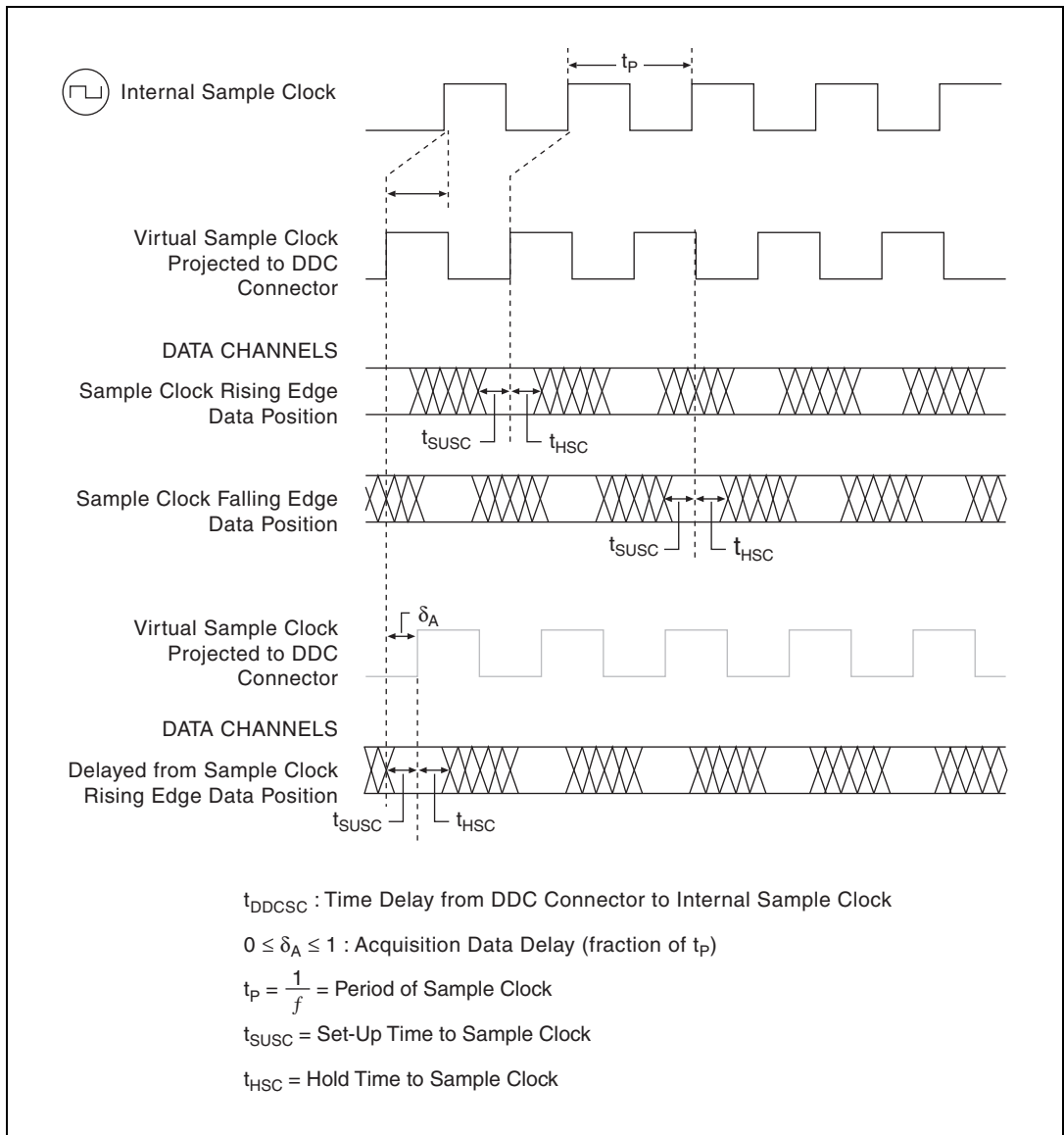
## Acquisition Timing (Data, STROBE, and PFI <0..3> Channels)

| Specification  | Value   | Comments  |
|--|---|---|
| Channel-to-channel skew  | $\pm 600$ ps  | Typical skew across all data channels   |
| Data position modes  | Sample clock rising edge, Sample clock falling edge, or Delay from Sample clock rising edge | —   |
| Setup time to STROBE ( $t_{\text{SUS}}$ )  | 3.1 ns  | Maximum; includes maximum data channel-to-channel skew                                    |
| Hold time to STROBE ( $t_{\text{HS}}$ )  | 2.7 ns  | Maximum; includes maximum data channel-to-channel skew                                    |
| Time delay from DDC connector data to internal Sample clock ( $t_{\text{DDCSC}}$ ) | 10 ns   | Typical   |
| Setup time to Sample clock ( $t_{\text{SUSC}}$ )                                   | 0.4 ns  | Does not include data channel-to-channel skew, $t_{\text{DDCSC}}$ , or $t_{\text{SCDDC}}$ |
| Hold time to Sample clock ( $t_{\text{HSC}}$ )                                     | 0 ns  | Does not include data channel-to-channel skew, $t_{\text{DDCSC}}$ , or $t_{\text{SCDDC}}$ |

| Specification                                    | Value                           | Comments                                      |
|--|---------------------------------|---|
| Acquisition data delay range ( $\delta_A$ )      | 0.0 to 1.0 Sample clock periods | Supported for clock frequencies $\geq 25$ MHz |
| Acquisition data delay resolution ( $\delta_A$ ) | 1/256 of Sample clock period    | Supported for clock frequencies $\geq 25$ MHz |



**Figure 3.** Acquisition Timing Diagram Using STROBE as the Sample Clock



**Figure 4.** Acquisition Timing Diagram with Sample Clock Sources Other than STROBE

## CLK IN (SMB Jack Connector)

| Specification                  | Value   |   |                            |                            | Comments            |
|--------------------------------|---|---|----------------------------|----------------------------|---------------------|
| Direction                      | Input into device   |   |                            |                            | —                   |
| Signal type                    | Single-ended  |   |                            |                            | —                   |
| Destinations                   | 1. Reference clock (for the phase lock loop (PLL))<br>2. Sample clock |   |                            |                            | —                   |
| Input coupling                 | AC  |   |                            |                            | —                   |
| Input protection               | ±10 VDC   |   |                            |                            | —                   |
| Input impedance                | 50 Ω (default) or 1 kΩ  |   |                            |                            | Software-selectable |
| Minimum detectable pulse width | 4 ns  |   |                            |                            | —                   |
| Clock requirements             | Clock must be continuous and free-running.                            |   |                            |                            | —                   |
| As Sample Clock                |   |   |                            |                            |                     |
| External Sample clock range    | Square Waves  |   |                            |                            | —                   |
|                                |   |   |                            |                            |                     |
|                                | Voltage range   | 0.65 V <sub>pp</sub> to 5.0 V <sub>pp</sub>             |                            |                            | —                   |
|                                | Frequency range   | NI 6541: 20 kHz to 50 MHz                               |                            |                            | —                   |
|                                |   | NI 6542: 20 kHz to 100 MHz                              |                            |                            | —                   |
|                                | Duty cycle range  | $f < 50$ MHz: 25% to 75%<br>$f \geq 50$ MHz: 40% to 60% |                            |                            | —                   |
|                                | Sine Waves  |   |                            |                            | —                   |
|                                |   |   |                            |                            |                     |
|                                | Voltage range   | 0.65 to 5.0 V <sub>pp</sub>                             | 1.0 to 5.0 V <sub>pp</sub> | 2.0 to 5.0 V <sub>pp</sub> | —                   |
|                                | Frequency range   | NI 6541: 5.5 to 50 MHz                                  | NI 6541: 3.5 to 50 MHz     | NI 6541: 1.8 to 50 MHz     | —                   |
| NI 6542: 5.5 to 100 MHz        |   | NI 6542: 3.5 to 100 MHz                                 | NI 6542: 1.8 to 100 MHz    | —                          |                     |

| Specification                   | Value                       | Comments |
|---------------------------------|-----------------------------|----------|
| <b>As Reference Clock</b>       |                             |          |
| Reference clock frequency range | 10 MHz $\pm$ 50 ppm         | —        |
| Reference clock voltage range   | 0.65 to 5.0 V <sub>pp</sub> | —        |
| Reference clock duty cycle      | 25 to 75%                   | —        |

## STROBE (DDC Connector)

| Specification                  | Value   |  | Comments  |
|--------------------------------|---|--|---|
| Direction                      | Input into device   |  | —   |
| Destinations                   | Sample clock (acquisition only)   |  | —   |
| STROBE frequency range         | <b>NI 6541:</b> 48 Hz to 50 MHz<br><b>NI 6542:</b> 48 Hz to 100 MHz   |  | —   |
| STROBE duty cycle range        | <b>NI 6541:</b> 25 to 75% for clock frequencies <50 MHz<br><b>NI 6542:</b> 40 to 60% for clock frequencies $\geq$ 50 MHz<br>25 to 75% for clock frequencies <50 MHz |  | At the programmed thresholds                    |
| Minimum detectable pulse width | 4 ns  |  | Required at both acquisition voltage thresholds |
| Voltage thresholds             | Refer to the <i>Acquisition Timing (Data, STROBE, and PFI &lt;0..3&gt; Channels)</i> specifications in the <i>Channel Specifications</i> section.                   |  | —   |
| Clock requirements             | Clock must be continuous and free-running   |  | —   |
| Input impedance                | <b>Module Assemblies Labeled A and B</b>  | <b>Module Assemblies Labeled C and Later</b> | Software-selectable                             |
|                                | 10 k $\Omega$   | 50 k $\Omega$                                |   |

## PXI\_STAR (PXI Backplane)

| Specification            | Value   | Comments |
|--------------------------|---|----------|
| Direction                | Input into device   | —        |
| Signal type              | Single-ended  | —        |
| Destinations             | <ol style="list-style-type: none"> <li>1. Sample clock</li> <li>2. Start trigger</li> <li>3. Reference trigger (acquisition sessions only)</li> <li>4. Advance trigger (acquisition sessions only)</li> <li>5. Pause trigger (generation sessions only)</li> <li>6. Script trigger &lt;0..3&gt; (generation sessions only)</li> </ol> | —        |
| PXI_STAR frequency range | <b>NI 6541:</b> 48 Hz to 50 MHz<br><b>NI 6542:</b> 48 Hz to 100 MHz   | —        |
| Clock requirements       | Clock must be continuous and free-running.  | —        |

## CLK OUT (SMB Jack Connector)

| Specification              | Value   | Comments |
|----------------------------|---|----------|
| Direction                  | Output from device  | —        |
| Sources                    | <ol style="list-style-type: none"> <li>1. Sample clock (excluding STROBE)</li> <li>2. Reference clock (PLL)</li> </ol>                                | —        |
| Output impedance           | 50 $\Omega$ nominal   | —        |
| Electrical characteristics | Refer to the <i>Generation Timing (Data, DDC CLK OUT, and PFI &lt;0..3&gt; Channels)</i> specifications in the <i>Channel Specifications</i> section. | —        |
| Maximum drive current      | 8 mA at 1.8V, 16 mA at 2.5V, 32 mA at 3.3V  | —        |
| Logic type                 | Generation logic family setting (3.3V, 2.5V, 1.8V)  | —        |



## DDC CLK OUT (DDC Connector)

| Specification              | Value   | Comments                                |
|----------------------------|---|---|
| Direction                  | Output from device  | —                                       |
| Sources                    | Sample clock  | STROBE cannot be routed to DDC CLK OUT. |
| Electrical characteristics | Refer to the <i>Generation Timing (Data, DDC CLK OUT, and PFI &lt;0..3&gt; Channels)</i> specifications in the <i>Channel Specifications</i> section. | —                                       |

## Reference Clock (PLL)

| Specification                    | Value   | Comments                                     |
|----------------------------------|---|--|
| Reference clock sources          | <ol style="list-style-type: none"> <li>1. PXI_CLK10 (PXI backplane—PXI only)</li> <li>2. RTSI 7 (PCI only)</li> <li>3. CLK IN (SMB jack connector)</li> <li>4. None (On Board Clock not locked to a reference)</li> </ol> | Provides the reference frequency for the PLL |
| Lock time                        | 400 ms  | Typical                                      |
| Reference clock frequencies      | 10 MHz $\pm$ 50 ppm   | —  |
| Reference clock duty cycle range | 25 to 75%   | —  |
| Reference clock destinations     | CLK OUT (SMB jack connector)  | —  |

# Waveform Specifications

## Memory and Scripting

| Specification       | Value   |   |  | Comments   |
|---------------------|---|---|--|--|
| Memory architecture | The NI 6541/6542 uses the Synchronization and Memory Core (SMC) technology in which waveforms and instructions share onboard memory. Parameters such as number of script instructions, maximum number of waveforms in memory, and number of samples (S) available for waveform storage are flexible and user-defined. |   |  | Refer to the <i>Onboard Memory</i> section in the <i>NI Digital Waveform Generator/Analyzer Help</i> for more information. |
| Onboard memory size | 1 Mbit/channel (for generation sessions)  | 8 Mbit/channel (for generation sessions)  | 64 Mbit/channel (for generation sessions)  | Maximum limit for generation sessions assumes no scripting instructions.   |
|                     | 1 Mbit/channel (for acquisition sessions)   | 8 Mbit/channel (for acquisition sessions) | 64 Mbit/channel (for acquisition sessions) |  |
| Generation modes    | <b>Single-waveform mode:</b><br>Generate a single waveform once, $n$ times, or continuously.  |   |  | —  |
|                     | <b>Scripted mode:</b><br>Generate a simple or complex sequence of waveforms. Use scripts to describe the waveforms to be generated, the order in which the waveforms are generated, how many times the waveforms are generated, and how the device responds to Script triggers.                                       |   |  |  |

| Specification                                   | Value   |                                   | Comments   |
|---|---|-----------------------------------|--|
| Generation minimum waveform size in samples (S) | <b>Configuration</b>                              | <b>Sample Rate</b>                |  |
|   |   | <b>100 MHz<br/>(NI 6542 only)</b> | <b>50 MHz</b>  |
|   | Single waveform                                   | 2 S                               | 2 S  |
|   | Continuous waveform                               | 32 S                              | 16 S   |
|   | Stepped sequence                                  | 128 S                             | 64 S   |
|   | Burst sequence                                    | 512 S                             | 256 S  |
| Generation finite repeat count                  | 1 to 16,777,216                                   |                                   | —  |
| Generation waveform quantum                     | Waveform size must be an integer multiple of 2 S. |                                   | Regardless of waveform size, NI-HSDIO allocates waveforms into block sizes of 32 S of physical memory. |
| Acquisition minimum record size                 | 1 S   |                                   | Regardless of waveform size, NI-HSDIO allocates at least 128 bytes for a record.                       |
| Acquisition record quantum                      | 1 S   |                                   | —  |

| Specification  | Value               | Comments |
|--|---------------------|----------|
| Acquisition maximum number of records                | 2,147,483,647       | —        |
| Acquisition number of pre-Reference trigger samples  | 0 up to full record | —        |
| Acquisition number of post-Reference trigger samples | 0 up to full record | —        |

## Triggers (Inputs to the NI 6541/6542)

| Specification | Value   | Comments |
|---------------|---|----------|
| Trigger types | <ol style="list-style-type: none"> <li>1. Start trigger</li> <li>2. Pause trigger</li> <li>3. Script trigger &lt;0..3&gt; (generation sessions only)</li> <li>4. Reference trigger (acquisition sessions only)</li> <li>5. Advance trigger (acquisition sessions only)</li> </ol>   | —        |
| Sources       | <ol style="list-style-type: none"> <li>1. PFI 0 (SMB jack connector)</li> <li>2. PFI &lt;1..3&gt; (DDC connector)</li> <li>3. PXI_TRIG&lt;0..7&gt; (PXI backplane—PXI only)/RTSI &lt;0..7&gt; (RTSI bus—PCI only)</li> <li>4. PXI_STAR (PXI backplane—PXI only)</li> <li>5. Pattern match (acquisition sessions only)</li> <li>6. Software (user function call)</li> <li>7. Disabled (do not wait for a trigger)</li> </ol> | —        |

| Specification                             | Value   |                                   |  | Comments   |
|---|---|-----------------------------------|--|--|
| Trigger detection                         | 1. Start trigger (edge detection: rising or falling)<br>2. Pause trigger (level detection: high or low)<br>3. Script trigger <0..3> (edge detection: rising or falling; level detection: high or low)<br>4. Reference trigger (edge detection: rising or falling)<br>5. Advance trigger (edge detection: rising or falling) |                                   |  | —  |
| Minimum required trigger pulse width      | <b>Generation Triggers</b>  |                                   | <b>Acquisition Triggers</b>                                      | —  |
|   | 30 ns   |                                   | Acquisition triggers must meet setup and hold time requirements. |  |
| Trigger rearm time                        | <b>Start to Reference Trigger</b>   | <b>Start to Advance Trigger</b>   | <b>Reference to Reference Trigger</b>                            | —  |
|   | 57 S, typical;<br>64 S, maximum   | 138 S, typical;<br>143 S, maximum | 132 S, typical;<br>153 S, maximum                                |  |
| Destinations                              | 1. PFI 0 (SMB jack connectors)<br>2. PFI <1..3> (DDC connector)<br>3. PXI_TRIG<0..6> (PXI backplane—PXI only)/RTSI<0..6> (RTSI bus—PCI only)  |                                   |  | Each trigger can be routed to any destination except the Pause trigger. The Pause trigger cannot be exported for acquisition sessions. |
| Delay from Pause trigger to Pause state   | <b>Generation Sessions</b>  |                                   | <b>Acquisition Sessions</b>                                      | Use the Data Active event during generation to determine when the NI 6541/6542 enters the Pause state.                                 |
|   | 32 Sample clock periods + 150 ns  |                                   | Synchronous with the data  |  |
| Delay from trigger to digital data output | 32 Sample clock periods + 160 ns  |                                   |  | —  |

## Events (Generated from the NI 6541/6542)

| Specification                      | Value  | Comments   |
|------------------------------------|--|--|
| Event type                         | <ol style="list-style-type: none"> <li>1. Marker &lt;0..3&gt; (generation sessions only)</li> <li>2. Data Active event (generation sessions only)</li> <li>3. Ready for Start event</li> <li>4. Ready for Advance event (acquisition sessions only)</li> <li>5. End of Record event (acquisition sessions only)</li> </ol> | —  |
| Destinations                       | <ol style="list-style-type: none"> <li>1. PFI 0 (SMB jack connectors)</li> <li>2. PFI &lt;1..3&gt; (DDC connector)</li> <li>3. PXI_TRIG&lt;0..6&gt; (PXI backplane—PXI only)/RTSI&lt;0..6&gt; (RTSI bus—PCI only)</li> </ol>   | Each event can be routed to any destination, except the Data Active event. The Data Active event can be routed only to the PFI channels. |
| Marker time resolution (placement) | Markers must be placed at an integer multiple of 2 S.  | —  |

## Miscellaneous

| Specification  | Value             | Comments |
|--|-------------------|----------|
| Warm-up time   | 15 minutes        | —        |
| <b>On Board Clock characteristics (valid when PLL reference source is set to None)</b> |                   |          |
| Frequency accuracy   | ±100 ppm          | —        |
| Temperature stability  | ±30 ppm           | —        |
| Aging  | ±5 ppm first year | —        |

## Power

| Specification | Value   |         | Comments |
|---------------|---------|---------|----------|
|               | Typical | Maximum |          |
| +3.3 VDC      | 1.6 A   | 1.8 A   | —        |
| +5 VDC        | 1.2 A   | 1.7 A   | —        |
| +12 VDC       | 0.25 A  | 0.40 A  | —        |
| –12 VDC       | 0.06 A  | 0.10 A  | —        |
| Total power   | 15 W    | 20.5 W  | —        |

## Physical Specifications

| Specification                | Value   |                                     | Comments |
|------------------------------|---|-------------------------------------|----------|
| Dimensions                   | PXI   | PCI                                 | —        |
|                              | 3U, One Slot, PXI/cPCI Module<br>21.6 × 2.0 × 13.1 cm<br>(8.5 × 0.8 × 5.16 in.) | 12.6 × 35.5 cm<br>(4.95 × 13.9 in.) |          |
| Weight                       | PXI   | PCI                                 | —        |
|                              | 343 g (12.1 oz)   | PCI: 410 g (14.5 oz)                |          |
| Front Panel Connectors       |   |                                     |          |
| Label                        | Function(s)   | Connector Type                      |          |
| CLK IN                       | External Sample clock,<br>external PLL reference input                          | SMB jack connector                  | —        |
| PFI 0                        | Events, triggers  | SMB jack connector                  | —        |
| CLK OUT                      | Exported Sample clock,<br>exported Reference clock                              | SMB jack connector                  | —        |
| DIGITAL<br>DATA &<br>CONTROL | Digital data channels,<br>exported Sample clock,<br>STROBE, events, triggers    | 68-pin VHDCI connector              | —        |

## Software

| Specification        | Value   | Comments   |
|----------------------|---|--|
| Driver software      | NI-HSDIO driver software 1.2 or later. NI-HSDIO allows you to configure and control the NI 6541/6542. NI-HSDIO provides application interfaces for many development environments. NI-HSDIO follows IVI application programming interface (API) guidelines.                                    | —  |
| Application software | NI-HSDIO provides programming interfaces for the following application development environments (ADEs): <ul style="list-style-type: none"> <li>National Instruments LabVIEW</li> <li>National Instruments LabWindows<sup>TM</sup>/CVI<sup>TM</sup></li> <li>Microsoft Visual C/C++</li> </ul> | Refer to the <i>NI-HSDIO Instrument Driver Readme</i> for more information about supported ADE versions. |
| Test panel           | National Instruments Measurement & Automation Explorer (MAX) provides test panels with basic acquisition and generation functionality for the NI 6541/6542. MAX is included on the NI-HSDIO driver CD.  | —  |

## Environment



**Note** To ensure that the NI 6541/6542 cools effectively, follow the guidelines in the *Maintain Forced Air Cooling Note to Users* included with the NI 6541/6542. The NI 6541/6542 is intended for indoor use only.

| Specification         | Value   | Comments |
|-----------------------|---|----------|
| Operating temperature | <b>PXI:</b> 0 to +55 °C in all NI PXI chassis except the following:<br>0 to +45 °C when installed in an NI PXI-1000/B and NI PXI-101X chassis (Meets IEC 60068-2-1 and IEC 60068-2-2.)<br><b>PCI:</b> 0 to +45 °C | —        |
| Storage temperature   | –20 to 70 °C  | —        |





| Specification               | Value  | Comments |
|-----------------------------|--|----------|
| Operating relative humidity | 10 to 90% relative humidity, noncondensing (Meets IEC 60068-2-56.)   | —        |
| Storage relative humidity   | 5 to 95% relative humidity, noncondensing (Meets IEC 60068-2-56.)  | —        |
| Operating shock             | 30 g, half-sine, 11 ms pulse (Meets IEC 60068-2-27. Test profile developed in accordance with MIL-PRF-28800F.)           | —        |
| Storage shock               | 50 g, half-size, 11 ms pulse (Meets IEC 60068-2-27. Test profile developed in accordance with MIL-PRF-28800F.)           | —        |
| Operating vibration         | 5 to 500 Hz, 0.31 g <sub>rms</sub> (Meets IEC 60068-2-64.)   | —        |
| Storage vibration           | 5 to 500 Hz, 2.46 g <sub>rms</sub> (Meets IEC 60068-2-64. Test profile exceeds requirements of MIL-PRF-28800F, Class B.) | —        |
| Altitude                    | 0 to 2,000 m above sea level (at 25 °C ambient temperature.)   | —        |
| Pollution Degree            | 2  | —        |

## Safety, Electromagnetic Compatibility, and CE Compliance

| Specification | Value   | Comments  |
|---------------|---|---|
| Safety        | <p>The NI 6541/6542 meets the requirements of the following standards of safety for electrical equipment for measurement, control, and laboratory use:</p> <ul style="list-style-type: none"> <li>• IEC 61010-1, EN 61010-1</li> <li>• UL 61010-1, CSA 61010-1</li> </ul> | For UL and other safety certifications, refer to the product label or to the <i>Online Product Certification</i> section. |

| Specification                                  | Value   | Comments  |
|--|---|---|
| Electro-magnetic Compatibility Directive (EMC) | <p>This product meets the requirements of the following EMC standards for electrical equipment for measurement, control, and laboratory use:</p> <ul style="list-style-type: none"> <li>• EN 61326-1 (IEC 61326-1): Class A emissions; Basic immunity</li> <li>• EN 55011 (CISPR 11): Group 1, Class A emissions</li> <li>• AS/NZS CISPR 11: Group 1, Class A emissions</li> <li>• FCC 47 CFR Part 15B: Class A emissions</li> <li>• ICES-001: Class A emissions</li> </ul> <p>For the standards applied to assess the EMC of this product, refer to the <i>Online Product Certification</i> section below.</p> | <p>To meet EMC compliance:</p> <p>SHC68-C68-D4 or SHC68-C68-D2 shielded cable must be used when operating the NI 6541/6542.</p> <p>EMI filler panels (NI P/N 778700-01) must be installed in all empty slots of the NI 6541/6542.</p> |
| CE Compliance                                  | <p>This product meets the essential requirements of applicable European Directives as follows:</p> <ul style="list-style-type: none"> <li>• 2006/95/EC; Low-Voltage Directive (safety)</li> <li>• 2004/108/EC; Electromagnetic Compatibility Directive (EMC)</li> </ul>   | —   |
| Online Product Certification                   | <p>Refer to the product Declaration of Conformity (DoC) for additional regulatory compliance information. To obtain product certifications and the DoC for this product, visit <a href="http://ni.com/certification">ni.com/certification</a>, search by model number or product line, and click the appropriate link in the Certification column.</p>  | —   |
| Environmental Management                       | <p>NI is committed to designing and manufacturing products in an environmentally responsible manner. NI recognizes that eliminating certain hazardous substances from our products is beneficial to the environment and to NI customers.</p> <p>For additional environmental information, refer to the <i>NI and the Environment</i> Web page at <a href="http://ni.com/environment">ni.com/environment</a>. This page contains the environmental regulations and directives with which NI complies, as well as other environmental information not included in this document.</p>                              | —   |

| Specification  | Value   | Comments |
|--|---|----------|
| <br>Waste Electrical and Electronic Equipment (WEEE)  | <b>EU Customers:</b> At the end of the product life cycle, all products <i>must</i> be sent to a WEEE recycling center. For more information about WEEE recycling centers, National Instruments WEEE initiatives and compliance with WEEE Directive 2002/96/EC on Waste Electrical and Electronic Equipment, visit <a href="http://ni.com/environment/weee">ni.com/environment/weee</a> . | —        |
| <div>  <b>中国客户</b> National Instruments 符合中国电子信息产品中限制使用某些有害物质指令 (RoHS)。<br/> 关于 National Instruments 中国 RoHS 合规性信息，请登录 <a href="http://ni.com/environment/rohs_china">ni.com/environment/rohs_china</a>。<br/> (For information about China RoHS compliance, go to <a href="http://ni.com/environment/rohs_china">ni.com/environment/rohs_china</a>.) </div> |   |          |

CVI, LabVIEW, National Instruments, NI, ni.com, the National Instruments corporate logo, and the Eagle logo are trademarks of National Instruments Corporation. Refer to the *Trademark Information* at [ni.com/trademarks](http://ni.com/trademarks) for other National Instruments trademarks. The mark LabWindows is used under a license from Microsoft Corporation. Windows is a registered trademark of Microsoft Corporation in the United States and other countries. Other product and company names mentioned herein are trademarks or trade names of their respective companies. For patents covering National Instruments products/technology, refer to the appropriate location: **Help»Patents** in your software, the `patents.txt` file on your media, or the *National Instruments Patent Notice* at [ni.com/patents](http://ni.com/patents).

# NI PXI/PCI-6541/6542 仕様

## 50/100 MHz デジタル波形発生器 / アナライザ

このドキュメントは、NI PXI/PCI-6541 (NI 6541) および NI PXI/PCI-6542 (NI 6542) の仕様を記載します。

標準値は、室温で動作する平均単位です。仕様は事前の通知なしに変更されることがあります。最新の NI 6541/6542 の仕様については、[ni.com/manuals](http://ni.com/manuals) をご覧ください。

NI 6541 信号の機能的な説明が記載されている『NI デジタル波形発生器 / アナライザスタートアップガイド』を含む、NI 6541/6542 のドキュメントにアクセスするには、**スタート→プログラム→National Instruments→NI-HSDIO→ドキュメント**を参照してください。



### 熱面

NI 6541/6542 を長時間使用している場合、安全取り扱い温度を超え、火傷をする可能性があります。シャーシから取り外す前に、NI 6541/6542 を冷却してください。



### メモ

すべての値は、1 m ケーブル (SHC68-C68-D4 を推奨) を使用して取得されたものです。指定より長いケーブルを使用した場合、性能仕様は保証されません。値は、特に記載がない限り標準値です。

## 目次

|  |    |
|--|----|
| チャンネル仕様 .....  | 2  |
| 生成チャンネル (データ、DDC CLK OUT、および PFI <0..3>) .....       | 3  |
| 集録チャンネル (データ、STROBE、および PFI <0..3>) .....            | 4  |
| タイミング仕様 .....  | 5  |
| サンプルクロック .....                                       | 5  |
| 生成タイミング (データ、DDC CLK OUT、および PFI <0..3> チャンネル) ..... | 7  |
| 所定の生成セットアップおよびホールド時間 .....                           | 8  |
| 集録タイミング (データ、STROBE、および PFI <0..3> チャンネル) .....      | 11 |
| CLK IN (SMB ジャックコネクタ) .....                          | 14 |
| STROBE (DDC コネクタ) .....                              | 15 |
| PXI_STAR (PXI バックプレーン) .....                         | 16 |

|                               |    |
|-------------------------------|----|
| CLK OUT (SMB ジャックコネクタ) .....  | 16 |
| DDC CLK OUT (DDC コネクタ) .....  | 17 |
| 基準クロック (PLL) .....            | 17 |
| 波形仕様.....                     | 18 |
| メモリおよびスクリプト .....             | 18 |
| トリガ (NI 6541/6542 への入力) ..... | 20 |
| イベント (NI 6541/6542 から生成)..... | 21 |
| その他 .....                     | 22 |
| 電源.....                       | 23 |
| 物理特性.....                     | 23 |
| ソフトウェア .....                  | 24 |
| 環境仕様.....                     | 24 |
| 安全性、電磁両立性、CE 適合 .....         | 25 |

## チャンネル仕様

| 仕様                            | 値            | コメント   |
|-------------------------------|--------------|--|
| データチャンネル数                     | 32           | —  |
| データチャンネルの出入力方向制御              | 各チャンネルごと     | —  |
| PFI (プログラム可能関数インタフェース) チャンネル数 | 4            | 詳細については、「 <a href="#">波形仕様</a> 」セクションを参照してください。    |
| PFI チャンネルの出入力方向制御             | 各チャンネルごと     | —  |
| クロック端子数                       | 3 入力<br>2 出力 | 詳細については、「 <a href="#">タイミング仕様</a> 」セクションを参照してください。 |

## 生成チャンネル（データ、DDC CLK OUT、および PFI <0..3>）

| 仕様                  | 値   |       |                        |       | コメント        |
|---------------------|---|-------|------------------------|-------|-------------|
| 生成電圧の種類             | 1.8V、2.5V、3.3V TTL<br>(5V TTL 対応)                 |       |                        |       | 1 MΩ 負荷     |
| 生成信号タイプ             | シングルエンド   |       |                        |       | —           |
| 生成電圧のレベル            | LOW 電圧レベル   |       | HIGH 電圧レベル             |       | —           |
|                     | 標準  | 最大    | 最小                     | 標準    |             |
|                     | 1.8V  | 0 V   | 0.1 V                  | 1.7 V | 1.8 V       |
| 2.5V                | 0 V   | 0.1 V | 2.4 V                  | 2.5 V |             |
| 3.3V                | 0 V   | 0.1 V | 3.2 V                  | 3.3 V |             |
| 5.0V                | 0 V   | 0.1 V | 3.2 V                  | 3.3 V |             |
| 出力インピーダンス           | 50 Ω（公称）  |       |                        |       | —           |
| 最大 DC 出力電流強度        | 1.8 V 時 ±8 mA<br>2.5 V 時 ±16 mA<br>3.3 V 時 ±32 mA |       |                        |       | —           |
| データチャンネル駆動有効 / 無効制御 | 各チャンネルごと  |       |                        |       | ソフトウェアで選択可能 |
| チャンネル電源投入時の状態       | A および B のラベルが付いたモジュールアセンブリ                        |       | C 以降のラベルが付いたモジュールアセンブリ |       | —           |
|                     | ドライバ無効、10 kΩ 入力インピーダンス                            |       | ドライバ無効、50 kΩ 入力インピーダンス |       |             |
| 出力保護                | デバイスは、0 ～ 5V の電圧間で短絡に対して無限に耐えます。                  |       |                        |       | —           |

## 集録チャンネル（データ、STROBE、および PFI<0..3>）

| 仕様        | 値                             |                        | コメント                                  |
|-----------|-------------------------------|------------------------|---------------------------------------|
| 集録電圧の種類   | 1.8V、2.5V、3.3V TTL（5V TTL 対応） |                        | —                                     |
| 集録信号タイプ   | シングルエンド                       |                        | —                                     |
| 集録電圧レベル   | 低電圧しきい値                       | 高電圧しきい値                | —                                     |
|           | 最大                            | 最小                     |                                       |
|           |                               |                        |                                       |
| 1.8V      | 0.45 V                        | 1.35 V                 | —                                     |
| 2.5V      | 0.75 V                        | 1.75 V                 | —                                     |
| 3.3V      | 1.00 V                        | 2.30 V                 | —                                     |
| 5.0V      | 1.00 V                        | 2.30 V                 | —                                     |
| 入力インピーダンス | A および B のラベルが付いたモジュールアセンブリ    | C 以降のラベルが付いたモジュールアセンブリ | —                                     |
|           | 10 kΩ                         | 50 kΩ                  |                                       |
| 入力保護      | -1 ～ 6 V                      |                        | 設計のダイオードクランプは、この範囲外で追加保護を提供する場合があります。 |



# タイミング仕様

## サンプルクロック

| 仕様                      | 値   | コメント  |
|-------------------------|---|---|
| サンプルクロックソース             | 1. オンボードクロック（内部電圧制御水晶発振器（VCXO）分周器付）<br>2. CLK IN（SMB ジャックコネクタ）<br>3. PXI_STAR（PXI バックプレーン—PXI のみ）<br>4. STROBE（Digital Data & Control（DDC）コネクタ、集録のみ）                      | —   |
| オンボードクロック周波数範囲          | <b>NI 6541:</b> 48 Hz ~ 50 MHz<br>200 MHz/ $N$ ( $4 \leq N \leq 4,194,304$ ) に構成可能<br><b>NI 6542:</b> 48 Hz ~ 100 MHz<br>200 MHz/ $N$ ( $2 \leq N \leq 4,194,304$ ) に構成可能 | —   |
| CLK IN 周波数範囲            | <b>NI 6541:</b> 20 kHz ~ 50 MHz<br><b>NI 6542:</b> 20 kHz ~ 100 MHz   | 波形タイプによる制限については、<br><a href="#">「CLK IN（SMB ジャックコネクタ）」</a> のセクションを参照してください。 |
| PXI_STAR 周波数レンジ（PXI のみ） | <b>NI 6541:</b> 48 Hz ~ 50 MHz<br><b>NI 6542:</b> 48 Hz ~ 100 MHz   | <a href="#">「PXI_STAR（PXI バックプレーン）」</a> のセクションを参照してください。                    |
| STROBE 周波数範囲            | <b>NI 6541:</b> 48 Hz ~ 50 MHz<br><b>NI 6542:</b> 48 Hz ~ 100 MHz   | <a href="#">「STROBE（DDC コネクタ）」</a> のセクションを参照してください。                         |
| サンプルクロック相対遅延の調整範囲       | 0.0 ~ 1.0 サンプルクロック周期  | 遅延または位相調整をオンボードクロックに適用して複数のデバイスを同期することができません。                               |
| サンプルクロック相対遅延の調整分解能      | 10 ps   |   |

| 仕様                                    | 値  |                      | コメント                                 |
|---------------------------------------|--|----------------------|--------------------------------------|
| エクスポートしたサンプルクロックの出力先                  | 1. DDC CLK OUT (DDC コネクタ)<br>2. CLK OUT (SMB ジャックコネクタ) |                      | STROBE 以外のソースのあるサンプルクロックがエクスポートされます。 |
| エクスポートしたサンプルクロックの遅延範囲 ( $\delta_C$ )  | 0.0 ~ 1.0 サンプルクロック周期                                   |                      | クロック周波数が 25 MHz 以上の場合                |
| エクスポートしたサンプルクロックの遅延分解能 ( $\delta_C$ ) | サンプルクロック周期の 1/256                                      |                      | クロック周波数が 25 MHz 以上の場合                |
| エクスポートしたサンプルクロックジッタ                   | 周期ジッタ  | サイクル間ジッタ             | 標準、オンボードクロックを使用                      |
|                                       | 20 ps <sub>rms</sub>                                   | 35 ps <sub>rms</sub> |                                      |

## 生成タイミング（データ、DDC CLK OUT、および PFI<0..3> チャネル）

| 仕様   | 値  | コメント                  |
|--|--|-----------------------|
| データチャンネル間スキュー                                  | $\pm 600$ ps   | すべてのデータチャンネル間の標準スキュー  |
| 最大データチャンネルトグルレート                               | <b>NI 6541:</b> 25 MHz<br><b>NI 6542:</b> 50 MHz           | —                     |
| データ位置モード                                       | サンプルクロック立ち上がりエッジ、サンプルクロック立ち下がりエッジ、またはサンプルクロック立ち上がりエッジからの遅延 | —                     |
| 生成データ遅延範囲 ( $\delta_G$ )                       | 0.0 ~ 1.0 サンプルクロック周期                                       | クロック周波数が 25 MHz 以上の場合 |
| 生成データ遅延分解能 ( $\delta_G$ )                      | サンプルクロック周期の 1/256  | クロック周波数が 25 MHz 以上の場合 |
| エクスポートしたサンプルクロックオフセット ( $t_{CO}$ )             | 0.0 または 2.5 ns (デフォルト)                                     | ソフトウェアで選択可能           |
| サンプルクロック（内部）から DDC コネクタまでの時間遅延 ( $t_{SCDDC}$ ) | 15 ns  | 標準                    |

## 所定の生成セットアップおよびホールド時間

| エクスポートした<br>サンプルクロック<br>モードおよびオフ<br>セット | 電圧の種類     | 立ち上がりク<br>ロックエッジか<br>らデータ遷移ま<br>での時間 ( $t_{PCO}$ ) | 所定の最小セッ<br>トアップ時間<br>( $t_{PSU}$ ) | 所定の最小ホー<br>ルド時間 ( $t_{PH}$ ) |
|---|-----------|--|------------------------------------|------------------------------|
| 非反転、2.5 ns                              | 1.8V      | 2.5 ns (標準)  | $t_p - 5.5$ ns                     | 0.5 ns                       |
|   | 2.5V      |  | $t_p - 4.5$ ns                     | 0.9 ns                       |
|   | 3.3V/5.0V |  | $t_p - 4.5$ ns                     | 1 ns                         |
| 反転、0 ns                                 | 1.8V      | $t_p/2$  | $t_p/2 - 3.5$ ns                   | $(t_p/2) - 1.5$ ns           |
|   | 2.5V      |  | $t_p/2 - 2.5$ ns                   |                              |
|   | 3.3V/5.0V |  | $t_p/2 - 2$ ns                     |                              |

NI 6541/6542 生成セッションの適切なエクスポートしたサンプルクロックモードおよびオフセットを判断するには、被測定物 (DUT) のデータシートのセットアップおよびホールド時間とこの表の値を比較します。NI 6541/6542 が提供するセットアップおよびホールド時間が、DUT に必要なセットアップおよびホールド時間より長くなるように、エクスポートされたサンプルクロックモードおよびオフセットを選択します。

エクスポートしたサンプルクロックモード、および所定のセットアップおよびホールド時間の関係を示す図については、図 1「[所定の生成セットアップおよびホールド時間のタイミング図](#)」を参照してください。

**メモ:** この表は、データ位置がサンプルクロックの立ち上がりエッジに設定され、サンプルクロックが DDC コネクタへエクスポートされていることを前提としています。

この表には、チャンネル間スキュー、シンボル間の混信、およびジッタの最悪なケースの影響が含まれています。

その他のエクスポートされたサンプルクロックモードおよびオフセットの組み合わせも許可されます。前の表は、デフォルトケース（オフセット 2.5 ns の非反転クロック）、そして均等なセットアップおよびホールド時間（オフセット 0 ns の反転クロック）を提供するケースの値のみを表します。

DDC コネクタおよび高速 DIO アクセサリ端子には指定のタイミング関係が適用されます。信号経路設定、信号分割、バッファ、もしくは変換論理のいずれもこの関係に影響を与えます。DDC\_CLK\_OUT のコピーが複数必要な場合、NI ではゼロ遅延バッファを使用してこの関係を保持するように推奨しています。

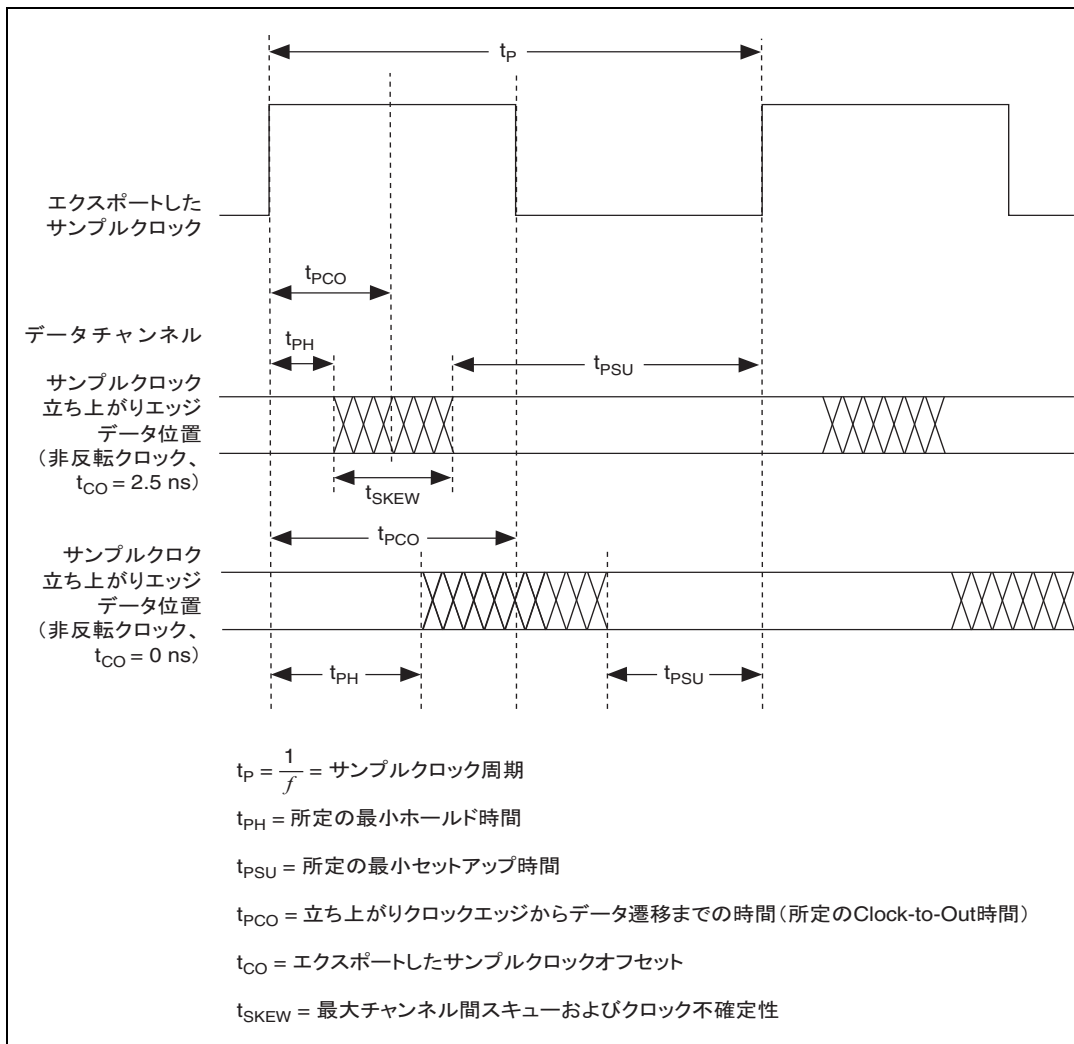
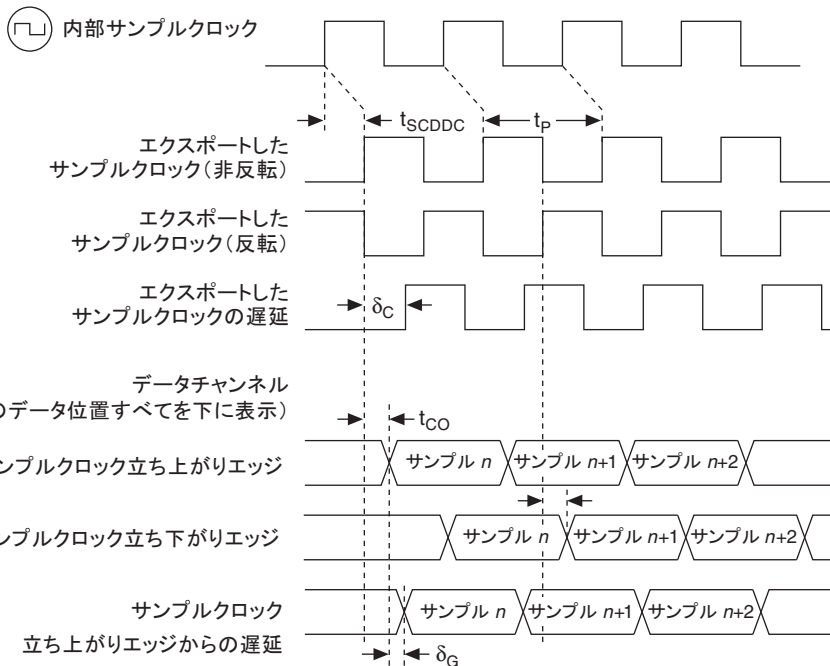


図 1 所定の生成セットアップおよびホールド時間のタイミング図



## メモ

提供されるセットアップおよびホールド時間には最大チャンネル間スキューおよびジッタを含みます。



$t_{SCDDC}$  : 内部サンプルクロックからエクスポートしたサンプルクロックのDCCコネクタまでの時間遅延

$0 \leq \delta_C \leq 1$  : エクスポートしたサンプルクロック遅延 ( $t_P$ の分数)

$0 \leq \delta_G \leq 1$  : 生成のデータ遅延 ( $t_P$ の分数)

$t_P = \frac{1}{f} =$  サンプルクロック周期

$t_{CO}$  = エクスポートしたサンプルクロックオフセット。ソフトウェアにより0または2.5 nsに設定可能

図 2 生成タイミング図

## 集録タイミング（データ、STROBE、および PFI<0..3> チャンネル）

| 仕様   | 値  | コメント   |
|--|--|--|
| チャンネル間<br>スキュー                                     | $\pm 600$ ps   | すべてのデータチャンネル間の標準スキュー   |
| データ位置<br>モード                                       | サンプルクロック立ち上がりエッジ、サンプルクロック立ち下がりエッジ、またはサンプルクロック立ち上がりエッジからの遅延 | —  |
| STROBE までのセットアップ時間 ( $t_{\text{SUS}}$ )            | 3.1 ns   | 最大。最大データチャンネル間スキューを含む  |
| STROBE までのホールド時間 ( $t_{\text{HS}}$ )               | 2.7 ns   | 最大。最大データチャンネル間スキューを含む  |
| DDC コネクタから内部サンプルクロックまでの時間遅延 ( $t_{\text{DDCSC}}$ ) | 10 ns  | 標準   |
| サンプルクロックからのセットアップ時間 ( $t_{\text{SUSC}}$ )          | 0.4 ns   | データチャンネル間スキュー、 $t_{\text{DDCSC}}$ 、または $t_{\text{SCDDC}}$ は含まれません。 |
| サンプルクロックまでのホールド時間 ( $t_{\text{HSC}}$ )             | 0 ns   | データチャンネル間スキュー、 $t_{\text{DDCSC}}$ 、または $t_{\text{SCDDC}}$ は含まれません。 |
| 集録データ遅延範囲 ( $\delta_A$ )                           | 0.0 ~ 1.0 サンプルクロック周期                                       | クロック周波数が 25 MHz 以上の場合  |
| 集録データ遅延分解能 ( $\delta_A$ )                          | サンプルクロック周期の 1/256  | クロック周波数が 25 MHz 以上の場合  |

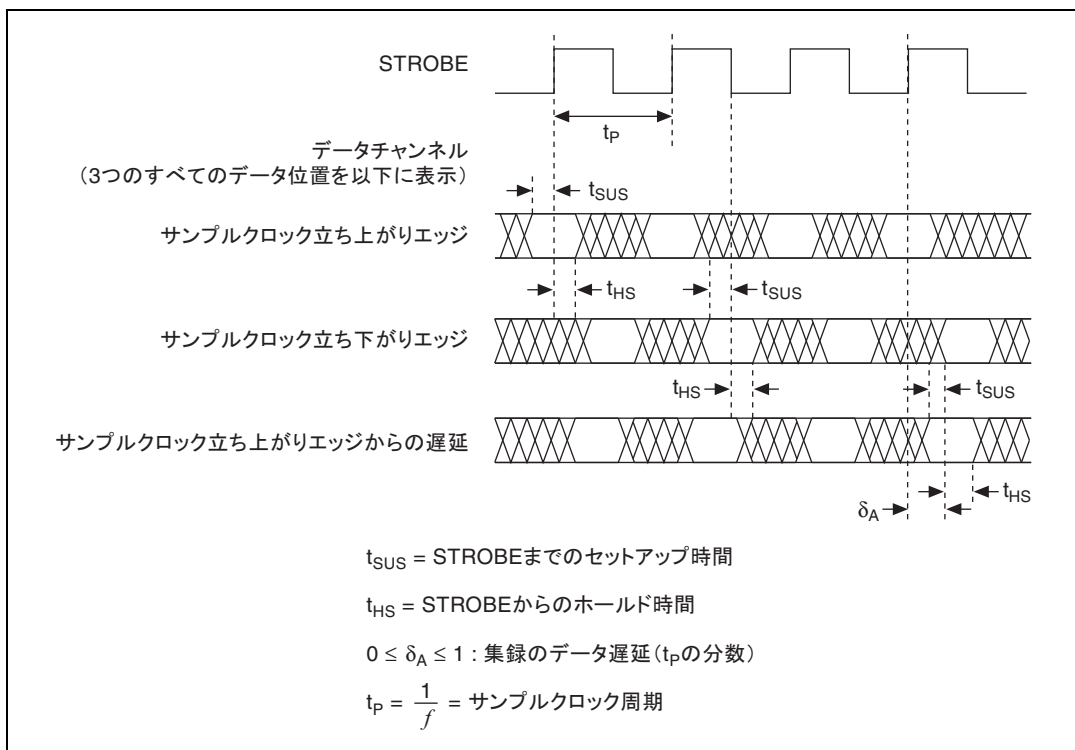
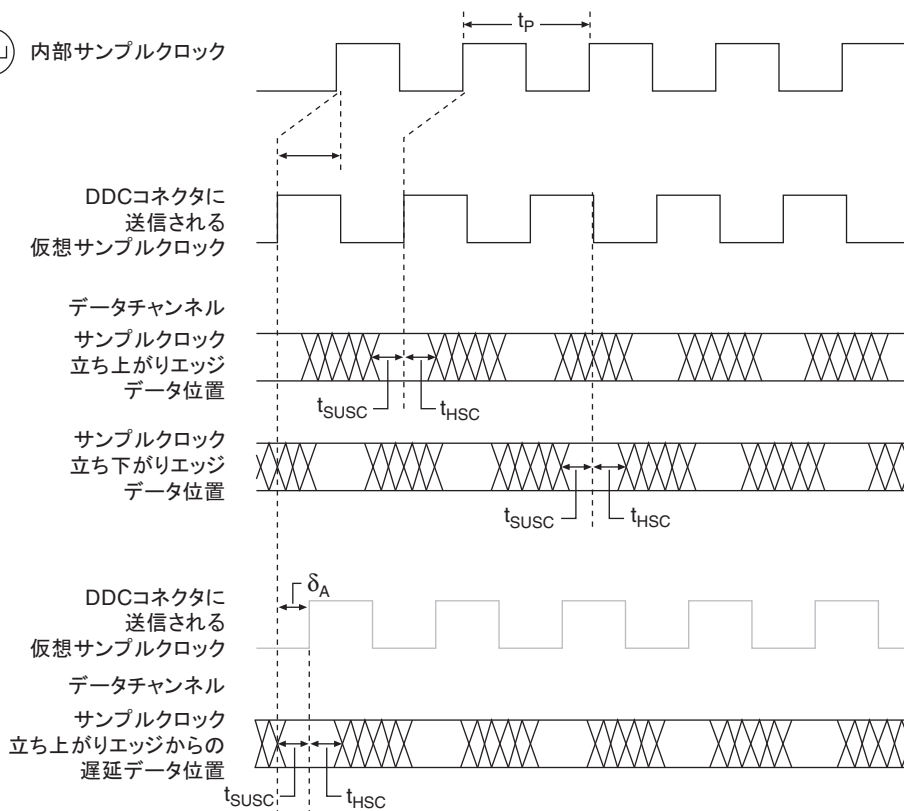


図 3 STROBE をサンプルクロックとして使用する集録タイミング図





内部サンプルクロック



$t_{DDCSC}$  : DDCコネクタから内部サンプルクロックまでの時間遅延

$0 \leq \delta_A \leq 1$  : パターン集録のデータ遅延 ( $t_p$ の分数)

$t_p = \frac{1}{f} =$  サンプルクロック周期

$t_{SUSC} =$  サンプルクロックまでのセットアップ時間

$t_{HSC} =$  サンプルクロックからのホールド時間

図 4 STROBE 以外のサンプルクロックソースを使用する集録タイミング図

## CLK IN (SMB ジャックコネクタ)

| 仕様                 | 値                                       |  |                              | コメント                         |   |
|--------------------|---|--|------------------------------|------------------------------|---|
| 方向                 | デバイスへの入力                                |  |                              | —                            |   |
| 信号タイプ              | シングルエンド                                 |  |                              | —                            |   |
| 出力先                | 1. 基準クロック（PLL: 位相ロックループ）<br>2. サンプルクロック |  |                              | —                            |   |
| 入力カプリング            | AC                                      |  |                              | —                            |   |
| 入力保護               | ±10 VDC                                 |  |                              | —                            |   |
| 入力インピーダンス          | 50 Ω（デフォルト）または 1 kΩ                     |  |                              | ソフトウェアで<br>選択可能              |   |
| 検出可能な最小<br>パルス幅    | 4 ns                                    |  |                              | —                            |   |
| クロック要件             | クロックは連続および自走であること。                      |  |                              | —                            |   |
| サンプルクロックの場合        |   |  |                              |                              |   |
| 外部サンプルク<br>ロックのレンジ | 方形波                                     |  |                              |                              | — |
|                    | 電圧レンジ                                   | 0.65 V <sub>pp</sub> ~ 5.0 V <sub>pp</sub>   |                              |                              | — |
|                    | 周波数範囲                                   | NI 6541: 20 kHz ~ 50 MHz                     |                              |                              | — |
|                    |   | NI 6542: 20 kHz ~ 100 MHz                    |                              |                              | — |
|                    | デューティ<br>サイクルレン<br>ジ                    | f < 50 MHz: 25 ~ 75%<br>f ≥ 50 MHz: 40 ~ 60% |                              |                              | — |
|                    | 正弦波                                     |  |                              |                              | — |
|                    | 電圧レンジ                                   | 0.65 ~<br>5.0 V <sub>pp</sub>                | 1.0 ~<br>5.0 V <sub>pp</sub> | 2.0 ~<br>5.0 V <sub>pp</sub> | — |
|                    | 周波数範囲                                   | NI 6541:<br>5.5 ~<br>50 MHz                  | NI 6541:<br>3.5 ~<br>50 MHz  | NI 6541:<br>1.8 ~<br>50 MHz  | — |
|                    |   | NI 6542:<br>5.5 ~<br>100 MHz                 | NI 6542:<br>3.5 ~<br>100 MHz | NI 6542:<br>1.8 ~<br>100 MHz | — |

| 仕様               | 値                          | コメント |
|------------------|----------------------------|------|
| <b>基準クロックの場合</b> |                            |      |
| 基準クロックの周波数範囲     | 10 MHz $\pm$ 50 ppm        | —    |
| 基準クロックの電圧レンジ     | 0.65 ~ 5.0 V <sub>pp</sub> | —    |
| 基準クロックのデューティサイクル | 25 ~ 75%                   | —    |

## STROBE (DDC コネクタ)

| 仕様                  | 値  |                               | コメント           |
|---------------------|--|-------------------------------|----------------|
| 方向                  | デバイスへの入力   |                               | —              |
| 出力先                 | サンプルクロック (集録のみ)  |                               | —              |
| STROBE 周波数範囲        | <b>NI 6541:</b> 48 Hz ~ 50 MHz<br><b>NI 6542:</b> 48 Hz ~ 100 MHz  |                               | —              |
| STROBE デューティサイクルレンジ | <b>NI 6541:</b> クロック周波数が 50 MHz 未満の場合 25 ~ 75%<br><b>NI 6542:</b> クロック周波数が 50 MHz 以上の場合 40 ~ 60%<br>クロック周波数が 50 MHz 未満の場合、25 ~ 75% |                               | プログラムしきい値の場合   |
| 検出可能な最小パルス幅         | 4 ns   |                               | 両方の集録電圧しきい値が必要 |
| 電圧しきい値              | <a href="#">「チャンネル仕様」</a> セクションの <a href="#">「集録タイミング (データ、STROBE、および PFI&lt;0..3&gt; チャンネル)」</a> 仕様を参照してください。                     |                               | —              |
| クロック要件              | クロックは連続および自走であること。   |                               | —              |
| 入カインピーダンス           | <b>A および B のラベルが付いたモジュールアセンブリ</b>  | <b>C 以降のラベルが付いたモジュールアセンブリ</b> | ソフトウェアで選択可能    |
|                     | 10 k $\Omega$  | 50 k $\Omega$                 |                |

## PXI\_STAR (PXI バックプレーン)

| 仕様             | 値  | コメント |
|----------------|--|------|
| 方向             | デバイスへの入力   | —    |
| 信号タイプ          | シングルエンド  | —    |
| 出力先            | 1. サンプルクロック<br>2. 開始トリガ<br>3. 基準トリガ (集録セッションのみ)<br>4. アドバンストリガ (集録セッションのみ)<br>5. 一時停止トリガ (生成セッションのみ)<br>6. スクリプトトリガ <0..3> (生成セッションのみ) | —    |
| PXI_STAR 周波数範囲 | <b>NI 6541:</b> 48 Hz ~ 50 MHz<br><b>NI 6542:</b> 48 Hz ~ 100 MHz  | —    |
| クロック要件         | クロックは連続および自走であること。   | —    |

## CLK OUT (SMB ジャックコネクタ)

| 仕様        | 値  | コメント |
|-----------|--|------|
| 方向        | デバイスから出力   | —    |
| ソース       | 1. サンプルクロック (STROBE を除く)<br>2. 基準クロック (PLL)  | —    |
| 出力インピーダンス | 50 $\Omega$ (公称)   | —    |
| 電気特性      | 「 <a href="#">チャンネル仕様</a> 」セクションの「 <a href="#">生成タイミング (データ、DDC CLK OUT、および PFI&lt;0..3&gt; チャンネル)</a> 」仕様を参照してください。 | —    |
| 最大駆動電流    | 1.8V 時に 8 mA、2.5V 時に 16 mA、3.3V 時に 32 mA   | —    |
| 論理タイプ     | 生成ロジックファミリ設定 (3.3V、2.5V、1.8V)  | —    |

## DDC CLK OUT (DDC コネクタ)

| 仕様   | 値  | コメント                             |
|------|--|----------------------------------|
| 方向   | デバイスから出力   | —                                |
| ソース  | サンプルクロック   | STROBE は DDC CLK OUT に経路設定できません。 |
| 電気特性 | 「チャンネル仕様」セクションの「生成タイミング (データ、DDC CLK OUT、および PFI<0..3> チャンネル)」仕様を参照してください。 | —                                |

## 基準クロック (PLL)

| 仕様                               | 値   | コメント          |
|----------------------------------|---|---------------|
| 基準クロック<br>ソース                    | 1. PXI_CLK10 (PXI バックプレーン —PXI のみ)<br>2. RTSI 7 (PCI のみ)<br>3. CLK IN (SMB ジャックコネクタ)<br>4. なし (基準にロックされていないオンボードクロック) | PLL の基準周波数を提供 |
| ロック時間                            | 400 ms  | 標準            |
| 基準クロック<br>周波数                    | 10 MHz $\pm$ 50 ppm   | —             |
| 基準クロック<br>のデュー<br>ティーサイク<br>ルレンジ | 25 ~ 75%  | —             |
| 基準クロック<br>周波数の出力<br>先            | CLK OUT (SMB ジャックコネクタ)  | —             |

# 波形仕様

## メモリおよびスクリプト

| 仕様          | 値   |                              |                               | コメント   |
|-------------|---|------------------------------|-------------------------------|--|
| メモリアーキテクチャ  | NI 6541/6542 は、波形と命令がオンボードメモリを共有する SMC (Synchronization and Memory Core) テクノロジを使用しています。スクリプト命令数、メモリ内の最大波形数、および波形ストレージで利用できるサンプル数などのパラメータは、柔軟性がありユーザ定義が可能です。 |                              |                               | 詳細については、『NI デジタル波形発生器 / アナライザヘルプ』の「オンボードメモリ」のセクションを参照してください。 |
| オンボードメモリサイズ | 1 M ビット / チャンネル<br>(生成セッション)  | 8 M ビット / チャンネル<br>(生成セッション) | 64 M ビット / チャンネル<br>(生成セッション) | 生成セッションの最大制限は、スクリプトの命令を使用しないことを前提としています。                     |
|             | 1 M ビット / チャンネル<br>(集録セッション)  | 8 M ビット / チャンネル<br>(集録セッション) | 64 M ビット / チャンネル<br>(集録セッション) |  |
| 生成モード       | <b>単一波形モード：</b><br>単一波形を 1 回のみ、 $n$ 回、または連続で生成します。  |                              |                               | —  |
|             | <b>スクリプトモード：</b><br>シンプルまたは複雑な波形のシーケンスを生成します。スクリプトを使用して、生成する波形、波形が生成される順序、生成する波形数、およびスクリプトトリガにデバイスがどのように反応するかを示します。   |                              |                               |  |

| 仕様                  | 値                       |                         | コメント  |
|---------------------|-------------------------|-------------------------|---|
| サンプル中の生成最小波形サイズ (S) | 構成                      | サンプルレート                 |   |
|                     |                         | 100 MHz<br>(NI 6542 のみ) | 50 MHz  |
|                     | 単一波形                    | 2 S                     | 2 S   |
|                     | 連続波形                    | 32 S                    | 16 S  |
|                     | ステップシーケンス               | 128 S                   | 64 S  |
|                     | バーストシーケンス               | 512 S                   | 256 S   |
| 有限生成繰り返し回数          | 1 ~ 16,777,216          |                         | —   |
| 生成波形量               | 波形サイズは、2 S の整数倍である必要あり。 |                         | 波形サイズに関係なく、NI-HSDIO は波形を物理メモリの 32 S ブロックサイズに割り当てます。 |
| 集録最小レコードサイズ         | 1 S                     |                         | 波形サイズに関係なく、NI-HSDIO は最低 128 バイトをレコードに割り当てます。        |
| 集録レコード量             | 1 S                     |                         | —   |
| 最大集録レコード数           | 2,147,483,647           |                         | —   |

| 仕様                              | 値         | コメント |
|---------------------------------|-----------|------|
| 基準トリガの<br>プレトリガサ<br>ンプル集録数      | 0 ～最大レコード | —    |
| 基準トリガの<br>ポストトリガ<br>サンプル集録<br>数 | 0 ～最大レコード | —    |

## トリガ（NI 6541/6542 への入力）

| 仕様              | 値   |   | コメント |
|-----------------|---|---|------|
| トリガタイプ          | 1. 開始トリガ<br>2. 一時停止トリガ<br>3. スクリプトトリガ <0..3>（生成セッションのみ）<br>4. 基準トリガ（集録セッションのみ）<br>5. アドバンストリガ（集録セッションのみ）  |   | —    |
| ソース             | 1. PFI 0（SMB ジャックコネクタ）<br>2. PFI <1..3>（DDC コネクタ）<br>3. PXI_TRIG<0..7>（PXI バックプレーン →PXI のみ） /<br>RTSI <0..7>（RTSI バス →PCI のみ）<br>4. PXI_STAR（PXI バックプレーン →PXI のみ）<br>5. パターンマッチ（集録セッションのみ）<br>6. ソフトウェア（ユーザによる関数呼び出し）<br>7. 無効（トリガ待機なし） |   | —    |
| トリガ検出           | 1. 開始トリガ（エッジ検出：立ち上がりまたは立ち下がり）<br>2. 一時停止トリガ（レベル検出：HIGH もしくは LOW）<br>3. スクリプトトリガ <0..3>（エッジ検出：立ち上がりまたは<br>立ち下がり、レベル検出：HIGH もしくは LOW）<br>4. 基準トリガ（エッジ検出：立ち上がりまたは立ち下がり）<br>5. アドバンストリガ（エッジ検出：立ち上がりまたは立ち下<br>がり）                            |   | —    |
| 必要最小トリ<br>ガパルス幅 | <b>生成トリガ</b>  | <b>集録トリガ</b>                                  | —    |
|                 | 30 ns   | 集録トリガは、セットアップ<br>およびホールド時間の要件を<br>満たす必要があります。 |      |
| トリガリアー<br>ム時間   | <b>開始～基準トリガ</b>   | <b>開始～アドバンス<br/>トリガ</b>                       | —    |
|                 | 57 S（通常）、<br>64 S（最大）   | 138 S（通常）、<br>143 S（最大）                       |      |
|                 |   | <b>基準～基準トリガ</b>                               |      |
|                 |   | 132 S（通常）、<br>153 S（最大）                       |      |



| 仕様                   | 値   |                | コメント   |
|----------------------|---|----------------|--|
| 出力先                  | 1. PFI 0 (SMB ジャックコネクタ)<br>2. PFI <1..3> (DDC コネクタ)<br>3. PXI_TRIG<0..6> (PXI バックプレーン —PXI のみ) /<br>RTSI <0..6> (RTSI バス —PCI のみ) |                | 各トリガは、一時停止トリガ以外すべての出力先に経路設定可能です。一時停止トリガは集録セッションにエクスポートできません。 |
| 一時停止トリガから一時停止状態までの遅延 | <b>生成セッション</b>  | <b>集録セッション</b> | 生成中にデータアクティブイベントを使用して、NI 6541/6542 が一時停止状態に入るタイミングを決定。       |
|                      | 32 サンプルクロック周期 + 150 ns  | データに同期         |  |
| トリガからデジタルデータ出力までの遅延  | 32 サンプルクロック周期 + 160 ns  |                | —  |

## イベント (NI 6541/6542 から生成)

| 仕様      | 値  | コメント |
|---------|--|------|
| イベントタイプ | 1. マーカ <0..3> (生成セッションのみ)<br>2. データアクティブイベント (生成セッションのみ)<br>3. 開始準備完了イベント<br>4. アドバンス準備完了イベント (集録セッションのみ)<br>5. レコード完了イベント (集録セッションのみ) | —    |

| 仕様            | 値   | コメント   |
|---------------|---|--|
| 出力先           | 1. PFI 0 (SMB ジャックコネクタ)<br>2. PFI <1..3> (DDC コネクタ)<br>3. PXL_TRIG<0..6> (PXL バックプレーン →PXL のみ) /<br>RTSI <0..6> (RTSI バス →PCI のみ) | 各イベントは、データアクティビイベント以外すべての出力先に接続可能です。データアクティビイベントは、PFI チャネルのみに接続可能です。 |
| マーカ時間分解能 (配置) | マーカは、2 S の整数倍で配置される必要あり。  | —  |

## その他

| 仕様  | 値             | コメント |
|---|---------------|------|
| ウォームアップ時間                                       | 15 分          | —    |
| <b>オンボードクロックの特性 (PLL 基準ソースがなしに設定されている場合に有効)</b> |               |      |
| 周波数確度   | ±100 ppm      | —    |
| 温度安定性   | ±30 ppm       | —    |
| 経時特性  | ±5 ppm (1 年目) | —    |

## 電源

| 仕様       | 値      |        | コメント |
|----------|--------|--------|------|
|          | 標準     | 最大     |      |
| +3.3 VDC | 1.6 A  | 1.8 A  | —    |
| +5 VDC   | 1.2 A  | 1.7 A  | —    |
| +12 VDC  | 0.25 A | 0.40 A | —    |
| −12 VDC  | 0.06 A | 0.10 A | —    |
| 合計電力     | 15 W   | 20.5 W | —    |

## 物理特性

| 仕様                     | 値  |                                     | コメント |
|------------------------|--|-------------------------------------|------|
| 外形寸法                   | PXI  | PCI                                 | —    |
|                        | 3U、1 スロット、<br>PXI/cPCI モジュール<br>21.6 × 2.0 × 13.1 cm<br>(8.5 × 0.8 × 5.16 in.) | 12.6 × 35.5 cm<br>(4.95 × 13.9 in.) |      |
| 重量                     | PXI  | PCI                                 | —    |
|                        | 343 g (12.1 oz)  | PCI: 410 g (14.5 oz)                |      |
| フロントパネルコネクタ            |  |                                     |      |
| ラベル                    | 機能   | コネクタタイプ                             |      |
| CLK IN                 | 外部サンプルクロック、外部 PLL 基準入力   | SMB ジャックコネクタ                        | —    |
| PFI 0                  | イベント、トリガ   | SMB ジャックコネクタ                        | —    |
| CLK OUT                | エクスポートしたサンプルクロック、エクスポートした基準クロック  | SMB ジャックコネクタ                        | —    |
| DIGITAL DATA & CONTROL | デジタルデータチャンネル、エクスポートしたサンプルクロック、STROBE、イベント、トリガ                                  | 68 ピン、VHDCI コネクタ                    | —    |

## ソフトウェア

| 仕様             | 値   | コメント   |
|----------------|---|--|
| ドライバソフトウェア     | NI-HSDIO ドライバソフトウェア 1.2 以降。NI-HSDIO は、NI 6541/6542 の構成および制御を可能にし、さまざまな開発環境のアプリケーションインタフェースを提供します。<br>NI-HSDIO は、IVI アプリケーションプログラミングインタフェース (API) 指針に従っています。   | —  |
| アプリケーションソフトウェア | NI-HSDIO は、以下のアプリケーション開発環境 (ADE) でプログラミングインタフェースを提供します。 <ul style="list-style-type: none"> <li>National Instruments LabVIEW</li> <li>National Instruments LabWindows™/CVI™</li> <li>Microsoft Visual C/C++</li> </ul> | サポートされている各 ADE のバージョンについては、『NI-HSDIO 計測器ドライバ Readme』を参照してください。 |
| テストパネル         | NI Measurement & Automation Explorer (MAX) も NI 6541/6542 対応の集録および生成の基本機能を搭載したテストパネルを提供しています。MAX は NI-HSDIO 計測器ドライバ CD に含まれています。  | —  |

## 環境仕様



### メモ

NI 6541/6542 の効率的な冷却方法については、NI 6541/6542 に付属する『強制空冷の維持について』を参照してください。NI 6541/6542 は、室内使用を意図して設計されています。



| 仕様       | 値  | コメント |
|----------|--|------|
| 動作温度     | <b>PXI:</b> 以下を除くすべての NI PXI シャーシで 0 ~ +55 °C。<br>NI PXI-1000/B および NI PXI-101x シャーシ (IEC-60068-2-1 および IEC-60068-2-2 に準拠) に取り付けられた場合は、0 ~ +45 °C。<br><b>PCI:</b> 0 ~ +45 °C | —    |
| 保管温度     | -20 ~ +70 °C   | —    |
| 動作時の相対湿度 | 10 ~ 90% 相対湿度、<br>結露なきこと<br>(IEC-60068-2-56 に準拠)   | —    |
| 保管時の相対湿度 | 5 ~ 95% 相対湿度、<br>結露なきこと<br>(IEC-60068-2-56 に準拠)  | —    |

| 仕様    | 値   | コメント |
|-------|---|------|
| 動作衝撃  | 30 g（半正弦波）、11 ms パルス（IEC 60068-2-27 に準拠、MIL-PRF-28800F に準拠してテストプロファイルを確立）                       | —    |
| 保管時衝撃 | 50 g（半正弦波）、11 ms パルス（IEC 60068-2-27 に準拠、MIL-PRF-28800F に準拠してテストプロファイルを確立）                       | —    |
| 動作振動  | 5 ～ 500 Hz、0.31 g <sub>rms</sub> （IEC 60068-2-64 に準拠）   | —    |
| 保管時振動 | 5 ～ 500 Hz、2.46 g <sub>rms</sub> （IEC 60068-2-64 に準拠、テストプロファイルは MIL-PRF-28800F、Class B の要件を上回る） | —    |
| 高度    | 海拔 0 ～ 2,000 m（周囲温度 25 °C 時）  | —    |
| 汚染度   | 2   | —    |

## 安全性、電磁両立性、CE 適合

| 仕様  | 値  | コメント  |
|-----|--|---|
| 安全性 | <p>NI 6541/6542 は、計測、制御、実験に使用される電気装置に関する以下の規格および安全性の要件を満たします。</p> <ul style="list-style-type: none"> <li>• IEC 61010-1、EN 61010-1</li> <li>• UL 61010-1、CSA 61010-1</li> </ul> | <p>UL およびその他の安全保証については、製品ラベルまたは「オンライン製品認証」セクションを参照してください。</p> |

| 仕様            | 値  | コメント   |
|---------------|--|--|
| 電磁両立性指令 (EMC) | <p>この製品は、計測、制御、実験に使用される電気装置に関する以下の EMC 規格の必要条件を満たします。</p> <ul style="list-style-type: none"> <li>• EN 61326-1 (IEC 61326-1): Class A エミッション、基本イミュニティ</li> <li>• EN 55011 (CISPR 11): Group 1、Class A エミッション</li> <li>• AS/NZS CISPR 11: Group 1、Class A エミッション</li> <li>• FCC 47 CFR Part 15B: Class A エミッション</li> <li>• ICES-001: Class A エミッション</li> </ul> <p>製品の EMC 決定に適用する基準については、以下の「オンライン製品認証」セクションを参照してください。</p> | <p>EMC に適合させるには以下を参照してください。</p> <p>NI 6541/6542 を使用する際は、必ず SHC68-C68-D4 もしくは SHC68-C68-D2 シールドケーブルを使用してください。</p> <p>EMI フィラーパネル (NI P/N 778700-01) を NI 6541/6542 のすべての空きスロットに取り付けてください。</p> |
| CE 適合         | <p>この製品は、該当する EC 理事会指令による基本的要件に適合しています。</p> <ul style="list-style-type: none"> <li>• 2006/95/EC、低電圧指令 (安全性)</li> <li>• 2004/108/EC、電磁両立性指令 (EMC)</li> </ul>  | —  |
| オンライン製品認証     | <p>この製品のその他の適合規格については、この製品の適合宣言 (DoC) をご覧ください。この製品の製品認証および適合宣言を入手するには、<a href="http://ni.com/certification">ni.com/certification</a> (英語) にアクセスして型番または製品ラインで検索し、保証の欄の該当するリンクをクリックしてください。</p>   | —  |
| 環境管理          | <p>ナショナルインスツルメンツは、環境に優しい製品の設計および製造に努めています。NI は、製品から特定の有害物質を除外することが、環境および NI のお客様にとって有益であると考えています。</p> <p>環境の詳細な情報については、<a href="http://ni.com/environment">ni.com/environment</a> (英語) の NI and the Environment を参照してください。このページには、ナショナルインスツルメンツが準拠する環境規制および指令、およびこのドキュメントに含まれていないその他の環境に関する情報が記載されています。</p>  | —  |

| 仕様   | 値  | コメント |
|--|--|------|
| <br>廃電気電子機器 (WEEE)  | <b>欧州のお客様へ:</b> 寿命末期を過ぎた製品は、すべて WEEE リサイクルセンターへ送る必要があります。WEEE リサイクルセンター、ナショナルインスツルメンツの WEEE への取り組み、および廃電気電子機器に関する WEEE 指令 2002/96/EC との準拠については、 <a href="http://ni.com/environment/weee">ni.com/environment/weee</a> (英語) を参照してください。 | —    |
| <div>  <b>中国客户</b> National Instruments 符合中国电子信息产品中限制使用某些有害物质指令 (RoHS)。<br/>           关于 National Instruments 中国 RoHS 合规性信息，请登录 <a href="http://ni.com/environment/rohs_china">ni.com/environment/rohs_china</a>。<br/>           (For information about China RoHS compliance, go to <a href="http://ni.com/environment/rohs_china">ni.com/environment/rohs_china</a>.)         </div> |  |      |

CVI, LabVIEW, National Instruments, NI, ni.com, National Instruments のコーポレートロゴ及びイーグルロゴは、National Instruments Corporation の商標です。その他の National Instruments の商標については、[ni.com/trademarks](http://ni.com/trademarks) に掲載されている「Trademark Information」をご覧ください。The mark LabWindows is used under a license from Microsoft Corporation. Windows is a registered trademark of Microsoft Corporation in the United States and other countries. 本文中に記載されたその他の製品名および企業名は、それぞれの企業の商標または商号です。National Instruments の製品 / 技術を保護する特許については、ソフトウェアで参照できる特許情報 (**ヘルプ>特許情報**)、メディアに含まれている patents.txt ファイル、または「National Instruments Patent Notice」([ni.com/patents](http://ni.com/patents)) のうち、該当するリソースから参照してください。