

NI PXIe-6544/6545/6547/6548 Specifications

100/200 MHz Digital Waveform Generator/Analyzer

このドキュメントには、日本語ページも含まれています。

This document provides the specifications for the NI PXIe-6544 (NI 6544), NI PXIe-6545 (NI 6545), NI PXIe-6547 (NI 6547), and NI PXIe-6548 (NI 6548).

Maximum and *minimum* specifications are warranted not to exceed these values within certain operating conditions and include the effects of temperature and uncertainty unless otherwise noted.

Typical specifications are unwarranted values that are representative of a majority (3σ) of units within certain operating conditions and include the effects of temperature and uncertainty unless otherwise noted.

Characteristic specifications are unwarranted values that are representative of an average unit operating at room temperature.

Nominal specifications are unwarranted values that are relevant to the use of the product and convey the expected performance of the product.

All specifications are *Typical* unless otherwise noted. These specifications are valid within the operating temperature range. Specifications are subject to change without notice. For the most recent NI 6544/6545/6547/6548 specifications, visit ni.com/manuals. To access the NI 6544/6545/6547/6548 documentation, including the *NI Digital Waveform Generator/Analyzer Getting Started Guide*, which contains functional descriptions of the NI 6544/6545/6547/6548 signals and the connector pinouts, navigate to **Start»Programs»National Instruments»NI-HSDIO»Documentation**.



Hot Surface If the NI 6544/6545/6547/6548 has been in use, it may exceed safe handling temperatures and cause burns. Allow time to cool before removing the NI 6544/6545/6547/6548 from the chassis.



Note All values were obtained using a 1 m cable (SHC68-C68-D4 recommended).
Performance specifications are not guaranteed when using longer cables.

Contents

Channel Specifications	3
Generation Channels (Data, DDC CLK OUT, and PFI <0..3>)	4
Acquisition Channels (Data, STROBE, and PFI <0..3>)	6
Timing Specifications	8
Sample Clock	8
Generation Timing (Data, DDC CLK OUT, and PFI <0..3> Channels)	11
Generation Provided Setup and Hold Times	14
Acquisition Timing (Data, STROBE, and PFI <0..3> Channels)	17
CLK IN (SMA Jack Connector)	21
STROBE (DDC Connector)	22
CLK OUT (SMA Jack Connector)	23
DDC CLK OUT (DDC Connector)	24
Reference Clock (PLL)	24
Waveform Specifications	25
Memory and Scripting	25
Triggers (Inputs to the NI 6544/6545/6547/6548)	28
Events (Generated from the NI 6544/6545/6547/6548)	30
Miscellaneous	30
Power	31
Physical	31
I/O Panel Connectors	31
Software	32
Environment	33
Safety, Electromagnetic Compatibility, and CE Compliance	34

Channel Specifications

Specification	Value		Comments
Number of data channels	NI 6544/6545	NI 6547/6548	<p>Data rate multiplier is software selectable to be SDR or DDR.</p> <p>Using SDR, data is clocked using the rising or falling edge of the Sample clock.</p> <p>Using DDR, data is clocked using both edges of the Sample clock.</p>
	32 single data rate (SDR) channels	32 single data rate (SDR) channels <i>or</i> 16 double data rate (DDR) channels per direction <i>or</i> 24 channels when configured for extended data mode. This mode is used for hardware comparison and cycle-to-cycle tristate operations. Note: Generation and acquisition sessions may be independently configured for DDR operation on either the lower data channels (<0..15>) or the upper data channels (<16..31>).	
Direction control of data channels	Per channel, per operation	Per channel, per cycle	Per cycle direction control is supported when in extended data mode.
Time to tristate (t_{pZ})	6.2 ns		Nominal into a 2 k Ω and 15 pF load.
Number of programmable function interface (PFI) channels	4		Refer to the Waveform Specifications section for more details.

Specification	Value	Comments
Direction control of PFI channels	Per channel	—
Number of clock terminals	2 input 2 output	Refer to the Timing Specifications section for more details.

Generation Channels (Data, DDC CLK OUT, and PFI <0..3>)

Specification	Value		Comments
Generation signal type	Single-ended		—
Number of programmable generation voltage levels	1 Voltage high level (V_{OH}) Generation Voltage Low Level (V_{OL}) is always set to 0 V. Note: Generation and acquisition sessions share a common programmable voltage resource. For simultaneous operations, acquisition thresholds must be set to half of the Generation Voltage High Level setting.		NI 6547/6548 only; for all data, PFI, and clock channels.
Generation voltage range	1.2 V to 3.3 V		
Generation voltage resolution	100 mV		
DC generation voltage accuracy	Typical	Maximum	Into 1 M Ω ; does not include system crosstalk.
	± 35 mV	± 200 mV	

Specification	Value					Comments
Generation logic families	1.2V, 1.5V, 1.8V, 2.5V, 3.3V Logic Families Generation and acquisition sessions share a common voltage resource. Simultaneous operations must be set to the same logic family.					All devices; for all data, PFI, and clock channels.
Generation voltage levels	Logic Family	Voltage Low Levels		Voltage High Levels		Nominal values have ± 35 mV typical accuracy with a 1 M Ω load. Does not include system crosstalk.
		Nominal	Max	Min	Nominal	
	1.2V (V _{OH} = 1.2 V)	0.0 V	0.2 V	1 V	1.2 V	
	1.5V (V _{OH} = 1.5 V)	0.0 V	0.2 V	1.3 V	1.5 V	
	1.8V (V _{OH} = 1.8 V)	0.0 V	0.2 V	1.6 V	1.8 V	
	2.5V (V _{OH} = 2.5 V)	0.0 V	0.2 V	2.3 V	2.5 V	
	3.3V (V _{OH} = 3.3 V)	0.0 V	0.2 V	3.1 V	3.3 V	
Output impedance	50 Ω					Nominal.
Maximum allowed DC drive strength per channel	Logic Family		Maximum Allowed DC Drive Strength			Nominal.
	1.2V		± 12 mA			
	1.5V		± 15 mA			
	1.8V		± 18 mA			
	2.5V		± 25 mA			
	3.3V		± 33 mA			
Data channel driver enable/disable control	Per channel					Software-selectable.
Channel power-on state	Drivers disabled, 50 k Ω nominal input impedance					—
Output protection	The device can indefinitely sustain a short to any voltage between 0 V and 5 V.					—

Acquisition Channels (Data, STROBE, and PFI <0..3>)

Specification	Value		Comments
Acquisition signal type	Single-ended		—
Number of programmable acquisition thresholds	1 voltage threshold ($V_{IH} = V_{IL}$) Note: Generation and acquisition sessions share a common programmable voltage resource. For simultaneous operations, Generation Voltage High Level must be set to twice the Acquisition Voltage Threshold.		NI 6547/6548 only; for all data, PFI, and clock channels.
Acquisition Voltage Threshold range	0.6 V to 1.65 V		
Acquisition Voltage Threshold resolution	50 mV		
DC Acquisition Voltage Threshold accuracy	Typical	Maximum	Does not include system crosstalk.
	±150 mV	±30%	

Specification	Value					Comments
Acquisition logic families	1.2V, 1.5V, 1.8V, 2.5V, 3.3V logic families Note: Generation and acquisition sessions share a common voltage resource. Simultaneous operations must be set to the same logic family.					All devices; for all data, PFI, and clock channels.
Acquisition Voltage Thresholds	Logic Family	Voltage Thresholds Low		Voltage Thresholds High		Does not include system crosstalk.
		Min	Typical	Typical	Max	
	1.2V (V_{IH} , V_{IL} = 0.60 V)	420 mV	450 mV	750 mV	780 mV	
	1.5V (V_{IH} , V_{IL} = 0.75 V)	525 mV	600 mV	900 mV	975 mV	
	1.8V (V_{IH} , V_{IL} = 0.90 V)	630 mV	750 mV	1.05 V	1.17 V	
	2.5V (V_{IH} , V_{IL} = 1.25 V)	875 mV	1.10 V	1.40 V	1.625 V	
	3.3V (V_{IH} , V_{IL} = 1.65 V)	1.155 V	1.50 V	1.80 V	2.145 V	
Input impedance	High-impedance (50 k Ω)					Nominal.
Input protection	–1 V to 5 V					Internal diode clamps may begin conduction outside the –0.5 V to 3.5 V range.

Timing Specifications

Sample Clock

Specification	Value	Comments
Sample clock sources	1. On Board Clock (internal 800 MHz VCO with 32-bit DDS) 2. CLK IN (SMA jack connector) 3. STROBE (Digital Data & Control (DDC) connector; acquisition only)	—
On Board Clock frequency range	NI 6544, NI 6547: 100 Hz to 100 MHz NI 6545, NI 6548: 100 Hz to 200 MHz	—
On Board Clock frequency resolution	0.2 Hz maximum Note: Varies with Sample clock frequency.	NI-HSDIO may be queried for the programmed frequency value.
On Board Clock frequency accuracy	± 150 ppm + 5 ppm per year	Accuracy may be increased by using a higher performance external Reference clock.
CLK IN frequency range	NI 6544, NI 6547: 20 kHz to 100 MHz NI 6545, NI 6548: 20 kHz to 200 MHz	Refer to the CLK IN (SMA Jack Connector) section for restrictions based on waveform type.
STROBE frequency range	NI 6544, NI 6547: 100 Hz to 100 MHz NI 6545, NI 6548: 100 Hz to 200 MHz	Refer to the STROBE(DDC Connector) section.

Specification	Value		Comments
Sample clock relative delay adjustment range	0.0 to 1.0 Sample clock period (acquisition sessions) 0.0 ns to 5.0 ns (generation sessions)		You can apply a delay or phase adjustment to the On Board Clock to align multiple devices.
Sample clock relative delay adjustment resolution	0.5 ps		
Exported Sample clock destinations	1. DDC CLK OUT (DDC connector) 2. CLK OUT (SMA jack connector)		Internal Sample clocks with sources other than STROBE can be exported.
Exported Sample clock delay range	0.0 to 1.0 Sample clock periods		Resolution is nonlinearly dependent on clock frequency and may be queried for by using NI-HSDIO.
Exported Sample clock delay resolution (δ_C)	117 ps to 143 ps, nominal		
Exported SampleClock delay frequency	On Board Clock	External Clock	
	All supported frequencies	Frequencies ≥ 20 MHz	
Exported Sample clock jitter	Period Jitter	Cycle-to-Cycle Jitter	Characteristic; using On Board Clock.
	24 ps _{rms}	43 ps _{rms}	

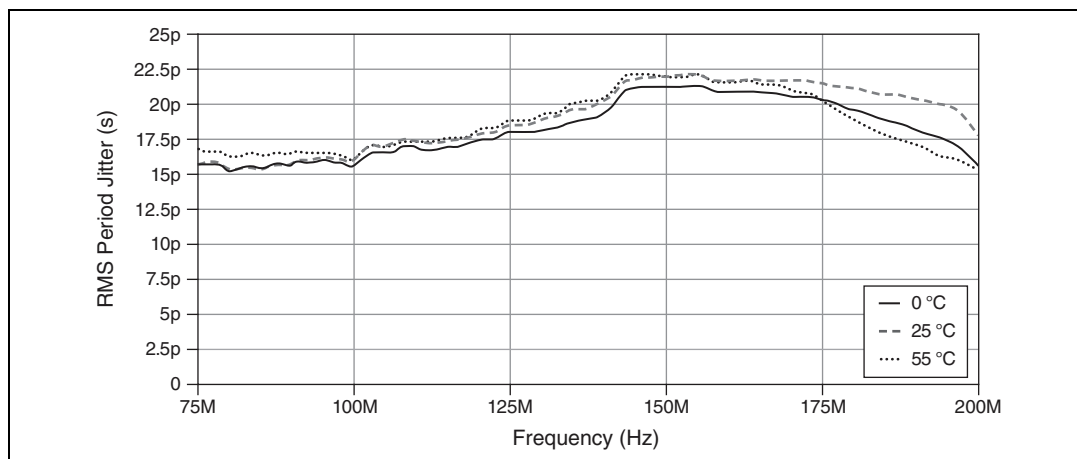


Figure 1. Characteristic Period Jitter (RMS) vs. Frequency

Specification	Value					Comments
Exported Sample clock duty cycle	Logic Family	DDC Clock Out		SMA Clock Out		NI 6545/6548 at maximum clock rate (200 MHz). Not including the effects of system crosstalk.
		Min	Max	Min	Max	
	1.2V	37%	50%	30%	46%	
	1.5V	41%	53%	36%	48%	
	1.8V	42%	55%	39%	51%	
	2.5V	45%	57%	41%	54%	
	3.3V	48%	58%	43%	55%	

Generation Timing (Data, DDC CLK OUT, and PFI <0..3> Channels)

Specification	Value				Comments
Data channel-to-channel skew	±300 ps				Maximum skew across all data channels, PFI channels, and voltage levels when using the same data position or data delay bank.
Maximum data rate per channel	NI 6544	SDR: 100 Mbps Supported for all logic families.			Includes maximum data channel-to-channel skew and typical crosstalk.
	NI 6545	SDR: 200 Mbps Supported for all logic families.			
	NI 6547	SDR: 100 Mbps DDR: 200 Mbps Supported for all logic families and selectable voltage levels.			NI 6547/6548 devices generate two samples per clock cycle in DDR mode.
	NI 6548	Logic Family	SDR	DDR	
		3.3V	200 Mbps	400 Mbps	
		2.5V		400 Mbps	
		1.8V		375 Mbps	
		1.5V		350 Mbps	
		1.2V		300 Mbps	
		Voltage Levels	SDR	DDR	
		2.5 V to 3.3 V	200 Mbps	400 Mbps	
		1.8 V to 2.4 V		375 Mbps	
		1.5 V to 1.7 V		350 Mbps	
		1.2 V to 1.4 V		300 Mbps	

Figure 2 shows an eye diagram of a 400 Mbps pseudorandom bit sequence (PRBS) waveform in DDR mode at 3.3 V. This waveform was captured on DIO 0 at room temperature into high impedance.

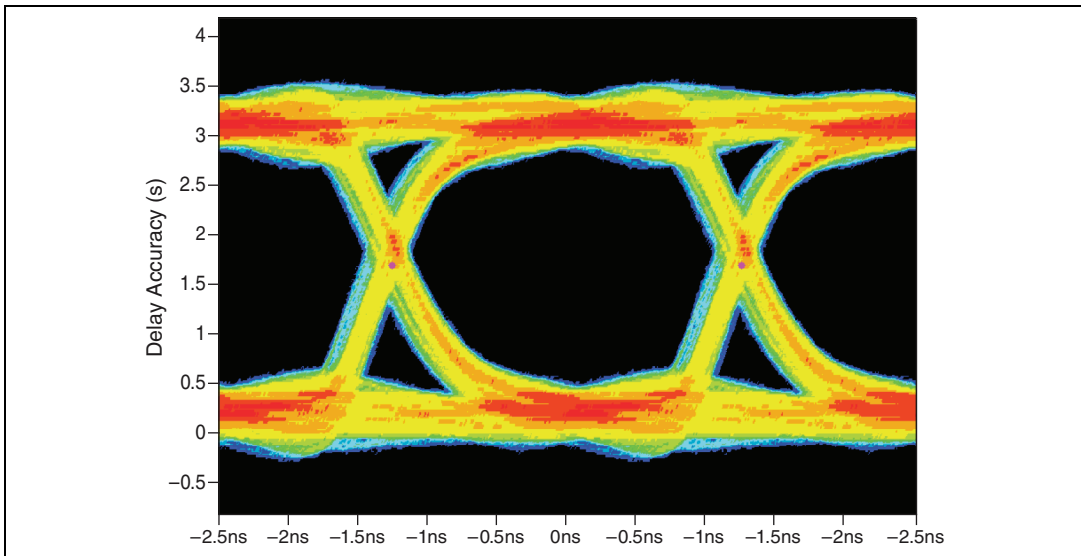


Figure 2. Characteristic Eye Diagram (high impedance)

Figure 3 shows an eye diagram of a 400 Mbps PRBS waveform in DDR mode at 3.3 V. This waveform was captured on DIO 0 at room temperature into 50 Ω termination.

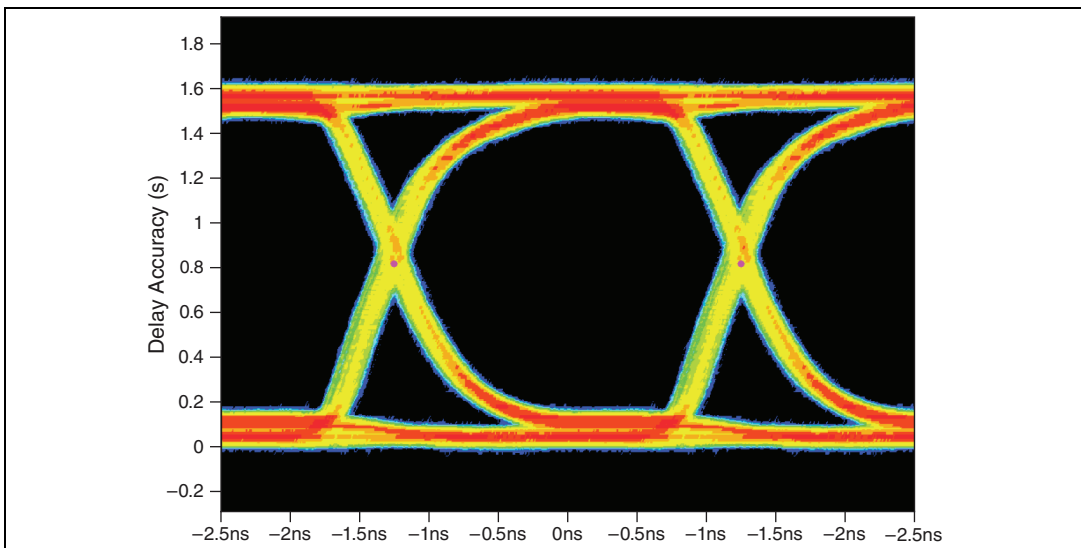


Figure 3. Characteristic Eye Diagram (50 Ω Termination)

Specification	Value		Comments
Data position modes	Sample clock rising edge, Sample clock falling edge, or Delay from Sample clock rising edge		—
Data delay banks	NI 6544/6545: 1 bank for all channels and PFI lines NI 6547/6548: 3 banks Bank 0: DIO<0..3>, DIO<16..19>, DIO<28..31>, PFI <0..3> Bank 1: DIO<4..7>, DIO<20..23> Bank 2: DIO<8..15>, DIO<24..27>		Multibank data delay is supported only in NI-HSDIO 1.7 and later.
Generation data delay range (δ_G)	0.0 to 1.0 Sample clock periods		Resolution is nonlinearly dependent on clock frequency and may be queried for using NI-HSDIO.
Generation data delay resolution (δ_G)	117 ps to 143 ps, nominal		
Generation data delay frequency	On Board Clock All supported frequencies	External Clock Frequencies ≥ 20 MHz	

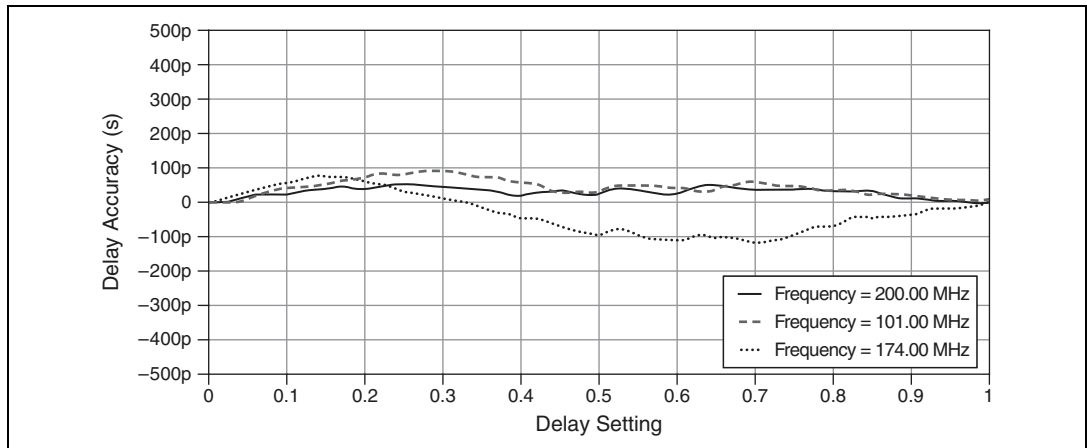


Figure 4. Characteristic Data Delay Accuracy

Specification	Value	Comments
Exported Sample clock offset (t_{CO})	0.0 ns or 1.65 ns (default)	Nominal; Software-selectable for DDC_CLK_OUT.
Time delay from Sample clock (internal) to DDC connector (t_{SCDDC})	8.1 ns	Characteristic; Exported Sample clock offset = 0 ns

Generation Provided Setup and Hold Times

Exported Sample Clock Offset (t_{PCO})	Minimum Provided Setup Time (t_{PSU})	Minimum Provided Hold Time (t_{PH})
1.65 ns	tp – 2.15 ns	1.15 ns
0.0 ns	tp – 500 ps	–500 ps
<p>Compare the setup and hold times from the datasheet of your device under test (DUT) to the values in the table above. The provided setup and hold times must be greater than the setup and hold times required for the DUT. If you require more setup time, configure your exported Sample clock mode to Inverted and/or delay your clock or data relative to the Sample clock.</p> <p>Refer to Figure 5 for a diagram illustrating the relationship between the exported Sample clock mode and the provided setup and hold times.</p> <p>Notes: This table assumes the data position is set to Sample clock rising edge and the noninverted Sample clock is exported to the DDC connector.</p> <p>This table includes worst-case effects of channel-to-channel skew and intersymbol interference.</p>		

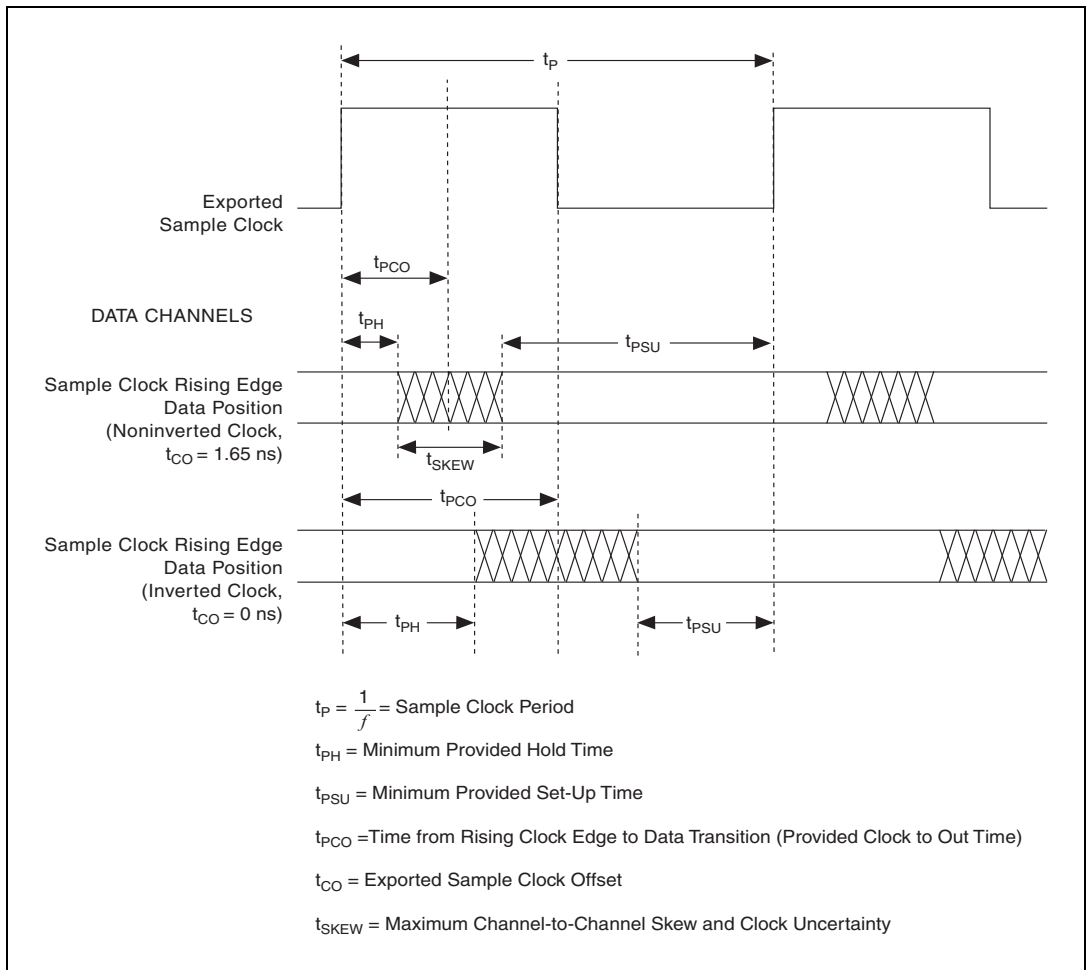
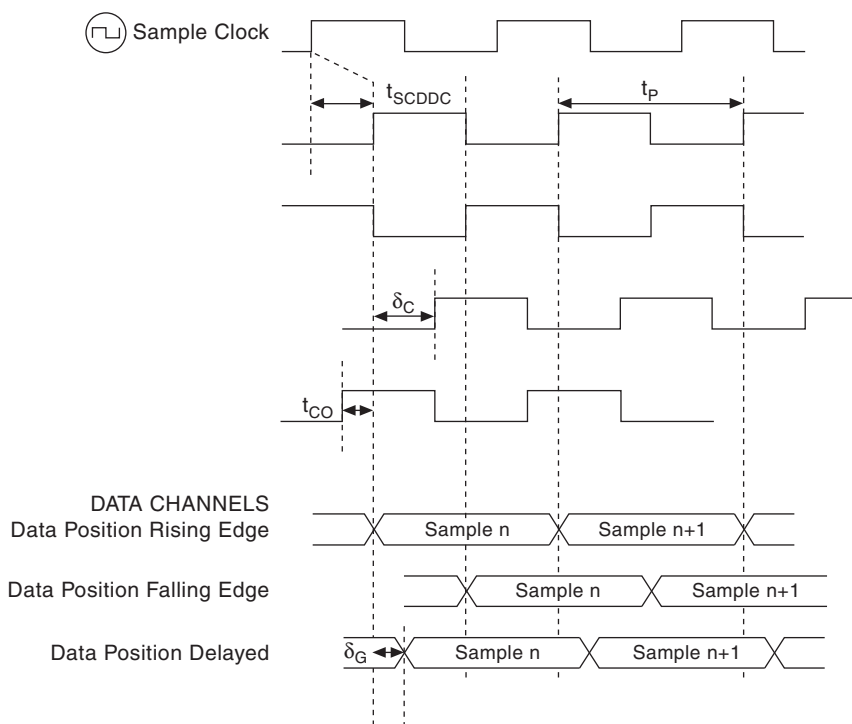


Figure 5. Generation Provided Setup and Hold Times Timing Diagram



Note Provided setup and hold times account for maximum channel-to-channel skew and jitter.



t_{SCDDC} : Time Delay from Sample Clock (Internal) to DDC Connector

$0 \leq \delta_C \leq 1$: Exported Sample Clock Delay (Fraction of t_p)

$0 \leq \delta_G \leq 1$: Pattern Generation Data Delay (Fraction of t_p)

$t_p = \frac{1}{f}$ = Period of Sample Clock

t_{CO} = Exported Sample Clock Offset; 1.65 ns, Software-Selectable

Figure 6. Generation Timing Diagram

Acquisition Timing (Data, STROBE, and PFI <0..3> Channels)

Specification	Value				Comments
Channel-to-channel skew	±350 ps				Maximum skew across all data channels, PFI channels, and voltage levels when using the same data position or data delay bank.
Maximum data rate per channel	NI 6544	SDR: 100 Mbps Supported for all logic families.			Includes maximum data channel-to-channel skew and typical crosstalk.
	NI 6545	SDR: 200 Mbps Supported for all logic families.			
	NI 6547	SDR: 100 Mbps DDR: 200 Mbps Supported for all logic families and selectable voltage levels.			NI 6547/6548 devices acquires two samples per clock cycle in DDR mode.
	NI 6548	Logic Family	SDR	DDR	
		3.3V	200 Mbps	300 Mbps	
		2.5V		300 Mbps	
		1.8V		250 Mbps	
		1.5V		225 Mbps	
		1.2V		200 Mbps	
		Voltage Threshold	SDR	DDR	
		1.25 V to 1.65 V	200 Mbps	300 Mbps	
		0.90 V to 1.20 V		250 Mbps	
		0.75 V to 0.85 V		225 Mbps	
		0.60 V to 0.70 V		200 Mbps	

Specification	Value					Comments
Setup and Hold Times to STROBE	Voltage Threshold	Hold Time (t _{hs})		Setup Times (t _{sus})		Characteristic includes maximum data channel-to-channel skew and uncertainty, but does not include system crosstalk. Performance may vary with system crosstalk performance.
		< 20 MHz	≥ 20 MHz	< 20 MHz	≥ 20 MHz	
	1.25 V to 1.65 V	2.4 ns	900 ps	2.8 ns	1.15 ns	
	0.90 V to 1.20 V		1.00 ns		1.20 ns	
	0.75 V to 0.85 V		1.10 ns		1.40 ns	
	0.60 V to 0.70 V		1.25 ns		1.75 ns	
Data position modes	Sample clock rising edge, Sample clock falling edge, or Delay from Sample clock rising edge.					—
Data delay banks	NI 6544/6545: 1 bank for all channels and PFI lines NI 6547/6548: 3 banks Bank 0: DIO<0..3>, DIO<16..19>, DIO<28..31>, PFI <0..3> Bank 1: DIO<4..7>, DIO<20..23> Bank 2: DIO<8..15>, DIO<24..27>					Multibank data delay is supported only in NI-HSDIO 1.7 and later.
Acquisition data delay range	0.0 to 1.0 Sample clock periods					Resolution is nonlinearly dependent on clock frequency and may be queried for by using NI-HSDIO.
Acquisition data delay resolution	117 ps to 143 ps, nominal					
Acquisition data delay frequency	On Board Clock		External Clock and STROBE			
	All supported frequencies		Frequencies ≥ 20 MHz			

Specification	Value	Comments
Setup time to sample clock (t_{susc})	900 ps	Nominal; does not include channel-to-channel skew, t_{DDCSC} , or t_{SCDDC} .
Hold time to sample clock (t_{HSC})	425 ps	
Time delay from DDC connector to internal sample clock	6.8 ns	Nominal.

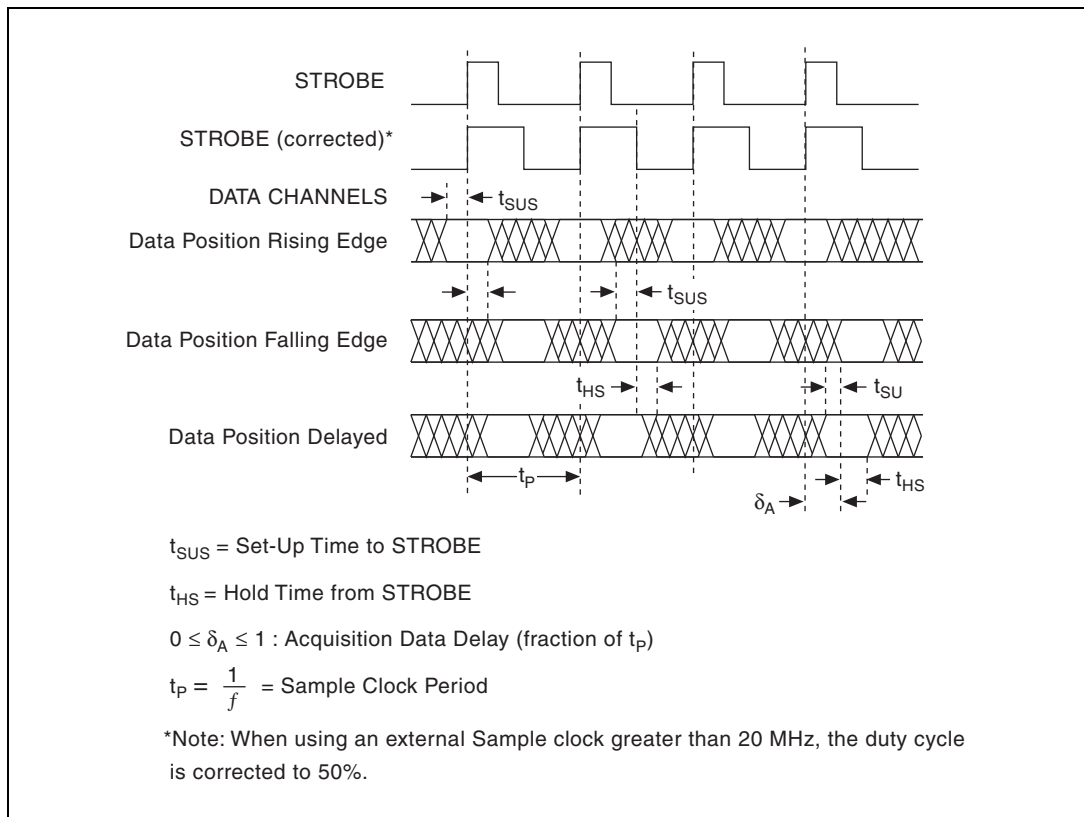
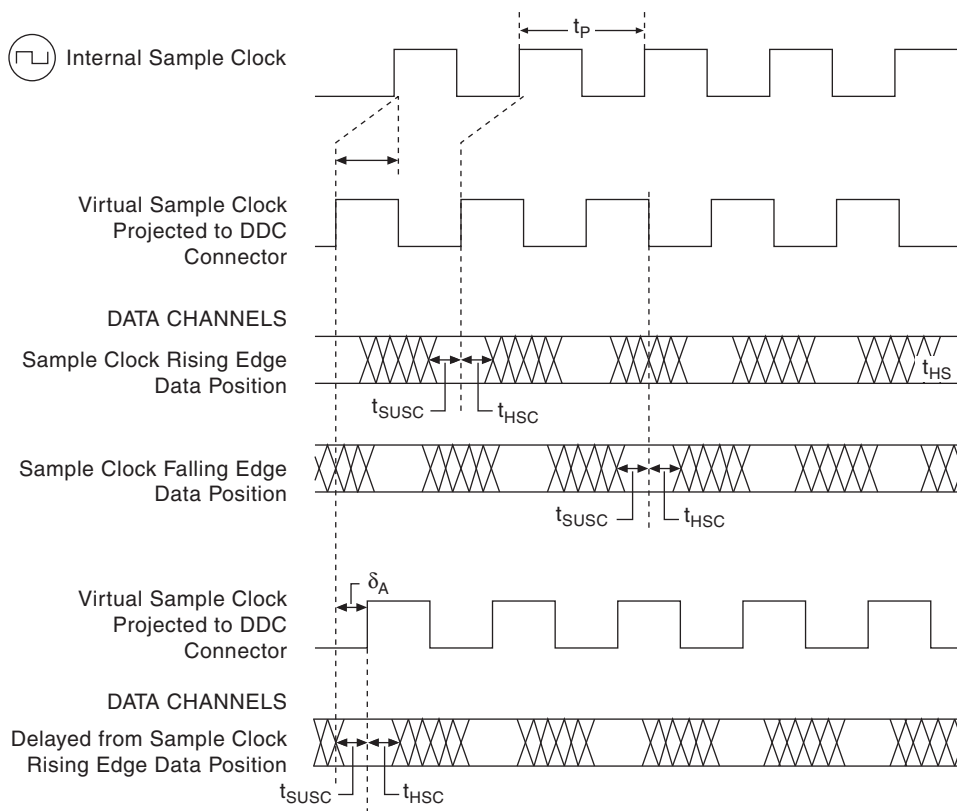


Figure 7. Acquisition Timing Diagram Using STROBE as the Sample Clock



t_{DDCSC} : Time Delay from DDC Connector to Internal Sample Clock

$0 \leq \delta_A \leq 1$: Acquisition Data Delay (fraction of t_p)

$t_p = \frac{1}{f}$ = Period of Sample Clock

t_{SUSC} = Set-Up Time to Sample Clock

t_{HSC} = Hold Time to Sample Clock

Figure 8. Acquisition Timing Diagram with Sample Clock Sources Other than STROBE

CLK IN (SMA Jack Connector)

Specification	Value					Comments	
Direction	Input to device					—	
Destinations	1. Reference clock—for the phase lock loop (PLL) 2. Sample clock					—	
Input coupling	AC					—	
Input protection	±10 VDC					Nominal.	
Input impedance	50 Ω (default) or 1 kΩ					Software-selectable; Nominal.	
Minimum detectable pulse width	2 ns					Nominal.	
Clock requirements	Clock must be continuous and free-running.					—	
Voltage ranges	Square Waves					—	
	0.65 V _{pp} to 5.0 V _{pp}						
	Sine Waves					—	
	Voltage range	0.65 V _{pp} to 5.0 V _{pp}	1.0 V _{pp} to 5.0 V _{pp}	1.3 V _{pp} to 5.0 V _{pp}	2.6 V _{pp} to 5.0 V _{pp}		
	Frequency range	20 MHz to 100 MHz	13 MHz to 100 MHz	10 MHz to 100 MHz	5 MHz to 100 MHz		Supported by NI 6544 and 6547 only.
		20 MHz to 200 MHz	13 MHz to 200 MHz	10 MHz to 200 MHz	5 MHz to 200 MHz		Supported by NI 6545 and 6548 only.

Specification	Value	Comments
As Sample Clock		
Frequency range	NI 6544 and NI 6547: 20 kHz to 100 MHz NI 6545 and NI 6548: 20 kHz to 200 MHz	Nominal 3 dB cutoff point at 100 MHz when using 1 k Ω input impedance.
Duty cycle range	$f < 20$ MHz: 25% to 75% $f \geq 20$ MHz: 40% to 60%	—
As Reference Clock		
Reference clock frequency range	5 MHz to 100 MHz (Integer multiples of 1 MHz)	—
Reference clock frequency accuracy	$\pm 0.1\%$	Required accuracy of the external Reference clock source.
Reference clock duty cycle	25% to 75%	—

STROBE (DDC Connector)

Specification	Value	Comments
Direction	Input to device	—
Destinations	Sample clock (acquisition only)	—
STROBE frequency range	NI 6544, NI 6547: 100 Hz to 100 MHz NI 6545, NI 6548: 100 Hz to 200 MHz	—
STROBE duty cycle range	40% to 60% for clock frequencies ≥ 20 MHz 25% to 75% for clock frequencies < 20 MHz Note: STROBE duty cycle is corrected to 50% at frequencies ≥ 20 MHz.	Duty cycle at the programmed threshold.

Specification	Value	Comments
Minimum detectable pulse width	2 ns	Nominal; required at acquisition voltage thresholds.
Voltage thresholds	Refer to the <i>Acquisition Timing (Data, STROBE, and PFI <0..3> Channels)</i> specifications in the <i>Channel Specifications</i> section.	—
Clock requirements	Clock must be continuous and free-running.	—
Input impedance	50 k Ω	Nominal.

CLK OUT (SMA Jack Connector)

Specification	Value	Comments
Direction	Output from device	—
Sources	1. Sample clock (excluding STROBE) 2. Reference clock (PLL)	—
Output impedance	50 Ω	Nominal.
Electrical characteristics	Refer to the <i>Generation Channels (Data, DDC CLK OUT, and PFI <0..3>)</i> specifications in the <i>Channel Specifications</i> section.	—
Logic type	Matched with generation and acquisition sessions.	—

DDC CLK OUT (DDC Connector)

Specification	Value	Comments
Direction	Output from device	—
Sources	Sample clock (generation only)	STROBE and acquisition Sample clock cannot be routed to DDC CLK OUT.
Electrical characteristics	Refer to the <i>Generation Channels (Data, DDC CLK OUT, and PFI <0..3>)</i> specifications in the <i>Channel Specifications</i> section.	—

Reference Clock (PLL)

Specification	Value	Comments
Reference clock sources	1. PXI_CLK100 (PXI Express backplane) 2. CLK IN (SMA jack connector) 3. None (internal oscillator locked to an internal reference)	Provides the reference frequency for the PLL.
Lock time	150 ms	Maximum, not including software latency.
Reference clock frequencies	5 MHz to 100 MHz (integer multiple of 1 MHz)	0.1% required accuracy.
Reference clock duty cycle range	25% to 75%	—
Reference clock destinations	CLK OUT (SMA jack connector)	—

Waveform Specifications

Memory and Scripting

Specification	Value			Comments
Memory architecture	The NI 6544/6545/6547/6548 uses the Synchronization and Memory Core (SMC) technology in which waveforms and instructions share onboard memory. Parameters such as number of script instructions, maximum number of waveforms in memory, and number of samples (S) available for waveform storage are flexible and user-defined.			Refer to the <i>Onboard Memory</i> section in the <i>NI Digital Waveform Generator/Analyzer Help</i> for more information.
Onboard memory size (generation and acquisition)	1 Mbit/channel	8 Mbit/channel	64 Mbit/channel	Maximum limit for generation sessions assumes no scripting instructions.
Generation modes	Single-waveform mode: Generate a single waveform once, n times, or continuously.			—
	Scripted mode: Generate a simple or complex sequence of waveforms. Use scripts to describe the waveforms to be generated, the order in which the waveforms are generated, how many times the waveforms are generated, and how the device responds to Script triggers.			

Specification	Value			Comments
Generation minimum waveform size in samples (S)	Configuration	Sample Rate		Sample rate dependent. Increasing sample rate increases minimum waveform size requirement. For information on these configurations, refer to <i>Common Scripting Use Cases</i> in the <i>NI Digital Waveform Generator/Analyzer Help</i> .
		200 MHz (NI 6545/6548 Only)	100 MHz	
	Single waveform	1 S	1 S	
	Continuous waveform	128 S	64 S	
	Stepped sequence	128 S	64 S	
	Burst sequence	1056 S	512 S	
Generation finite repeat count	1 to 16,777,216			—
Generation waveform quantum	Data Width = 4	Data Width = 2		DDR mode sets data width to 2.
	1 sample	2 samples		

Specification	Value		Comments
Generation waveform block size (in physical memory)	Data width = 4	Data width = 2	—
	32 samples	64 samples	
Acquisition minimum record size	1 S		Regardless of waveform size, NI-HSDIO allocates at least 640 bytes for a record.
Acquisition record quantum	1 S		—
Acquisition maximum number of records	2,147,483,647		Session should fetch fast enough so that unfetched data is not overwritten.
Acquisition number of pre-Reference trigger samples	0 up to full record		—
Acquisition number of post-Reference trigger samples	0 up to full record		—

Triggers (Inputs to the NI 6544/6545/6547/6548)

Specification	Value	Comments
Trigger types	<ol style="list-style-type: none"> 1. Start trigger 2. Pause trigger 3. Script trigger <0..3> (generation sessions only) 4. Reference trigger (acquisition sessions only) 5. Advance trigger (acquisition sessions only) 6. Stop Trigger (generation sessions only) 	—
Sources	<ol style="list-style-type: none"> 1. PFI 0 (SMA jack connector) 2. PFI <1..3> (DDC connector) 3. PXI_TRIG<0..7> (PXI Express backplane) 4. Pattern match (acquisition sessions only) 5. Software (user function call) 6. Disabled (do not wait for a trigger) 	—
Trigger detection	<ol style="list-style-type: none"> 1. Start trigger (edge detection: rising or falling) 2. Pause trigger (level detection: high or low) 3. Script trigger <0..3> (edge detection: rising or falling; level detection: high or low) 4. Reference trigger (edge detection: rising or falling) 5. Advance trigger (edge detection: rising or falling) 6. Stop Trigger (edge detection: rising or falling) 	—
Minimum required trigger pulse width	15 ns	—
Destinations	<ol style="list-style-type: none"> 1. PFI 0 (SMA jack connectors) 2. PFI <1..3> (DDC connector) 3. PXI_TRIG<0..6> (PXI Express backplane) 	Each trigger can be routed to any destination except the Pause trigger. The Pause trigger cannot be exported.

Specification	Value				Comments
Trigger rearm time	Start to Reference Trigger	Start to Advance Trigger	Advance to Advance Trigger	Reference to Reference Trigger	Maximum number of samples.
	150 s	220 s	220 s	220 s	
Delay from Pause trigger to Pause state and Stop trigger to Done state	Generation Sessions		Acquisition Sessions		Maximum; Use the Data Active event during generation to determine on a sample by sample basis when the device enters the Pause or Done states.
	50 Sample clock periods + 300 ns		Synchronous with the data		
Delay from trigger to digital data output	3 Sample clock periods + 600 ns				Maximum; Start trigger and Script triggers.

Events (Generated from the NI 6544/6545/6547/6548)

Specification	Value	Comments
Event type	<ol style="list-style-type: none"> 1. Marker <0..2> (generation sessions only) 2. Data Active event (generation sessions only) 3. Ready for Start event 4. Ready for Advance event (acquisition sessions only) 5. End of Record event (acquisition sessions only) 	—
Destinations	<ol style="list-style-type: none"> 1. PFI 0 (SMA jack connectors) 2. PFI <1..3> (DDC connector) 3. PXI_TRIG<0..6> (PXI Express backplane) 	Each event can be routed to any destination, except the Data Active event. The Data Active event can only be routed to the PFI channels.
Marker time resolution (placement)	<p>Markers can be placed at any sample when using SDR mode.</p> <p>Markers must be placed at an integer multiple of two samples when using DDR mode.</p>	—

Miscellaneous

Specification	Value	Comments
Warm-up time	15 minutes	—
On Board Clock characteristics (valid when PLL reference source is set to None)		
Frequency accuracy	±150 ppm	Typical, including temperature effects.
Aging	±5 ppm first year	Nominal.

Power

Specification	Value		Comments
	Characteristic	Maximum	
+3.3 VDC	1.75 A	1.77 A	Characteristic results are commensurate with an average user application using all data channels into high impedance load. Maximum results include worst case data pattern.
+12 VDC	2.2 A	2.3 A	
Total power	32.2 W	33.5 W	

Physical

Specification	Value	Comments
Dimensions	21.6 × 2.0 × 13.0 cm Single 3U CompactPCI Express slot; PXI Express compatible	—
Weight	18.3 oz (519 g)	—

I/O Panel Connectors

Label	Function(s)	Connector Type
CLK IN	External Sample clock, external Reference clock.	SMA jack
PFI 0	Events, triggers.	SMA jack
CLK OUT	External Sample clock, exported Reference clock.	SMA jack
Digital Data & Control (DDC)	Digital data channels, exported Sample clock, STROBE, events, triggers.	68pin VHDCI

Software

Specification	Value	Comments
Driver software	<p>NI-HSDIO driver software 1.6 or later. NI-HSDIO allows you to configure and control the NI 6544/6545/6547/6548. NI-HSDIO provides application interfaces for many development environments. NI-HSDIO follows IVI application programming interface (API) guidelines.</p> <p>Hardware compare, per cycle tristate, and multibank data delay are supported only in NI-HSDIO 1.7 or later.</p>	—
Application software	<p>NI-HSDIO provides programming interfaces for the following application development environments (ADEs):</p> <ul style="list-style-type: none"> • National Instruments LabVIEW • National Instruments LabWindows™/CVI™ • Microsoft Visual C/C++ 	Refer to the <i>NI-HSDIO Instrument Driver Readme</i> for more information about supported ADE versions.
Test panel	<p>National Instruments Measurement & Automation Explorer (MAX) provides test panels with basic acquisition and generation functionality for the NI 6544/6545/6547/6548. MAX is included on the NI-HSDIO driver CD.</p>	—

Environment




Note To ensure that the NI 6544/6545/6547/6548 cools effectively, follow the guidelines in the *Maintain Forced Air Cooling Note to Users* included with the NI 6544/6545/6547/6548. The NI 6544/6545/6547/6548 is intended for indoor use only.

Specification	Value	Comments
Operating temperature	0 to +55 °C in all NI PXI Express and hybrid NI PXI Express chassis.	—
Storage temperature	–20 to +70 °C	—
Operating relative humidity	10% to 90% relative humidity, noncondensing (Meets IEC 60068-2-56.)	—
Storage relative humidity	5% to 95% relative humidity, noncondensing (Meets IEC 60068-2-56.)	—
Operating shock	30 g, half-sine, 11 ms pulse (Meets IEC 60068-2-27. Test profile developed in accordance with MIL-PRF-28800F.)	—
Storage shock	50 g, half-sine, 11 ms pulse (Meets IEC 60068-2-27. Test profile developed in accordance with MIL-PRF-28800F.)	—
Operating vibration	5 Hz to 500 Hz, 0.31 g _{rms} (Meets IEC 60068-2-64.)	—
Storage vibration	5 Hz to 500 Hz, 2.46 g _{rms} (Meets IEC 60068-2-64. Test profile exceeds requirements of MIL-PRF-28800F, Class B.)	—
Altitude	0 m to 2,000 m above sea level (at 25° C ambient temperature)	—
Pollution Degree	2	—

Safety, Electromagnetic Compatibility, and CE Compliance

Specification	Value	Comments
Safety	<p>The NI 6544/6545/6547/6548 meets the requirements of the following standards of safety for electrical equipment for measurement, control, and laboratory use:</p> <ul style="list-style-type: none"> • IEC 61010-1, EN 61010-1 • UL 61010-1, CSA 61010-1 	For UL and other safety certifications, refer to the product label or visit ni.com/certification , search by model number or product line, and click the appropriate link in the Certification column.
Electromagnetic Compatibility	<p>The NI 6544/6545/6547/6548 meets the requirements of the following EMC standards for electrical equipment for measurement, control, and laboratory use:</p> <p>EN 61326-1 (IEC 61326-1): Class A emissions, Basic immunity</p> <p>EN 55011 (CISPR 11): Group 1, Class A emissions</p> <p>AS/NZS CISPR 11: Group 1, Class A emissions</p> <p>FCC 47 CFR Part 15B: Class A emissions</p> <p>ICES-001: Class A emissions</p> <p>For the standards applied to assess the EMC of this product, refer to the <i>Online Product Certification</i> section below.</p>	To meet EMC compliance the following cautions apply.
<p>Note: SHC68-C68-D4 or SHC68-C68-D2 shielded cable and provided cable ferrites must be used when operating the NI 6544/6545/6547/6548.</p> <p>Note: EMI filler panels (NI P/N 778700-01) must be installed in all empty slots of the NI 6544/6545/6547/6548.</p>		
CE Compliance	<p>This product meets the essential requirements of applicable European Directives, as amended for CE marking, as follows:</p> <p>2006/95/EC; Low-Voltage Directive (safety)</p> <p>2004/108/EC; Electromagnetic Compatibility Directive (EMC)</p>	—

Online Product Certification	Refer to the product Declaration of Conformity (DoC) for additional regulatory compliance information. To obtain product certifications and the DoC for this product, visit ni.com/certification , search by model number or product line, and click the appropriate link in the Certification column.	—
Environmental Management	<p>NI is committed to designing and manufacturing products in an environmentally responsible manner. NI recognizes that eliminating certain hazardous substances from our products is beneficial to the environment and to NI customers.</p> <p>For additional environmental information, refer to the <i>NI and the Environment</i> Web page at ni.com/environment. This page contains the environmental regulations and directives with which NI complies, as well as other environmental information not included in this document.</p>	—
Waste Electrical and Electronic Equipment (WEEE)	<p>EU Customers: At the end of the product life cycle, all products <i>must</i> be sent to a WEEE recycling center. For more information about WEEE recycling centers, National Instruments WEEE initiatives, and compliance with WEEE Directive 2002/96/EC on Waste and Electronic Equipment, visit ni.com/environment/weee.</p>	
<div>  <p>中国客户 National Instruments 符合中国电子信息产品中限制使用某些有害物质指令 (RoHS)。 关于 National Instruments 中国 RoHS 合规性信息, 请登录 ni.com/environment/rohs_china。 (For information about China RoHS compliance, go to ni.com/environment/rohs_china.)</p> </div> <h3>电子信息产品污染控制管理办法（中国 RoHS）</h3>		

CVI, LabVIEW, National Instruments, NI, ni.com, the National Instruments corporate logo, and the Eagle logo are trademarks of National Instruments Corporation. Refer to the *Trademark Information* at ni.com/trademarks for other National Instruments trademarks. The mark LabWindows is used under a license from Microsoft Corporation. Windows is a registered trademark of Microsoft Corporation in the United States and other countries. Other product and company names mentioned herein are trademarks or trade names of their respective companies. For patents covering National Instruments products/technology, refer to the appropriate location: **Help»Patents** in your software, the `patents.txt` file on your media, or the *National Instruments Patent Notice* at ni.com/patents.

NI PXIe-6544/6545/ 6547/6548 仕様

100/200 MHz デジタル波形発生器 / アナライザ

このドキュメントには、NI PXIe-6544 (NI 6544)、NI PXIe-6545 (NI 6545)、NI PXIe-6547 (NI 6547)、および NI PXIe-6548 (NI 6548) の仕様が記載されています。

「最大」および「最小」仕様は、特定の動作状態で超過しないことが保証された値で、明記されていない限り温度と不確定要素による影響も含まれます。

「標準」仕様は、特定の動作状態における大部分 (3 σ) のユニットを示す保証されない値で、明記されていない限り温度と不確定要素による影響も含まれます。

「特性」仕様は、常温下で動作する標準ユニットの保証されない値です。

「公称」仕様は、製品の使用および製品の予測性能に関する保証されない値です。

すべての仕様は、特に記載がない限り標準値です。これらの仕様値は、動作温度範囲内でのみ有効です。仕様は事前の通知なしに変更されることがあります。最新の NI 6544/6545/6547/6548 の仕様については、ni.com/manuals をご覧ください。NI 6544/6545/6547/6548 の信号の機能説明とコネクタピン配列を含む『NI デジタル波形発生器 / アナライザ スタートアップガイド』などの NI 6544/6545/6547/6548 ドキュメントにアクセスするには、**スタート→プログラム→National Instruments→NI-HSDIO→ドキュメント**を参照してください。



熱面

NI 6544/6545/6547/6548 を長時間使用すると、安全取り扱い温度を超え、火傷をする恐れがあります。シャーシから取り外す前に、NI 6544/6545/6547/6548 を冷却してください。



メモ

すべての値は、1 m ケーブル (SHC68-C68-D4 を推奨) を使用して取得されたものです。指定より長いケーブルを使用した場合、性能仕様は保証されません。

目次

チャンネル仕様.....	3
生成チャンネル（データ、DDC CLK OUT、および PFI <0..3>）.....	4
集録チャンネル（データ、STROBE、および PFI <0..3>）.....	6
タイミング仕様.....	7
サンプルクロック.....	7
生成タイミング（データ、DDC CLK OUT、および PFI<0..3> チャンネル）.....	10
所定の生成セットアップおよびホールド時間.....	13
集録タイミング（データ、STROBE、および PFI<0..3> チャンネル）.....	16
CLK IN（SMA ジャックコネクタ）.....	20
STROBE（DDC コネクタ）.....	21
CLK OUT（SMA ジャックコネクタ）.....	22
DDC CLK OUT（DDC コネクタ）.....	22
基準クロック（PLL）.....	23
波形仕様.....	24
メモリおよびスクリプト.....	24
トリガ（NI 6544/6545/6547/6548 への入力）.....	27
イベント（NI 6544/6545/6547/6548 から生成）.....	28
その他.....	29
電源.....	30
物理特性.....	30
I/O パネルコネクタ.....	30
ソフトウェア.....	31
環境仕様.....	31
安全性、電磁両立性、CE 準拠.....	32

チャンネル仕様

仕様	値		コメント
	NI 6544/6545	NI 6547/6548	
データチャンネル数	32 シングルデータレート (SDR) チャンネル	32 シングルデータレート (SDR) チャンネル <i>または</i> 16 ダブルデータレート (DDR) チャンネル (1 方向につき) <i>または</i> 24 チャンネル (拡張データモード用に構成された場合) このモードはハードウェア比較およびサイクル間トラisst操作に使用されます。 メモ : 生成セッションおよび集録セッションは、それぞれ個別に下位データチャンネル (<0..15>) または上位データチャンネル (<16..31>) を DDR 操作用に構成することが可能です。	データレート乗数は、ソフトウェアで SDR または DDR に選択が可能。 SDR では、サンプルクロックの立ち上がりまたは立ち下がりエッジを使用してデータが測定されます。 DDR では、サンプルクロックの立ち上がりおよび立ち下がりの両エッジでデータが測定されます。
データチャンネルの出入力方向制御	各チャンネル、各操作	各チャンネル、各サイクル	各サイクル方向制御は、拡張データモードの場合にサポートされます。
トラisstまでの時間 (t_{PZ})	6.2 ns		公称、2 k Ω および 15 pF 負荷。
PFI (プログラム可能関数インタフェース) チャンネル数	4		詳細については、「 波形仕様 」のセクションを参照してください。

仕様	値	コメント
PFI チャンネルの出力方向制御	各チャンネルごと	—
クロック端子数	2 入力、 2 出力	詳細については、「 タイミグ仕様 」のセクションを参照してください。

生成チャンネル（データ、DDC CLK OUT、および PFI <0..3>）

仕様	値		コメント
生成信号タイプ	シングルエンド		—
プログラムで設定可能な生成電圧レベルの数	1 HIGH 電圧レベル (V_{OH}) LOW 生成電圧レベル (V_{OL}) は常に 0 V に設定。 メモ : 生成セッションと集録セッションは、共通のプログラム可能な電圧リソースを共有します。同時操作を行うには、集録しきい値を HIGH 生成電圧レベル設定の半分に設定する必要があります。		NI 6547/6548 のみ (すべてのデータ、PFI、およびクロックチャンネルに対して)。
生成電圧レンジ	1.2 V ~ 3.3 V		
生成電圧分解能	100 mV		
DC 生成電圧確度	標準	最大	1 MΩ 負荷、システムクロストークは除く
	±35 mV	±200 mV	

仕様	値					コメント
生成ロジックファミリ	1.2 V、1.5 V、1.8 V、2.5 V、3.3 V ロジックファミリ 生成セッションと集録セッションは、共通の電圧リソースを共有します。同時操作では、同じロジックファミリに設定されている必要があります。					すべてのデバイス（すべてのデータ、PFI、およびクロックチャンネルに対して）。 公称値の標準精度は、1 MΩ 負荷で ±35 mV です。 システムクロストークは除く。
生成電圧のレベル	ロジックファミリ	LOW 電圧レベル		HIGH 電圧レベル		
		公称	最大	最小	標準	
	1.2V (V _{OH} = 1.2 V)	0.0 V	0.2 V	1 V	1.2 V	
	1.5V (V _{OH} = 1.5 V)	0.0 V	0.2 V	1.3 V	1.5 V	
	1.8V (V _{OH} = 1.8 V)	0.0 V	0.2 V	1.6 V	1.8 V	
	2.5V (V _{OH} = 2.5 V)	0.0 V	0.2 V	2.3 V	2.5 V	
3.3 V (V _{OH} = 3.3 V)	0.0 V	0.2 V	3.1 V	3.3 V		
出力インピーダンス	50 Ω					公称。
最大許容 DC 出力電流 (チャンネルあたり)	ロジックファミリ		最大許容 DC 出力電流			公称。
	1.2V		±12 mA			
	1.5V		±15 mA			
	1.8V		±18 mA			
	2.5V		±25 mA			
	3.3V		±33 mA			
データチャンネル駆動有効 / 無効制御	各チャンネルごと					ソフトウェアで選択可能。
チャンネル電源投入時の状態	ドライバ無効、50 kΩ 公称入力インピーダンス					—
出力保護	デバイスは、0 ～ 5 V の電圧間であれば短絡に対して無限の耐久性があります。					—

集録チャンネル（データ、STROBE、および PFI <0..3>）

仕様	値				コメント	
集録信号タイプ	シングルエンド				—	
プログラム可能な集録しきい値数	1 電圧しきい値 ($V_{IH} = V_{IL}$) メモ : 生成セッションと集録セッションは、共通のプログラム可能な電圧リソースを共有します。同時操作を行うには、生成電圧 HIGH レベルを集録電圧しきい値の 2 倍に設定する必要があります。				NI 6547/6548 のみ (すべてのデータ、PFI、およびクロックチャンネルに対して)。	
集録電圧しきい値範囲	0.6 V ~ 1.65 V					
集録電圧しきい値分解能	50 mV					
DC 集録電圧しきい値確度	標準		最大		システムクロストークは除く。	
	±150 mV		±30%			
集録ロジックファミリ	1.2 V、1.5 V、1.8 V、2.5 V、3.3 V ロジックファミリ メモ : 生成セッションと集録セッションは、共通の電圧リソースを共有します。同時操作では、同じロジックファミリに設定されている必要があります。				すべてのデバイス (すべてのデータ、PFI、およびクロックチャンネルに対して)。 システムクロストークは除く。	
集録電圧しきい値		電圧しきい値 LOW		電圧しきい値 HIGH		
	ロジックファミリ	最小	標準	標準		最大
	1.2V (V_{IH} 、 V_{IL} = 0.60 V)	420 mV	450 mV	750 mV		780 mV
	1.5V (V_{IH} 、 V_{IL} = 0.75 V)	525 mV	600 mV	900 mV		975 mV
	1.8V (V_{IH} 、 V_{IL} = 0.90 V)	630 mV	750 mV	1.05 V		1.17 V
	2.5V (V_{IH} 、 V_{IL} = 1.25 V)	875 mV	1.10 V	1.40 V		1.625 V
	3.3 V (V_{IH} 、 V_{IL} = 1.65 V)	1.155 V	1.50 V	1.80 V		2.145 V

仕様	値	コメント
入力インピーダンス	高インピーダンス (50 k Ω)	公称。
入力保護	-1 V ~ 5 V	内部ダイオードクランプは、-0.5 V ~ 3.5 V の範囲外では導電する場合があります。

タイミング仕様

サンプルクロック

仕様	値	コメント
サンプルクロックソース	<ol style="list-style-type: none"> オンボードクロック (32 ビット DDS 搭載の内部 800 MHz VCO) CLK IN (SMA ジャックコネクタ) STROBE (Digital Data & Control (DDC) コネクタ、集録のみ) 	—
オンボードクロック周波数範囲	NI 6544、NI 6547: 100 Hz ~ 100 MHz NI 6545、NI 6548: 100 Hz ~ 200 MHz	—
オンボードクロック周波数分解能	0.2 Hz (最大) メモ: サンプルクロック周波数により異なります。	NI-HSDIO でプログラムされた周波数値をクエリすることができます。
オンボードクロック周波数確度	$\pm 150 \text{ ppm} + 5 \text{ ppm/年}$	より高性能な外部基準クロックを使用することで確度が向上する場合があります。

仕様	値		コメント
CLK IN 周波数範囲	NI 6544、NI 6547: 20 kHz ～ 100 MHz NI 6545、NI 6548: 20 kHz ～ 200 MHz		波形タイプによる制限については、 「CLK IN (SMA ジャックコネクタ)」 のセクションを参照してください。
STROBE 周波数範囲	NI 6544、NI 6547: 100 Hz ～ 100 MHz NI 6545、NI 6548: 100 Hz ～ 200 MHz		「STROBE (DDC コネクタ)」 のセクションを参照してください。
サンプルクロック相対遅延の調整範囲	0.0 ～ 1.0 サンプルクロック周期（集録セッション） 0.0 ns ～ 5.0 ns（生成セッション）		遅延または位相調整をオンボードクロックに適用して複数のデバイスを同期することができません。
サンプルクロック相対遅延の調整分解能	0.5 ps		
エクスポートしたサンプルクロックの出力先	1. DDC CLK OUT（DDC コネクタ） 2. CLK OUT（SMA ジャックコネクタ）		STROBE 以外のソースとなる内部サンプルクロックをエクスポート可能です。
エクスポートしたサンプルクロックの遅延範囲	0.0 ～ 1.0 サンプルクロック周期		分解能は、非線形的にクロック周波数に依存し、NI-HSDIO でクエリすることができます。
エクスポートしたサンプルクロックの遅延分解能 (δ _C)	117 ps ～ 143 ps、公称		
エクスポートしたサンプルクロックの遅延周波数	オンボードクロック	外部クロック	
	サポートされているすべての周波数	周波数 ≥ 20 MHz	
エクスポートしたサンプルクロックジッタ	周期ジッタ	サイクル間ジッタ	特性、オンボードクロックを使用
	24 ps _{rms}	43 ps _{rms}	

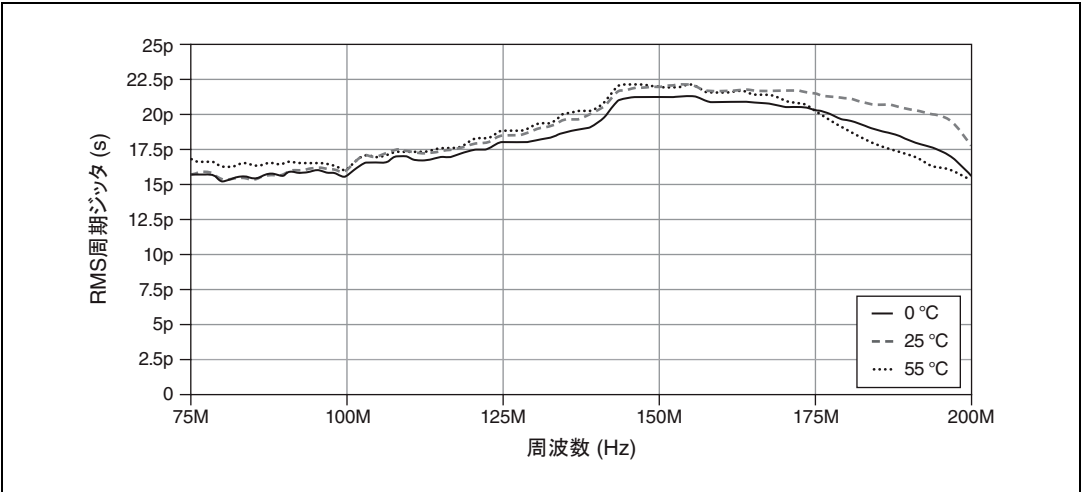


図 1 特性周期ジッタ（RMS）と周波数

仕様	値					コメント
エクスポートしたサンプルクロック デューティサイクル	ロジックファミリ	DDC クロック出力		SMA クロック出力		最大クロックレート (200 MHz) 時の NI 6545/ 6548。 システムクロ ストークの影 響は除く。
		最小	最大	最小	最大	
	1.2V	37%	50%	30%	46%	
	1.5V	41%	53%	36%	48%	
	1.8V	42%	55%	39%	51%	
	2.5V	45%	57%	41%	54%	
	3.3V	48%	58%	43%	55%	

生成タイミング（データ、DDC CLK OUT、および PFI<0..3>チャンネル）

仕様	値			コメント	
データチャンネル間スキュー	±300 ps			同じデータ位置またはデータ遅延バンクを使用した場合の、すべてのデータチャンネル、PFIチャンネル、および電圧レベルの最大スキュー。	
最大データレート / チャンネル	NI 6544	SDR: 100 Mbps すべてのロジックファミリでサポート。		最大データチャンネル間スキューおよび標準クロストークを含む。 NI 6547/6548 デバイスは、DDR モードで各クロックサイクルにつき 2 つのサンプルを生成します。	
	NI 6545	SDR: 200 Mbps すべてのロジックファミリでサポート。			
	NI 6547	SDR: 100 Mbps DDR: 200 Mbps すべてのロジックファミリおよび選択可能な電圧レベルでサポート。			
	NI 6548	ロジックファミリ	SDR		DDR
		3.3V	200 Mbps		400 Mbps
		2.5V			400 Mbps
		1.8V			375 Mbps
		1.5V			350 Mbps
		1.2V			300 Mbps
		電圧レベル	SDR		DDR
		2.5 V ~ 3.3 V	200 Mbps		400 Mbps
		1.8 V ~ 2.4 V			375 Mbps
		1.5 V ~ 1.7 V			350 Mbps
	1.2 V ~ 1.4 V	300 Mbps			

図 2 は、3.3 V 時、DDR モードにおける 400 Mbps の擬似乱数ビットシーケンス (PRBS) 波形のアイダイアグラムを示します。この波形は、常温、および高インピーダンス終端時に DIO 0 でキャプチャされたものです。

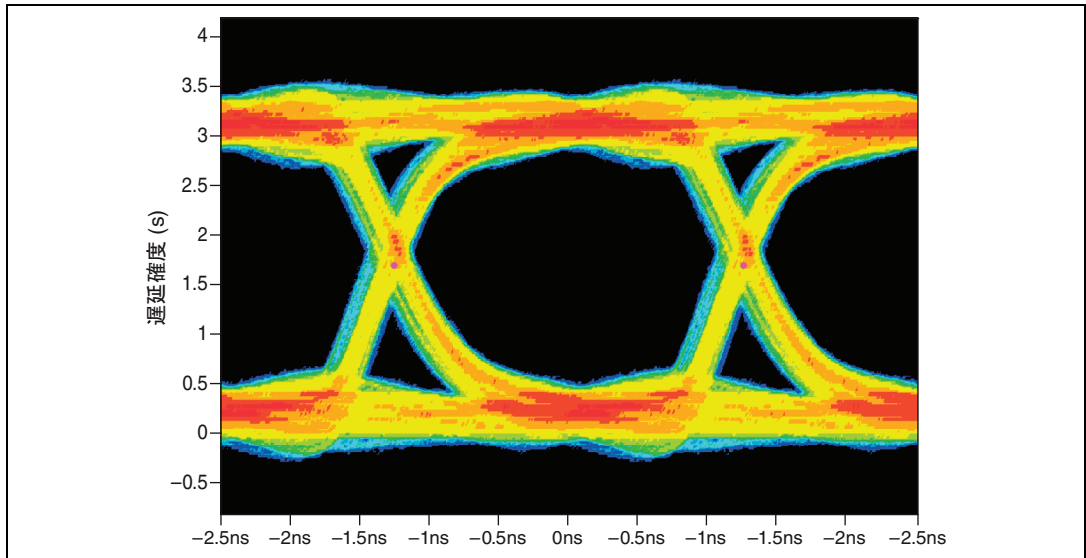


図 2 特性アイダイアグラム (高インピーダンス)

図 3 は、3.3 V 時 DDR モードにおける 400 Mbps の PRBS 波形のアイダイアグラムを示します。この波形は、常温および 50Ω 終端時に DIO 0 でキャプチャされたものです。

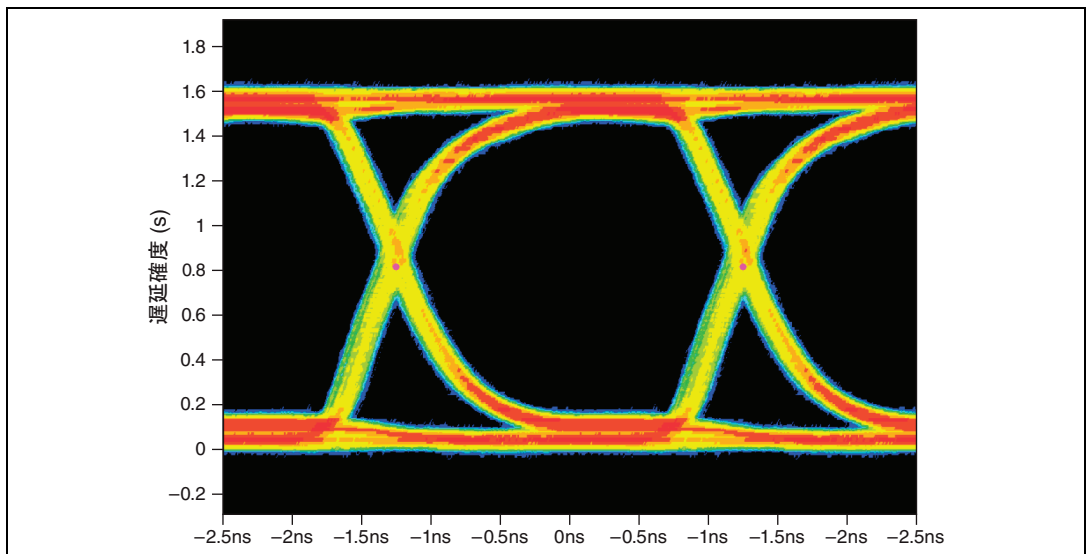


図 3 特性アイダイアグラム (50Ω 終端)

仕様	値		コメント
データ位置モード	サンプルクロック立ち上がりエッジ、サンプルクロック立ち下がりエッジ、またはサンプルクロック立ち上がりエッジからの遅延		—
データ遅延バンク	NI 6544/6545: 1 バンク（すべてのチャンネルおよび PFI ラインに対応） NI 6547/6548: 3 バンク バンク 0: DIO<0..3>、DIO<16..19>、DIO<28..31>、PFI <0..3> バンク 1: DIO<4..7>、DIO<20..23> バンク 2: DIO<8..15>、DIO<24..27>		マルチバンクデータ遅延は、NI-HSDIO 1.7 以降でのみサポートされています。
生成データ遅延範囲（δ _G ）	0.0 ～ 1.0 サンプルクロック周期		分解能は、非線形的にクロック周波数に依存し、NI-HSDIO でクエリすることができます。
生成データ遅延分解能（δ _G ）	117 ps ～ 143 ps、公称		
生成データ遅延周波数	オンボードクロック サポートされているすべての周波数	外部クロック 周波数 ≥ 20 MHz	

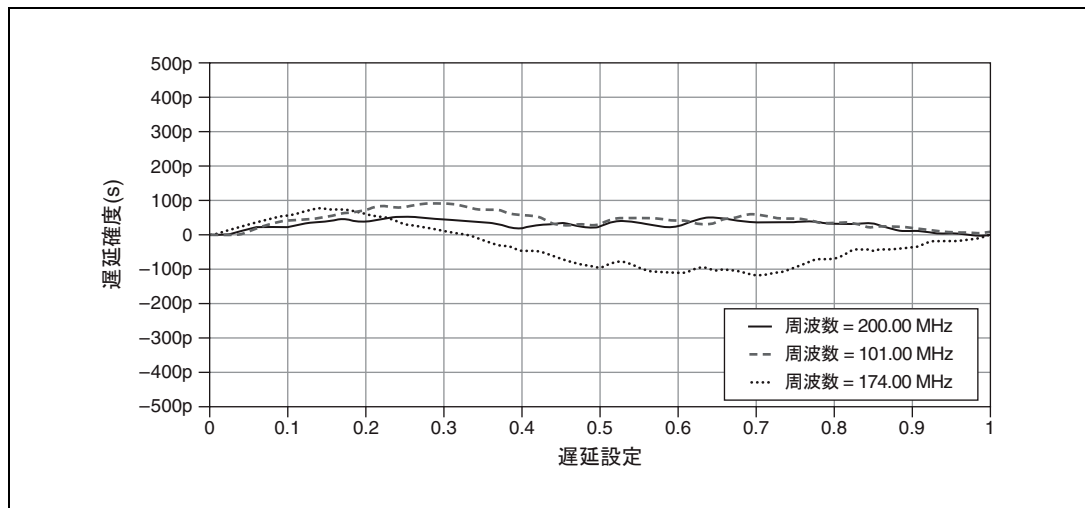


図 4 特性データ遅延確度

仕様	値	コメント
エクスポートしたサンプルクロックオフセット (t_{CO})	0.0 ns または 1.65 ns (デフォルト)	公称、DDC_CLK_OUT にはソフトウェアで選択可能。
サンプルクロック (内部) から DDC コネクタまでの時間遅延 (t_{SCDDC})	8.1 ns	特性、エクスポートしたサンプルクロックオフセット = 0 ns

所定の生成セットアップおよびホールド時間

エクスポートしたサンプルクロックオフセット (t_{PCO})	所定の最小セットアップ時間 (t_{PSU})	所定の最小ホールド時間 (t_{PH})
1.65 ns	$t_p - 2.15$ ns	1.15 ns
0.0 ns	$t_p - 500$ ps	-500 ps

検査対象デバイス (DUT) のデータシートから取得したセットアップおよびホールド時間と上記の表の値を比較してください。所定のセットアップおよびホールド時間は、DUT に必要なセットアップおよびホールド時間より大きい必要があります。より長いセットアップ時間が必要な場合は、エクスポートしたサンプルクロックモードを反転するか、またはクロックもしくはデータをサンプルクロックに対して遅らせます。

エクスポートされたサンプルクロックモードおよび提供されたセットアップおよびホールド時間の関係を示すダイアグラムについては、図 5 を参照してください。

メモ: この表は、データ位置がサンプルクロックの立ち上がりエッジに設定され、非反転サンプルクロックが DDC コネクタへエクスポートされていることを前提としています。

この表には、チャンネル間スキューおよびシンボル間の混信の最悪なケースの影響が含まれています。

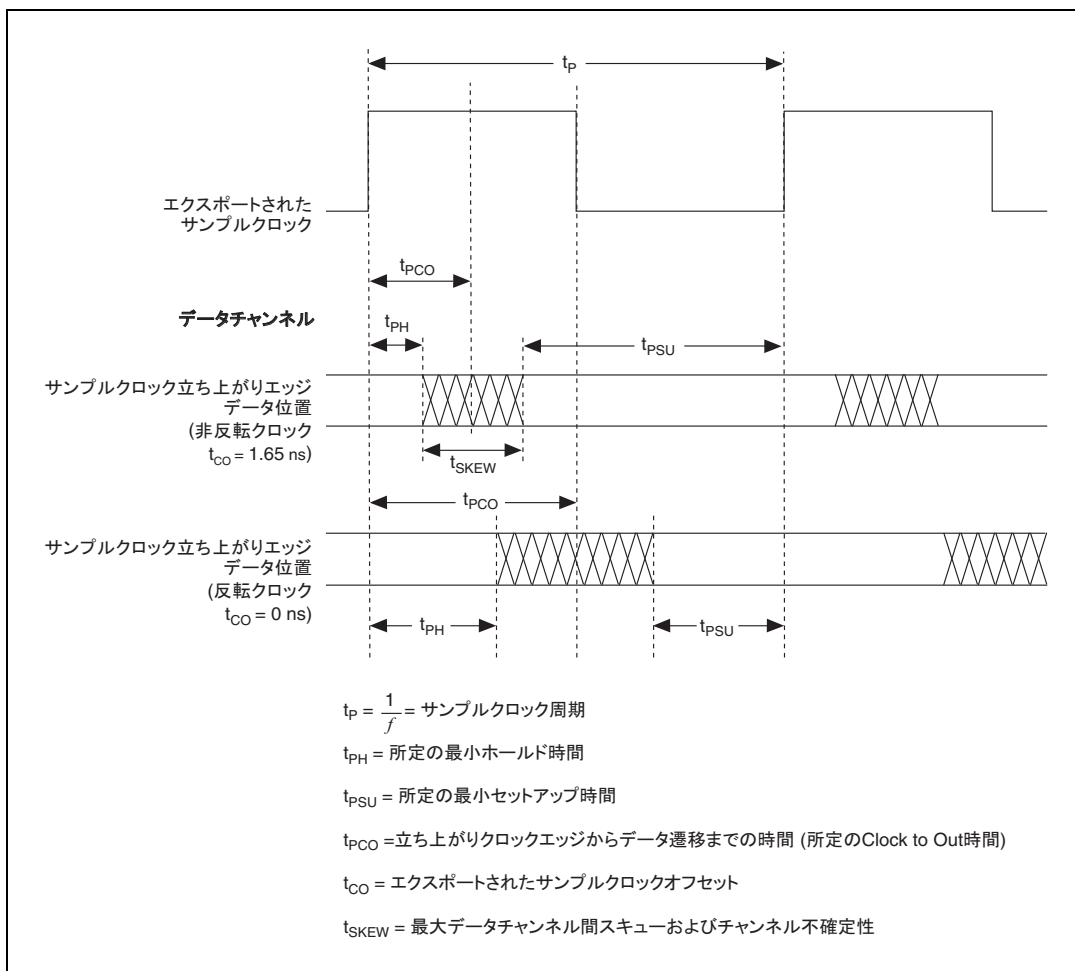
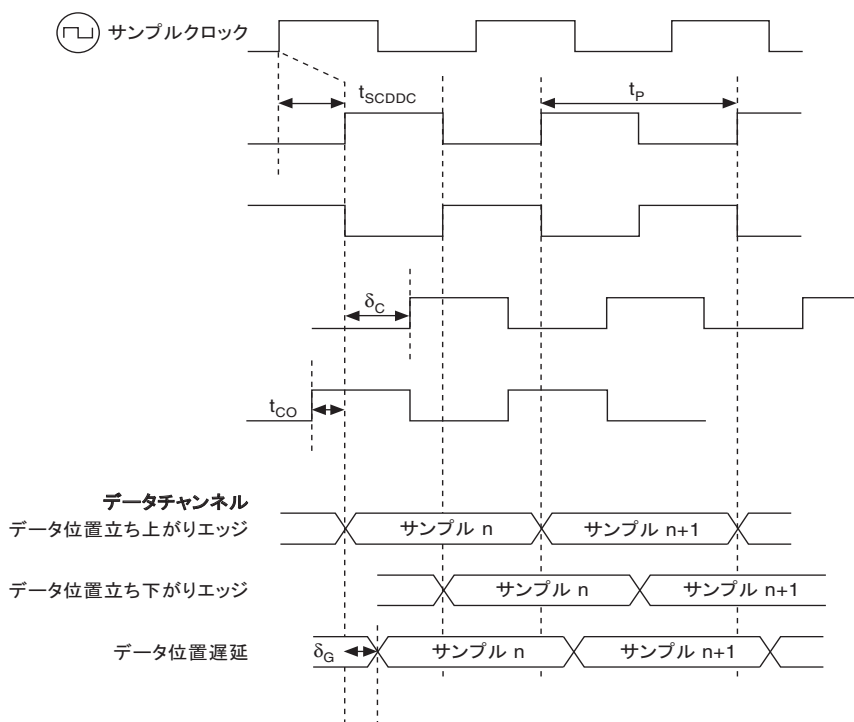


図 5 所定の生成セットアップおよびホールド時間のタイミング図



メモ

提供されるセットアップおよびホールド時間には最大チャンネル間スキューおよびジッタを含みます。



t_{SCDDC} : DDCコネクタから内部サンプルクロックまでの時間遅延

$0 \leq \delta_C \leq 1$: エクスポートされたサンプルクロック遅延 (t_P の分数)

$0 \leq \delta_G \leq 1$: パターン生成のデータ遅延 (t_P の分数)

$t_P = \frac{1}{f}$ = サンプルクロック周期

t_{CO} = エクスポートされたサンプルクロックオフセット。1.65 ns、ソフトウェアで選択可能

図 6 生成タイミング図

集録タイミング（データ、STROBE、および PFI<0..3> チャンネル）

仕様	値			コメント	
チャンネル間スキュー	±350 ps			同じデータ位置またはデータ遅延バンクを使用した場合の、すべてのデータチャンネル、PFIチャンネル、および電圧レベルの最大スキュー。	
最大データレート / チャンネル	NI 6544	SDR: 100 Mbps すべてのロジックファミリでサポート。			最大データチャンネル間スキューおよび標準クロストークを含む。 NI 6547/6548 デバイスは、DDR モードで各クロックサイクルにつき 2 つのサンプルを集録します。
	NI 6545	SDR: 200 Mbps すべてのロジックファミリでサポート。			
	NI 6547	SDR: 100 Mbps DDR: 200 Mbps すべてのロジックファミリおよび選択可能な電圧レベルでサポート。			
	NI 6548	ロジックファミリ	SDR	DDR	
		3.3V	200 Mbps	300 Mbps	
		2.5V		300 Mbps	
		1.8V		250 Mbps	
		1.5V		225 Mbps	
		1.2V		200 Mbps	
		電圧しきい値	SDR	DDR	
		1.25 V ~ 1.65 V	200 Mbps	300 Mbps	
		0.90 V ~ 1.20 V		250 Mbps	
		0.75 V ~ 0.85 V		225 Mbps	
	0.60 V ~ 0.70 V	200 Mbps			

仕様	値					コメント	
STROBE への セットアップ およびホールド時間	電圧 しきい値	ホールド時間 (t _{ns})		セットアップ時間 (t _{sus})		特性には、最大データチャンネル間スキューおよび不確定性が含まれますが、システムクロストークは含まれません。性能は、システムクロストークに影響される場合があります。	
		< 20 MHz	≥ 20 MHz	< 20 MHz	≥ 20 MHz		
		1.25 V ~ 1.65 V	2.4 ns	900 ps	2.8 ns		1.15 ns
		0.90 V ~ 1.20 V		1.00 ns			1.20 ns
		0.75 V ~ 0.85 V		1.10 ns			1.40 ns
0.60 V ~ 0.70 V	1.25 ns	1.75 ns					
データ位置 モード	サンプルクロック立ち上がりエッジ、サンプルクロック立ち下がりエッジ、またはサンプルクロック立ち上がりエッジからの遅延。					—	
データ遅延バンク	NI 6544/6545: 1 バンク（すべてのチャンネルおよび PFI ラインに対応） NI 6547/6548: 3 バンク バンク 0: DIO<0..3>、DIO<16..19>、DIO<28..31>、PFI <0..3> バンク 1: DIO<4..7>、DIO<20..23> バンク 2: DIO<8..15>、DIO<24..27>					マルチバンクデータ遅延は、NI-HSDIO 1.7 以降でのみサポートされています。	
集録データ遅延範囲	0.0 ～ 1.0 サンプルクロック周期					分解能は、非線形的にクロック周波数に依存し、NI-HSDIO でクエリすることができません。	
集録データ遅延分解能	117 ps ～ 143 ps、公称						
集録データ遅延周波数	オンボードクロック		外部クロックおよび STROBE				
	サポートされているすべての周波数		周波数 ≥ 20 MHz				

仕様	値	コメント
サンプルクロックからのセットアップ時間 (t_{SUSC})	900 ps	公称、チャンネル間スキュー、 t_{DDCSC} または t_{SCDDC} は除く。
サンプルクロックまでのホールド時間 (t_{HSC})	425 ps	
DDC コネクタから内部サンプルクロックまでの時間遅延	6.8 ns	公称。

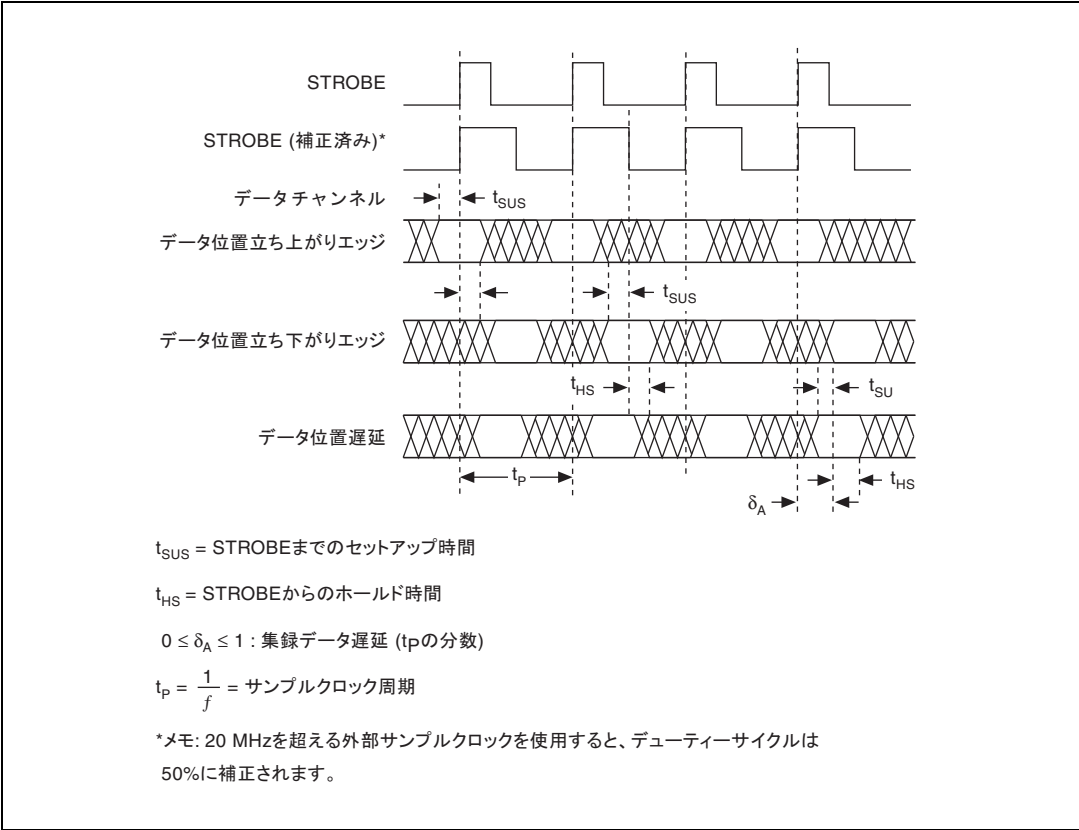


図 7 STROBE をサンプルクロックとして使用する集録タイミング図

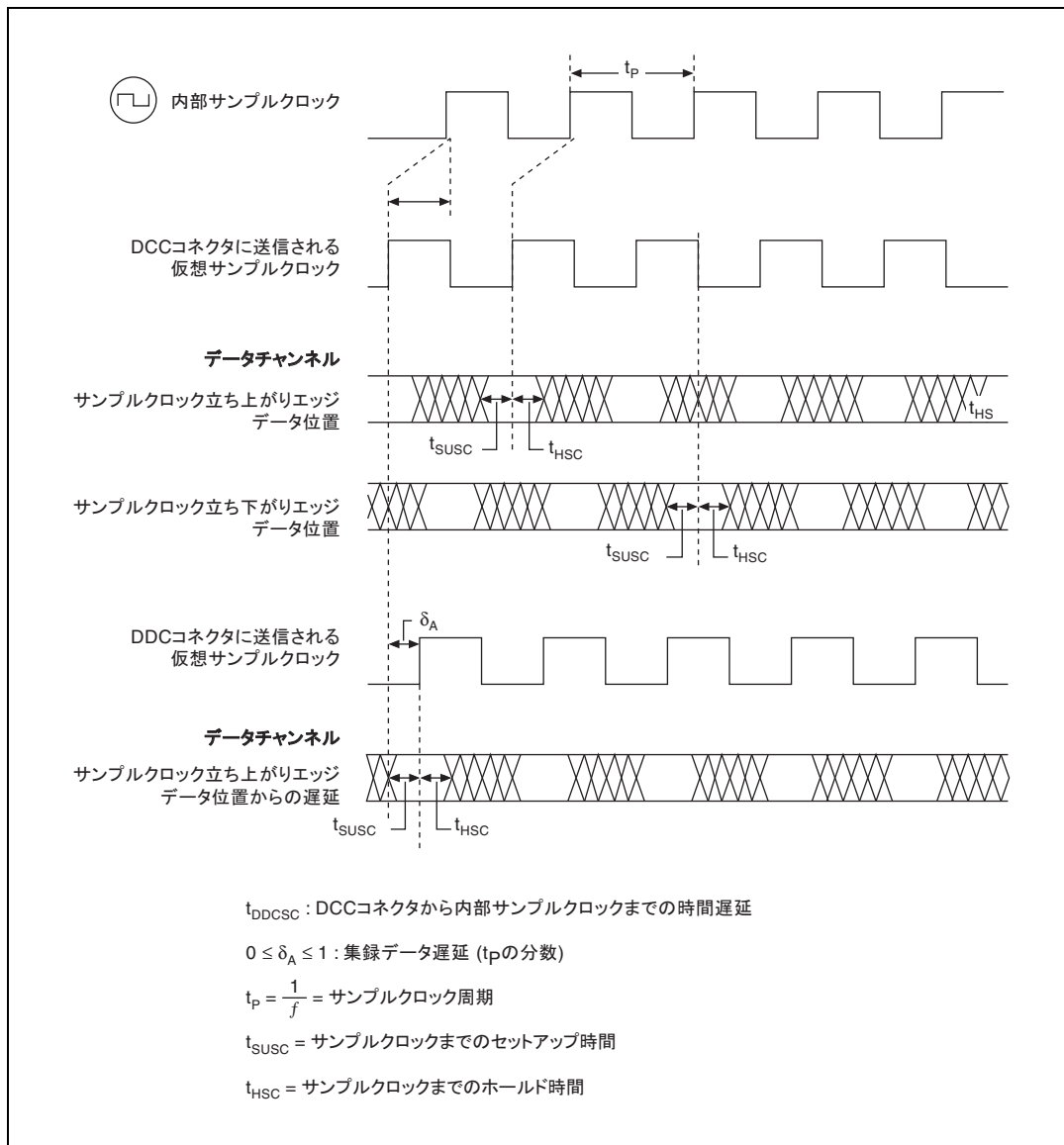


図 8 STROBE 以外のサンプルクロックソースを使用する集録タイミング図

CLK IN (SMA ジャックコネクタ)

仕様	値					コメント	
方向	入力からデバイス					—	
出力先	1. 基準クロック —PLL（位相ロックループ）用 2. サンプルクロック					—	
入力カプリング	AC					—	
入力保護	±10 VDC					公称。	
入力インピーダンス	50 Ω（デフォルト）または 1 kΩ					ソフトウェアで選択可能（公称）。	
検出可能な最小パルス幅	2 ns					公称。	
クロック要件	クロックは連続および自走であること。					—	
電圧レンジ	方形波					—	
	0.65 V _{pp} ～ 5.0 V _{pp}						
	正弦波					—	
	電圧レンジ	0.65 V _{pp} ～ 5.0 V _{pp}	1.0 V _{pp} ～ 5.0 V _{pp}	1.3 V _{pp} ～ 5.0 V _{pp}	2.6 V _{pp} ～ 5.0 V _{pp}		
	周波数範囲	20 MHz ～ 100 MHz	13 MHz ～ 100 MHz	10 MHz ～ 100 MHz	5 MHz ～ 100 MHz		NI 6544 および 6547 のみでサポート。
		20 MHz ～ 200 MHz	13 MHz ～ 200 MHz	10 MHz ～ 200 MHz	5 MHz ～ 200 MHz		NI 6545 および 6548 のみでサポート。

仕様	値	コメント
サンプルクロックの場合		
周波数範囲	NI 6544 および NI 6547: 20 kHz ～ 100 MHz NI 6545 および NI 6548: 20 kHz ～ 200 MHz	1 k Ω 入力インピーダンス使用時、100 MHz での公称 3 dB カットオフポイント
デューティサイクルレンジ	$f < 20$ MHz: 25% ～ 75% $f \geq 20$ MHz: 40% ～ 60%	—
基準クロックの場合		
基準クロックの周波数範囲	5 MHz ～ 100 MHz (1 MHz の整数倍)	—
基準クロック周波数確度	$\pm 0.1\%$	外部基準クロックソースの確度要件
基準クロックのデューティサイクル	25 ～ 75%	—

STROBE (DDC コネクタ)

仕様	値	コメント
方向	入力からデバイス	—
出力先	サンプルクロック (集録のみ)	—
STROBE 周波数範囲	NI 6544、NI 6547: 100 Hz ～ 100 MHz NI 6545、NI 6548: 100 Hz ～ 200 MHz	—
STROBE デューティサイクルレンジ	40% ～ 60% (クロック周波数 ≥ 20 MHz) 25% ～ 75% (クロック周波数 < 20 MHz) メモ: STROBE デューティサイクルは周波数 ≥ 20 MHz で 50% に補正されます。	プログラムされたしきい値でのデューティサイクル
検出可能な最小パルス幅	2 ns	公称、集録電圧しきい値が必要。

仕様	値	コメント
電圧しきい値	「チャンネル仕様」セクションの「集録タイミング（データ、STROBE、および PFI<0..3> チャンネル）」仕様を参照してください。	—
クロック要件	クロックは連続および自走であること。	—
入力インピーダンス	50 k Ω	公称。

CLK OUT (SMA ジャックコネクタ)

仕様	値	コメント
方向	デバイスから出力	—
ソース	1. サンプルクロック（STROBE を除く） 2. 基準クロック（PLL）	—
出力インピーダンス	50 Ω	公称。
電気特性	「チャンネル仕様」セクションの「生成チャンネル（データ、DDC CLK OUT、および PFI <0..3>）」仕様を参照してください。	—
論理タイプ	生成および集録セッションと一致。	—

DDC CLK OUT (DDC コネクタ)

仕様	値	コメント
方向	デバイスから出力	—
ソース	サンプルクロック（生成のみ）	STROBE および集録サンプルクロックは DDC CLK OUT に経路設定できません。
電気特性	「チャンネル仕様」セクションの「生成チャンネル（データ、DDC CLK OUT、および PFI <0..3>）」仕様を参照してください。	—

基準クロック（PLL）

仕様	値	コメント
基準クロック ソース	1. PXI_CLK100（PXI Express バックプレーン） 2. CLK IN（SMA ジャックコネクタ） 3. なし（内部発振器を内部基準にロック）	PLL に基準周波 数を提供。
ロック時間	150 ms	最大、ソフト ウェアレイテ ンシは除く。
基準クロック 周波数	5 MHz ～ 100 MHz（1 MHz の整数倍）	0.1% 確度要 件。
基準クロック のデュー ティーサイク ルレンジ	25% ～ 75%	—
基準クロック 周波数の出力 先	CLK OUT（SMA ジャックコネクタ）	—

波形仕様

メモリおよびスクリプト

仕様	値			コメント
メモリアーキテクチャ	NI 6544/6545/6547/6548 は、波形と命令がオンボードメモリを共有する SMC（Synchronization and Memory Core）テクノロジーを使用しています。スクリプト命令数、メモリ内の最大波形数、および波形ストレージで利用できるサンプル数などのパラメータは、柔軟性がありユーザ定義が可能です。			詳細については、『NI デジタル波形発生器 / アナライザヘルプ』の「オンボードメモリ」セクションを参照してください。
オンボードメモリサイズ (生成および集録)	1 Mbit/ チャンネル	8 Mbit/ チャンネル	64 Mbit/ チャンネル	生成セッションの最大制限は、スクリプトの命令を使用しないことを前提としています。
生成モード	単一波形モード ：単一の波形を 1 回、 n 回、または連続して生成します。			—
	スクリプトモード ：シンプルまたは複雑な波形のシーケンスを生成します。スクリプトを使用して、生成する波形、波形が生成される順序、生成する波形数、およびスクリプトトリガにデバイスがどのように反応するかを示します。			

仕様	値		コメント
サンプル中の生成最小波形サイズ (S)	構成	サンプルレート	
		200 MHz (NI 6545/6548のみ)	100 MHz
	単一波形	1 S	1 S
	連続波形	128 S	64 S
	ステップシーケンス	128 S	64 S
	バーストシーケンス	1056 S	512 S
有限生成繰り返し回数	1 ~ 16,777,216		—
生成波形量	データ幅 = 4	データ幅 = 2	DDR モードはデータ幅を 2 に設定します。
	1 サンプル	2 サンプル	

仕様	値		コメント
生成波形ブロックサイズ (物理メモリ中)	データ幅 = 4	データ幅 = 2	—
	32 サンプル	64 サンプル	
集録最小レコードサイズ	1 S		波形サイズに関係なく、NI-HSDIOは最低 640 バイトをレコードに割り当てます。
集録レコード量	1 S		—
最大集録レコード数	2,147,483,647		セッションは、フェッチされていないデータが上書きされないように、十分な速さでフェッチを行う必要があります。
基準トリガのプレトリガサンプル集録数	0 ～最大レコード		—
基準トリガのポストトリガサンプル集録数	0 ～最大レコード		—

トリガ (NI 6544/6545/6547/6548 への入力)

仕様	値	コメント
トリガタイプ	<ol style="list-style-type: none"> 1. 開始トリガ 2. 一時停止トリガ 3. スクリプトトリガ <0..3> (生成セッションのみ) 4. 基準トリガ (集録セッションのみ) 5. アドバンストリガ (集録セッションのみ) 6. 停止トリガ (生成セッションのみ) 	—
ソース	<ol style="list-style-type: none"> 1. PFI 0 (SMA ジャックコネクタ) 2. PFI <1..3> (DDC コネクタ) 3. PXI_TRIG<0..7> (PXI Express バックプレーン) 4. パターンマッチ (集録セッションのみ) 5. ソフトウェア (ユーザによる関数呼び出し) 6. 無効 (トリガ待機なし) 	—
トリガ検出	<ol style="list-style-type: none"> 1. 開始トリガ (エッジ検出: 立ち上がりまたは立ち下がり) 2. 一時停止トリガ (レベル検出: HIGH もしくは LOW) 3. スクリプトトリガ <0..3> (エッジ検出: 立ち上がりまたは立ち下がり、レベル検出: HIGH もしくは LOW) 4. 基準トリガ (エッジ検出: 立ち上がりまたは立ち下がり) 5. アドバンストリガ (エッジ検出: 立ち上がりまたは立ち下がり) 6. 停止トリガ (エッジ検出: 立ち上がりまたは立ち下がり) 	—
必要最小トリガパルス幅	15 ns	—
出力先	<ol style="list-style-type: none"> 1. PFI 0 (SMA ジャックコネクタ) 2. PFI <1..3> (DDC コネクタ) 3. PXI_TRIG<0..6> (PXI Express バックプレーン) 	各トリガは、一時停止トリガ以外すべての出力先に経路設定可能です。一時停止トリガはエクスポートできません。

仕様	値				コメント
トリガリアーム時間	開始～基準トリガ	開始～アドバンストリガ	アドバンス～アドバンストリガ	基準～基準トリガ	最大サンプル数。
	150 s	220 s	220 s	220 s	
一時停止トリガから一時停止状態、および停止トリガから完了状態までの遅延	生成セッション		集録セッション		最大。生成操作中にデータアクティブイベントを使用して、サンプルごとにデバイスが一時停止または完了状態に入るタイミングを判断します。
	50 サンプルクロック周期 + 300 ns		データに同期		
トリガからデジタルデータ出力までの遅延	3 サンプルクロック周期 + 600 ns				最大。開始トリガおよびスクリプトトリガ。

イベント（NI 6544/6545/6547/6548 から生成）

仕様	値	コメント
イベントタイ プ	1. マーカ <0..2>（生成セッションのみ） 2. データアクティブイベント（生成セッションのみ） 3. 開始準備完了イベント 4. アドバンス準備完了イベント（集録セッションのみ） 5. レコード完了イベント（集録セッションのみ）	—

仕様	値	コメント
出力先	1. PFI 0 (SMA ジャックコネクタ) 2. PFI <1..3> (DDC コネクタ) 3. PXI_TRIG<0..6> (PXI Express バックプレーン)	各イベントは、データアクティビイベント以外すべての出力先に接続可能です。データアクティビイベントは、PFI チャネルのみに接続可能です。
マーカ時間分解能 (配置)	SDR モード使用時は、マーカを任意のサンプルに配置できます。 DDR モード使用時は、マーカを 2 サンプルの整数倍の位置に配置する必要があります。	—

その他

仕様	値	コメント
ウォームアップ時間	15 分	—
オンボードクロックの特性 (PLL 基準ソースがなしに設定されている場合に有効)		
周波数確度	±150 ppm	標準、温度効果を含む
経時特性	±5 ppm (1 年目)	公称。

電源

仕様	値		コメント
	特性	最大	
+3.3 VDC	1.75 A	1.77 A	特性の結果は、すべてのデータチャンネルを高インピーダンス負荷で使用する場合の平均的なユーザアプリケーションを想定しています。最大の結果には、最悪なケースのデータパターンが含まれていません。
+12 VDC	2.2 A	2.3 A	
合計電力	32.2 W	33.5 W	

物理特性

仕様	値	コメント
外形寸法	21.6 × 2.0 × 13.0 cm 3U 型 CompactPCI Express スロット 1、PXI Express 対応	—
重量	519 g (18.3 oz)	—

I/O パネルコネクタ

ラベル	機能	コネクタタイプ
CLK IN	外部サンプルクロック、外部基準クロック。	SMA ジャック
PFI 0	イベント、トリガ。	SMA ジャック
CLK OUT	外部サンプルクロック、エクスポートした基準クロック。	SMA ジャック
DIGITAL DATA & CONTROL (DDC)	デジタルデータチャンネル、エクスポートしたサンプルクロック、STROBE、イベント、トリガ。	68 ピン VHDCI

ソフトウェア

仕様	値	コメント
ドライバソフトウェア	NI-HSDIO ドライバソフトウェア 1.6 以降。NI-HSDIO は、NI 6544/6545/6547/6548 の構成および制御を可能にします。NI-HSDIO は、さまざまな開発環境のアプリケーションインタフェースを提供します。NI-HSDIO は、IVI アプリケーションプログラミングインタフェース (API) 指針に従っています。 ハードウェア比較、各サイクルのトライステート、マルチバンクデータ遅延は、NI-HSDIO 1.7 以降でのみサポートされています。	—
アプリケーションソフトウェア	NI-HSDIO は、以下のアプリケーション開発環境 (ADE) でのプログラミングインタフェースを提供します。 <ul style="list-style-type: none"> National Instruments LabVIEW National Instruments LabWindows™/CVI™ Microsoft Visual C/C++ 	サポートされている各 ADE のバージョンについては、『NI-HSDIO 計測器ドライバ Readme』を参照してください。
テストパネル	NI Measurement & Automation Explorer (MAX) も NI 6544/6545/6547/6548 対応の集録および生成の基本機能を搭載したテストパネルを提供しています。MAX は NI-HSDIO 計測器ドライバ CD に含まれています。	—

環境仕様



メモ



NI 6544/6545/6547/6548 の効率的な冷却方法については、NI 6544/6545/6547/6548 に付属する『強制空冷の維持について』を参照してください。NI 6544/6545/6547/6548 は、室内使用を意図して設計されています。

仕様	値	コメント
動作温度	0 ~ +55 °C (すべての NI PXI Express およびハイブリッド NI PXI Express シャーシ)	—
保管温度	-20 ~ +70 °C	—
動作時の相対湿度	10 ~ 90% (相対湿度)、結露なきこと (IEC60068-2-56 に準拠)	—
保管時の相対湿度	5 ~ 95% 相対湿度、結露なきこと (IEC 60068-2-56 に適合)	—

仕様	値	コメント
動作衝撃	30 g (半正弦波)、11 ms パルス (IEC60068-2-27 に適合、MIL-PRF-28800F に準拠してテストプロファイルを確立)	—
保管時衝撃	50 g (半正弦波)、11 ms パルス (IEC60068-2-27 に適合、MIL-PRF-28800F に準拠してテストプロファイルを確立)	—
動作振動	5 Hz ~ 500 Hz、0.31 g _{rms} (IEC 60068-2-64 に準拠)	—
保管時振動	5 Hz ~ 500 Hz、2.46 g _{rms} (IEC 60068-2-64 に準拠、テストプロファイルは MIL-PRF-28800F、Class B の要件を上回る)	—
高度	海拔 0 ~ 2,000 m (周囲温度 25 °C 時)	—
汚染度	2	—

安全性、電磁両立性、CE 準拠

仕様	値	コメント
安全性	<p>NI 6544/6545/6547/6548 は、計測、制御、実験に使用される電気装置に関する以下の規格および安全性の要件を満たします。</p> <ul style="list-style-type: none"> • IEC 61010-1、EN 61010-1 • UL 61010-1、CSA 61010-1 	<p>UL および準拠する安全規格については、ni.com/certification (英語) にアクセスして型番または製品ラインで検索し、保証の欄の該当するリンクをクリックしてください。</p>
電磁両立性	<p>NI 6544/6545/6547/6548 は、計測、制御、実験に使用される電気装置に関する以下の規格および EMC 規格を満たします。</p> <p>EN 61326-1 (IEC 61326-1): Class A エミッション、基本イミュニティ</p> <p>EN 55011 (CISPR 11): Group 1、Class A エミッション</p> <p>AS/NZS CISPR 11: Group 1、Class A エミッション</p> <p>FCC 47 CFR Part 15B: Class A エミッション</p> <p>ICES-001: Class A エミッション</p> <p>製品の EMC 決定に適用する基準については、以下の「オンライン製品認証」セクションを参照してください。</p>	<p>EMC に適合させるには、次の注意事項を適用してください。</p>
<p>メモ: NI 6544/6545/6547/6548 を使用する際は、必ず SHC68-C68-D4 もしくは SHC68-C68-D2 シールドケーブルと付属のケーブルフェライトを使用してください。</p> <p>メモ: EMI フィラーパネル (NI P/N 778700-01) を NI 6544/6545/6547/6548 のすべての空きスロットに取り付ける必要があります。</p>		

CE 準拠	この製品は、以下のように、CE マーク改正に基づいて、該当する EC 理事会指令による基本的要件に適合しています。 2006/95/EC、低電圧指令（安全性） 2004/108/EC、電磁両立性指令（EMC）	—
オンライン製品 認証	その他の適合規格については、適合宣言（DoC）を参照してください。この製品の製品認証および適合宣言を入力するには、 ni.com/certification にアクセスして型番または製品ラインで検索し、保証の欄の該当するリンクをクリックしてください。	—
環境管理	ナショナルインスツルメンツは、環境に優しい製品の設計および製造に努めています。NI は、製品から特定の有害物質を除外することが、環境および NI のお客様にとって有益であると考えています。 環境の詳細な情報については、 ni.com/environment （英語）の NI and the Environment を参照してください。このページには、ナショナルインスツルメンツが準拠する環境規制および指令、およびこのドキュメントに含まれていないその他の環境に関する情報が記載されています。	—
廃電気電子機器 (WEEE)	欧州のお客様へ： 寿命末期を過ぎた製品は、すべて WEEE リサイクルセンターへ送る必要があります。WEEE リサイクルセンターおよびナショナルインスツルメンツの WEEE への取り組み、および廃電気電子機器の WEEE 指令 2002/96/EC 準拠については、 ni.com/environment/wEEE （英語）を参照してください。	
<div style="text-align: center;"> <h2>电子信息产品污染控制管理办法（中国 RoHS）</h2> </div> <div style="display: flex; align-items: center;">  <div> <p>中国客户 National Instruments 符合中国电子信息产品中限制使用某些有害物质指令 (RoHS)。</p> <p>关于 National Instruments 中国 RoHS 合规性信息，请登录 ni.com/environment/rohs_china。</p> <p>(For information about China RoHS compliance, go to ni.com/environment/rohs_china.)</p> </div> </div>		

CVI, LabVIEW, National Instruments, NI, ni.com, National Instruments のコーポレートロゴ及びイーグルロゴは、National Instruments Corporation の商標です。その他の National Instruments の商標については、ni.com/trademarks に掲載されている「Trademark Information」をご覧ください。The mark LabWindows is used under a license from Microsoft Corporation. Windows is a registered trademark of Microsoft Corporation in the United States and other countries. 本文中に記載されたその他の製品名および企業名は、それぞれの企業の商標または商号です。National Instruments の製品 / 技術を保護する特許については、ソフトウェアで参照できる特許情報 (**ヘルプ>特許情報**)、メディアに含まれている patents.txt ファイル、または「National Instruments Patent Notice」(ni.com/patents) のうち、該当するリソースから参照してください。