

NI PXI-5422 Specifications

16-Bit 200 MS/s Arbitrary Waveform Generator

このドキュメントには、日本語ページも含まれています。

Unless otherwise noted, the following conditions were used for each specification:

- Analog filter enabled.
- Signals terminated with 50 Ω .
- Direct path set to 1 V_{pk-pk} , Low-Gain Amplifier path set to 2 V_{pk-pk} , and High-Gain Amplifier path set to 12 V_{pk-pk} .
- Sample rate set to 200 megasamples per second (MS/s) and the sample clock source set to Divide-by- N .

Typical values are representative of an average unit operating at room temperature (20 ± 3 °C). Specifications are subject to change without notice. For the most recent NI 5422 specifications, visit ni.com/manuals.

To access all of the NI 5422 documentation, including the *NI Signal Generators Getting Started Guide*, which contains functional descriptions of the NI 5422 signals, navigate to **Start»All Programs»National Instruments»NI-FGEN»Documentation**.



Hot Surface If the NI 5422 has been in use, it may exceed safe handling temperatures and cause burns. Allow the NI 5422 to cool before removing it from the chassis.

Contents

CH 0	2
Sample Clock	15
Onboard Clock	18
Phase-Locked Loop (PLL) Reference Clock	19
CLK IN	20
PFI 0 and PFI 1	21
Digital Data & Control (DDC).....	22
Start Trigger	25
Markers	26

Arbitrary Waveform Generation Mode	27
Calibration	29
Power	30
Software	31
Environment	32
NI PXI-5422 Environment	32
Compliance and Certifications	33
Safety	33
Electromagnetic Compatibility	33
CE Compliance	33
Environmental Management	34
Physical	35
Where to Go for Support	36

CH 0

(Channel 0 Analog Output, Front Panel Connector)

Specification	Value	Comments
Number of Channels	1	—
Connector	SMB (jack)	—
Output Voltage Characteristics		
Output Paths	<ol style="list-style-type: none"> 1. The software-selectable Main Output path setting provides full-scale voltages from 12.00 V_{pk-pk} to 5.64 mV_{pk-pk} into a 50 Ω load. NI-FGEN uses either the Low-Gain Amplifier or the High-Gain Amplifier when the Main Output path is selected, depending on the Gain attribute. 2. The software-selectable Direct path is optimized for intermediate frequency (IF) applications and provides full-scale voltages from 1.000 to 0.707 V_{pk-pk}. 	—
DAC Resolution	16 bits	—

Specification	Value				Comments
Amplitude and Offset					
Amplitude Range	Path	Load	Amplitude (V _{pk-pk})		Amplitude values assume the full scale of the DAC is utilized. If an amplitude smaller than the minimum value is desired, then waveforms less than full scale of the DAC can be used. NI-FGEN compensates for user-specified resistive loads.
			Minimum Value	Maximum Value	
	Direct	50 Ω	0.707	1.00	
		1 kΩ	1.35	1.91	
		Open	1.41	2.00	
	Low-Gain Amplifier	50 Ω	0.00564	2.00	
		1 kΩ	0.0107	3.81	
		Open	0.0113	4.00	
	High-Gain Amplifier	50 Ω	0.0338	12.0	
		1 kΩ	0.0644	22.9	
		Open	0.0676	24.0	
Amplitude Resolution	<0.06% (0.004 dB) of amplitude range				
Offset Range	Span of ±50% of the amplitude range with increments <0.0028% of amplitude range				Not available on the Direct path.
Maximum Output Voltage					
Maximum Output Voltage	Path	Load	Maximum Output Voltage (V)		The combination of amplitude and offset is limited by the maximum output voltage.
	Direct	50 Ω	±0.500		
		1 kΩ	±0.953		
		Open	±1.000		
	Low-Gain Amplifier	50 Ω	±1.000		
		1 kΩ	±1.905		
		Open	±2.000		
	High-Gain Amplifier	50 Ω	±6.000		
		1 kΩ	±11.43		
		Open	±12.00		

Specification	Value	Comments
Accuracy		
DC Accuracy	<p>For the Low-Gain or High-Gain Amplifier path:</p> <p>$\pm 0.2\%$ of amplitude range $\pm 0.05\%$ of offset $\pm 500\ \mu\text{V}$ (within $\pm 10\ ^\circ\text{C}$ of self-calibration temperature)</p> <p>$\pm 0.4\%$ of amplitude range $\pm 0.05\%$ of offset $\pm 1\ \text{mV}$ (0 to $55\ ^\circ\text{C}$)</p> <p>For the Direct path:</p> <p>Gain accuracy: $\pm 0.2\%$ amplitude range (within $\pm 10\ ^\circ\text{C}$ of self-calibration temperature)</p> <p>Gain accuracy: $\pm 0.4\%$ amplitude range (0 to $55\ ^\circ\text{C}$)</p> <p>DC offset error: $\pm 30\ \text{mV}$ (0 to $55\ ^\circ\text{C}$)</p> <p>Note: For DC accuracy, “amplitude range” is defined as $2 \times$ the gain setting. For example, a DC signal with a gain of 8 has an amplitude range of 16 V. If this signal has an offset of 1.5, its DC accuracy is calculated by the following equation:</p> $\pm 0.2\% \times (16\ \text{V}) \pm 0.05\% \times (1.5\ \text{V}) \pm 500\ \mu\text{V} = \pm 33.25\ \text{mV}$	All paths are calibrated for amplitude and gain errors. The Low-Gain and High-Gain Amplifier paths also are calibrated for offset errors. Calibrated for high-impedance load.
AC Amplitude Accuracy	$\pm 1.0\%$ of desired Amplitude $\pm 1\ \text{mV}$	50 kHz sine wave.
Output Characteristics		
Output Impedance	50 Ω nominal or 75 Ω nominal, software-selectable	—
Output Coupling	DC	—
Output Enable	Software-selectable. When the Output Path is disabled, the CH 0 output is terminated to ground with a 1 W resistor equal to the selected output impedance.	—
Maximum Output Overload	The CH 0 output can be connected to a 50 Ω , $\pm 12\ \text{V}$ ($\pm 8\ \text{V}$ for the Direct path) source without sustaining any damage. No damage occurs if the CH 0 output is shorted to ground indefinitely.	—
Waveform Summing	The CH 0 output supports waveform summing among similar paths—specifically, the outputs of multiple NI 5422 signal generators can be connected directly together.	—

Specification	Value			Comments
Frequency and Transient Response				
Analog Filter	Software-selectable 7-pole elliptical filter for image suppression			Available on Low-Gain Amplifier and High-Gain Amplifier paths.
Pulse Response	Path			Values are typical. Analog Filter disabled. Measured with a 1 m RG-223 cable.
	Direct	Low-Gain Amplifier	High-Gain Amplifier	
Rise/Fall Time	1.0 ns	2.1 ns	4.8 ns	
Aberration	16%	6%	8%	

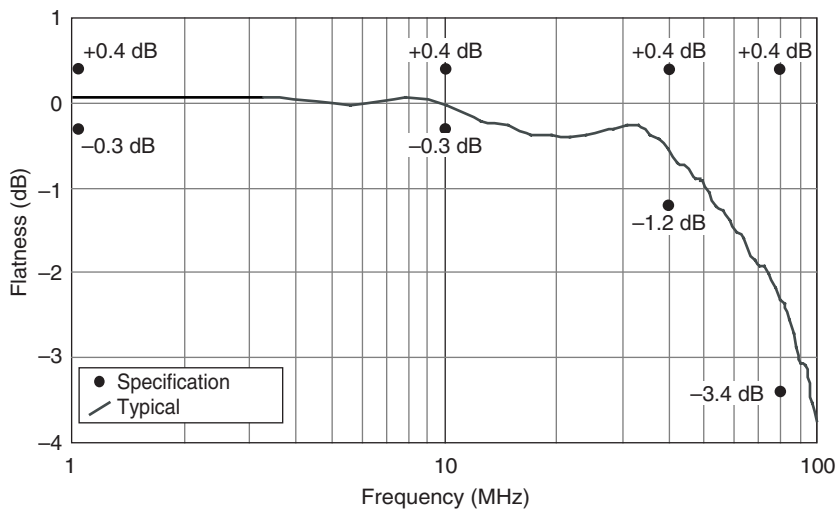


Figure 1. Normalized Passband Flatness, Direct Path

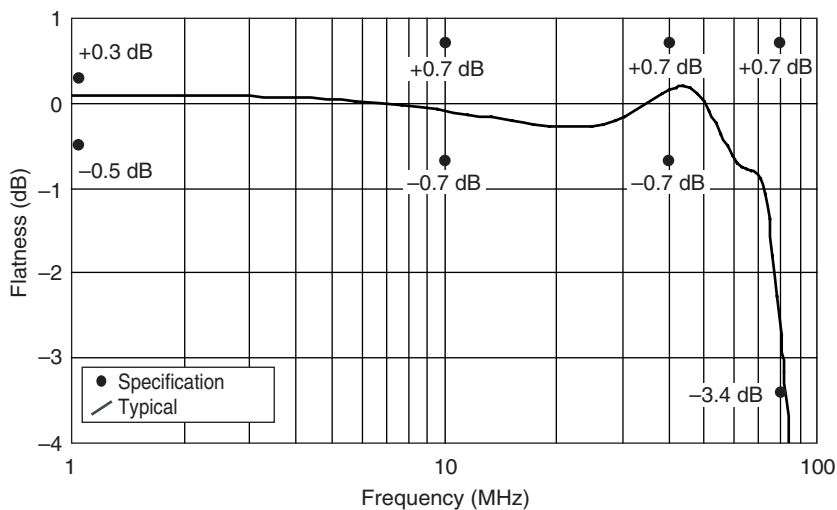


Figure 2. Normalized Passband Flatness, Low-Gain Amplifier Path

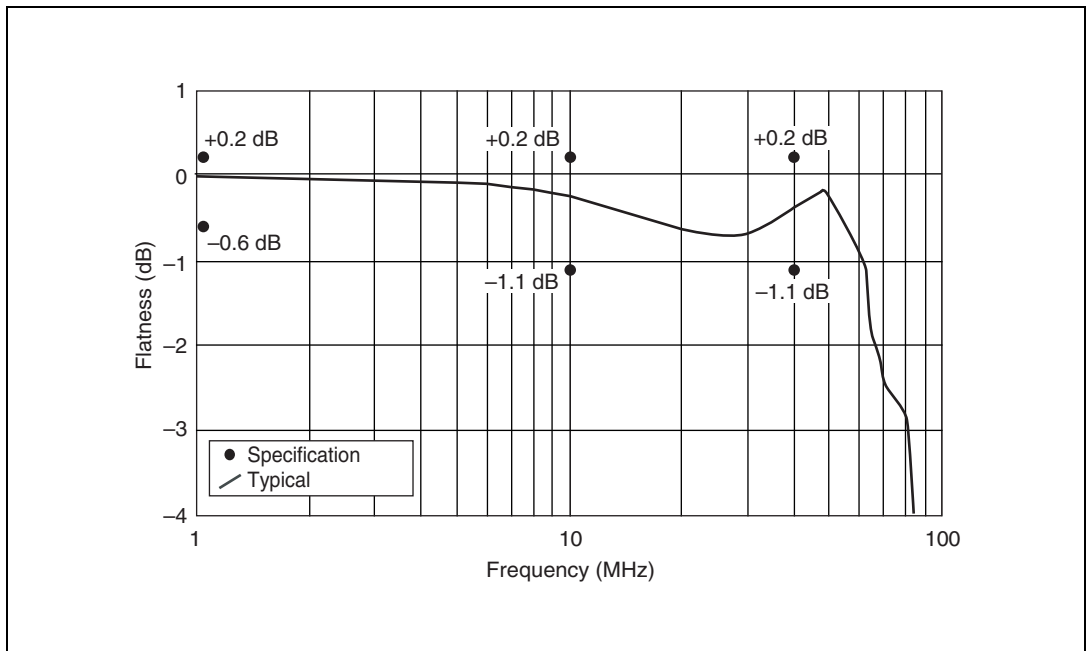


Figure 3. Normalized Passband Flatness, High-Gain Amplifier Path

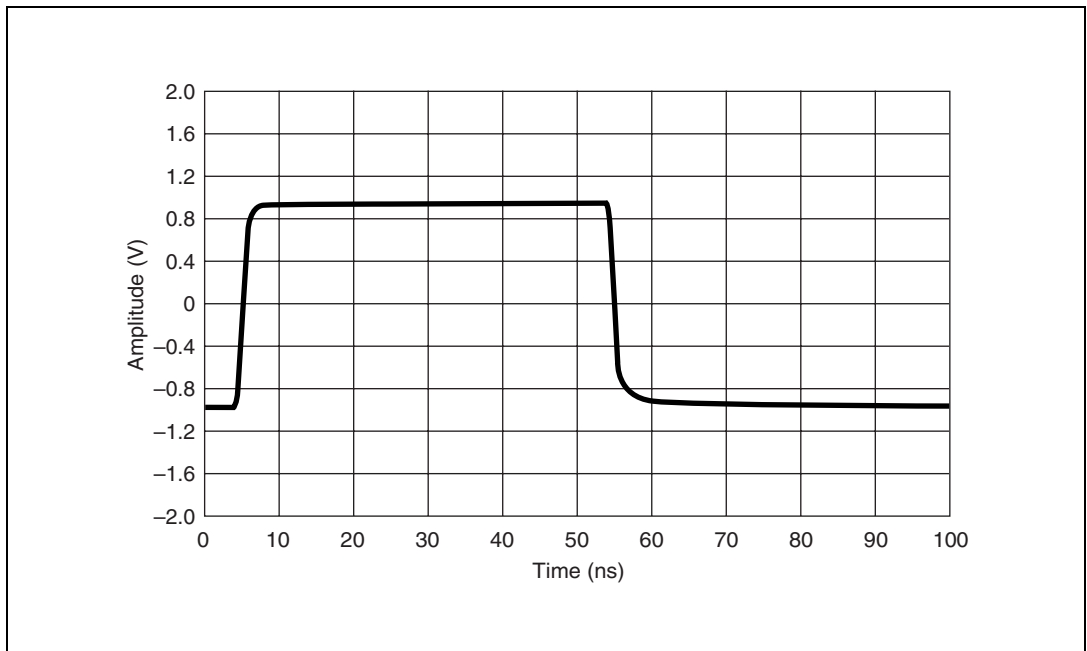


Figure 4. Pulse Response, Low-Gain Amplifier Path with a 50 Ω Load

Specification	Value			Comments
Suggested Maximum Frequencies for Common Functions				
Function	Path			Disable the Analog Filter for square, ramp, and triangle functions.
	Direct	Low-Gain Amplifier	High-Gain Amplifier	
Sine	80 MHz	80 MHz	43 MHz	
Square	Not Recommended	50 MHz	25 MHz	The minimum Frequency is <1 mHz. The value depends on memory size and device configuration.
Ramp	Not Recommended	10 MHz	10 MHz	
Triangle	Not Recommended	10 MHz	10 MHz	

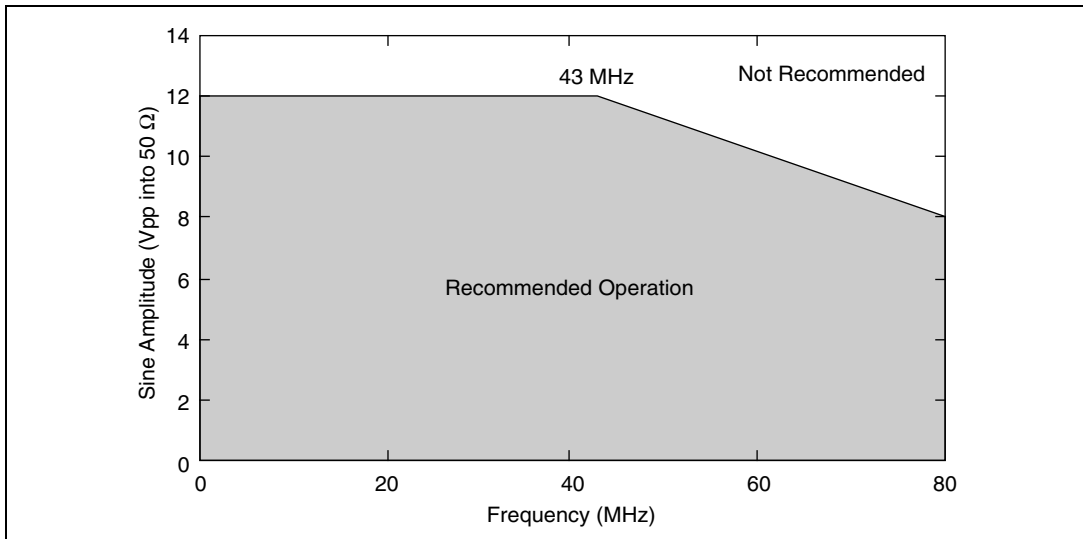


Figure 5. Amplitude Versus Recommended Sine Wave Frequency

Specification	Value			Comments	
Spectral Characteristics					
Spurious-Free Dynamic Range (SFDR) ¹ with Harmonics	Path			Amplitude –1 decibel full scale (dBFS). Measured from DC to 100 MHz. Also called harmonic distortion. SFDR with harmonics at low amplitudes is limited by a –148 dBm/Hz noise floor. All values are typical and include aliased harmonics.	
	Direct	Low-Gain Amplifier	High-Gain Amplifier		
	1 MHz	70 dB	65 dB		66 dB
	5 MHz	70 dB	65 dB		58 dB
	10 MHz	70 dB	65 dB		52 dB
	20 MHz	63 dB	64 dB		49 dB
	30 MHz	57 dB	60 dB		43 dB
	40 MHz	48 dB	53 dB		39 dB
	50 MHz	48 dB	53 dB		—
	60 MHz	47 dB	52 dB		—
	70 MHz	47 dB	52 dB		—
80 MHz	41 dB	52 dB	—		
SFDR without Harmonics	Path			Amplitude –1 dBFS. Measured from DC to 100 MHz. SFDR without harmonics at low amplitudes is limited by a –148 dBm/Hz noise floor. All values are typical and include aliased harmonics.	
	Direct	Low-Gain Amplifier	High-Gain Amplifier		
	1 MHz	84 dB	79 dB		76 dB
	5 MHz	84 dB	79 dB		76 dB
	10 MHz	79 dB	79 dB		76 dB
	20 MHz	79 dB	79 dB		76 dB
	30 MHz	72 dB	70 dB		67 dB
	40 MHz	47 dB	57 dB		54 dB
	50 MHz	47 dB	52 dB		—
	60 MHz	46 dB	51 dB		—
	70 MHz	46 dB	51 dB		—
80 MHz	40 dB	51 dB	—		
¹ Dynamic range is defined as the difference between the carrier level and the largest spur.					

Specification	Value						Comments
Average Noise Density	Path	Amplitude Range		Average Noise Density			Average noise density at small amplitudes is limited by a -168 dBm/Hz noise floor.
		V_{pk-pk}	dBm	$\frac{nV}{\sqrt{Hz}}$	dBm/Hz	dBFS/Hz	
	Direct	1.00	4.0	19.9	-141	-145	
	Low Gain	0.06	-20.5	1.3	-164	-144	
	Low Gain	0.10	-16.0	2.2	-160	-144	
	Low Gain	0.40	-4.0	8.9	-148	-144	
	Low Gain	1.00	4.0	22.3	-140	-144	
	Low Gain	2.00	10.0	44.6	-134	-144	
	High Gain	4.00	16.0	93.8	-128	-144	
	High Gain	12.00	25.6	281.5	-118	-144	

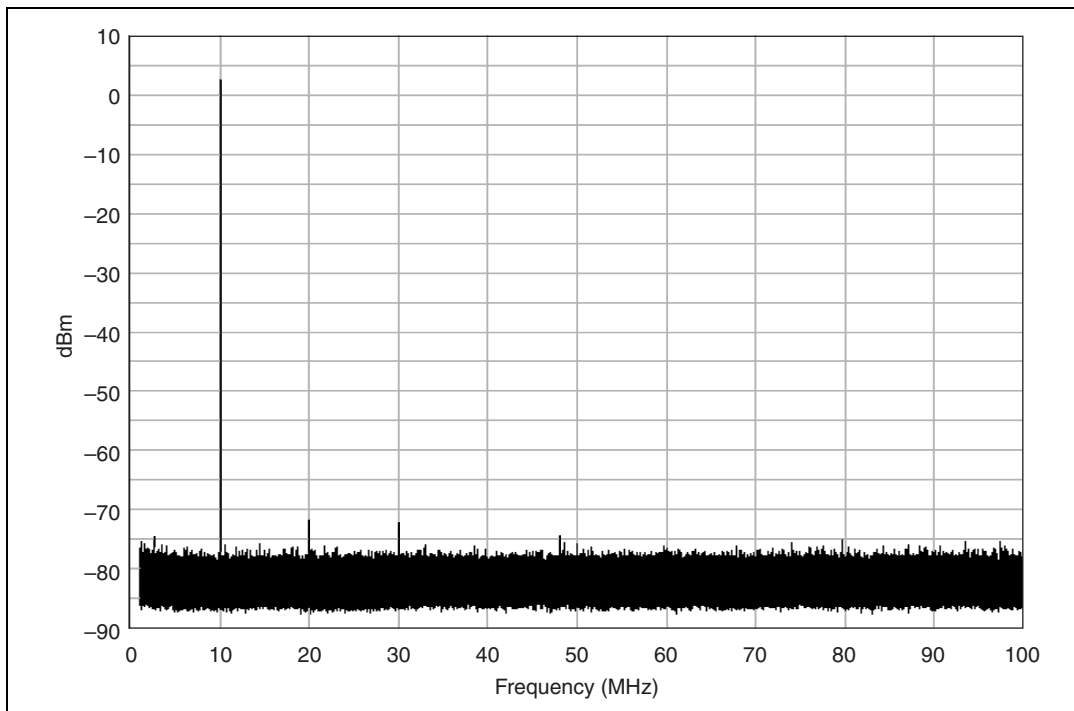


Figure 6. 10 MHz Single-Tone Spectrum, Direct Path, 200 MS/s (Typical)



Note The noise floor in Figure 6 is limited by the measurement device. Refer to the [Average Noise Density](#) specification for more information about this limit.

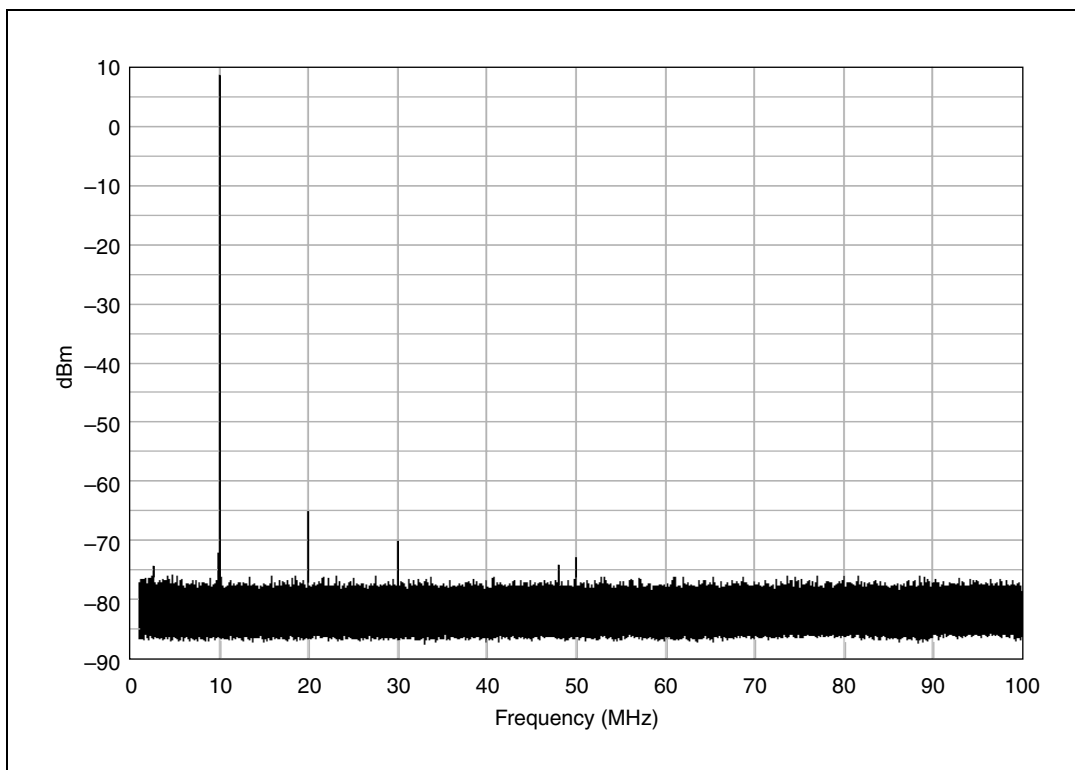


Figure 7. 10.00001 MHz Single-Tone Spectrum, Low-Gain Amplifier Path, 200 MS/s (Typical)



Note The noise floor in Figure 7 is limited by the measurement device. Refer to the [Average Noise Density](#) specification for more information about this limit.

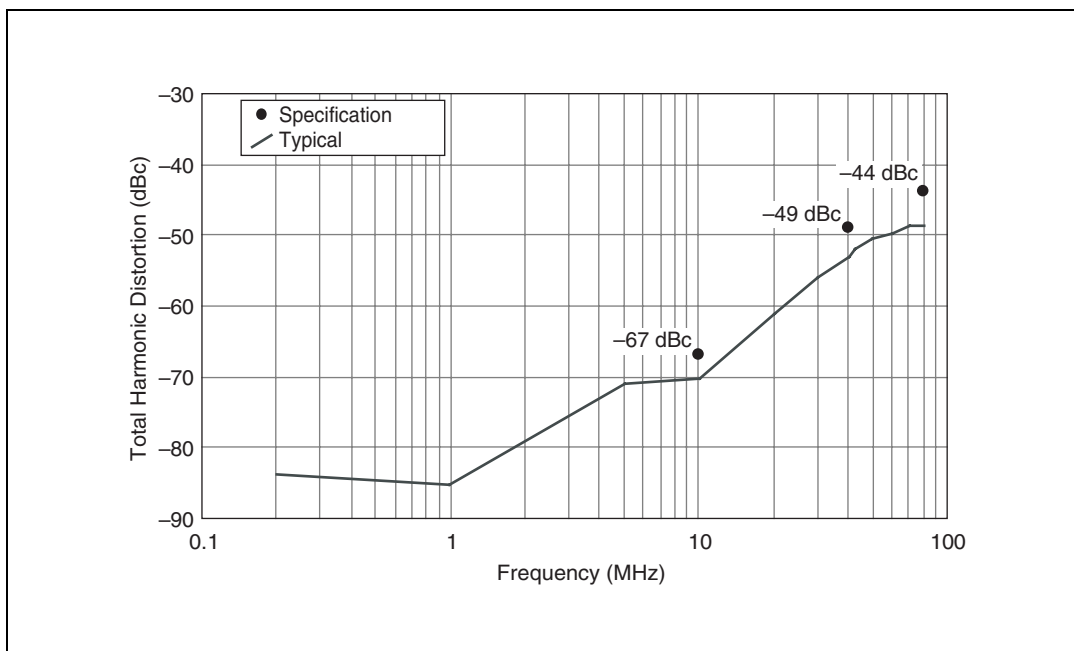


Figure 8. Total Harmonic Distortion, Direct Path

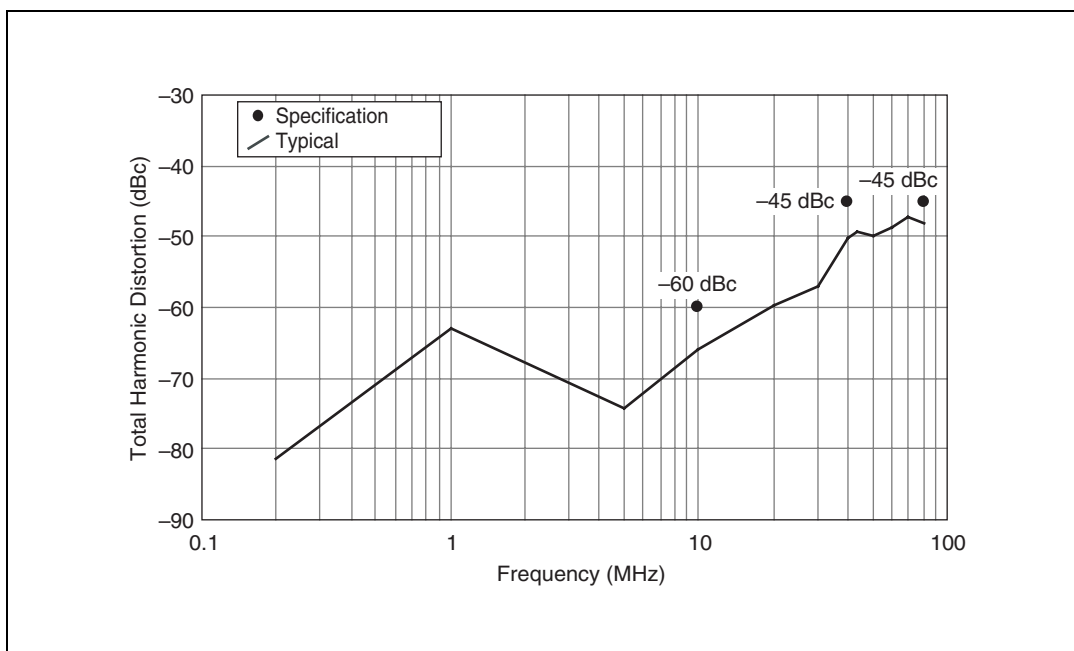


Figure 9. Total Harmonic Distortion, Low-Gain Amplifier Path

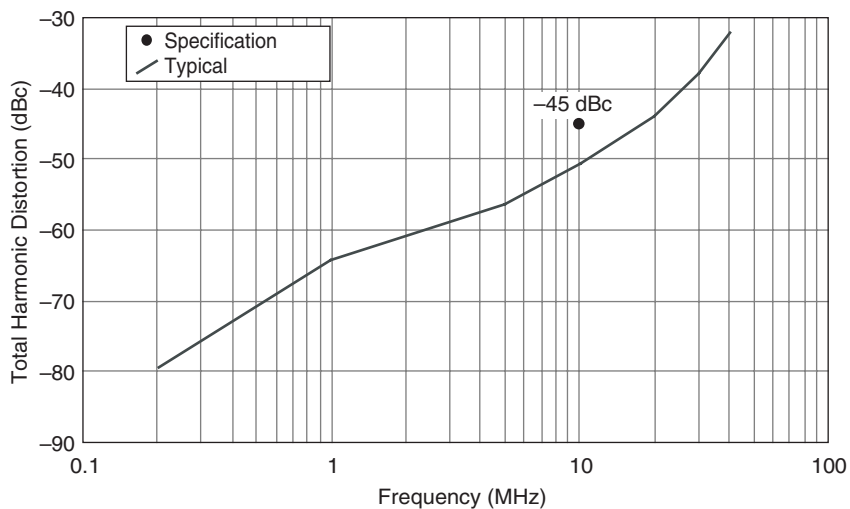


Figure 10. Total Harmonic Distortion, High-Gain Amplifier Path

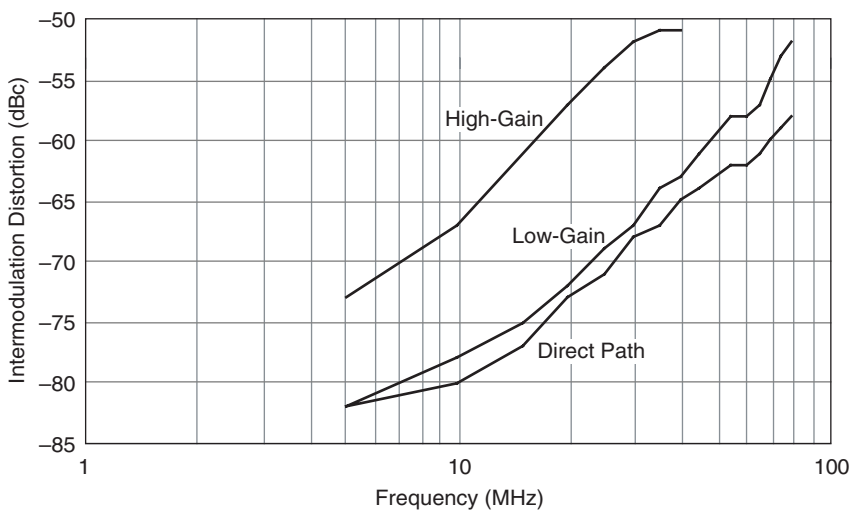


Figure 11. Intermodulation Distortion, 200 kHz Separation (Typical)

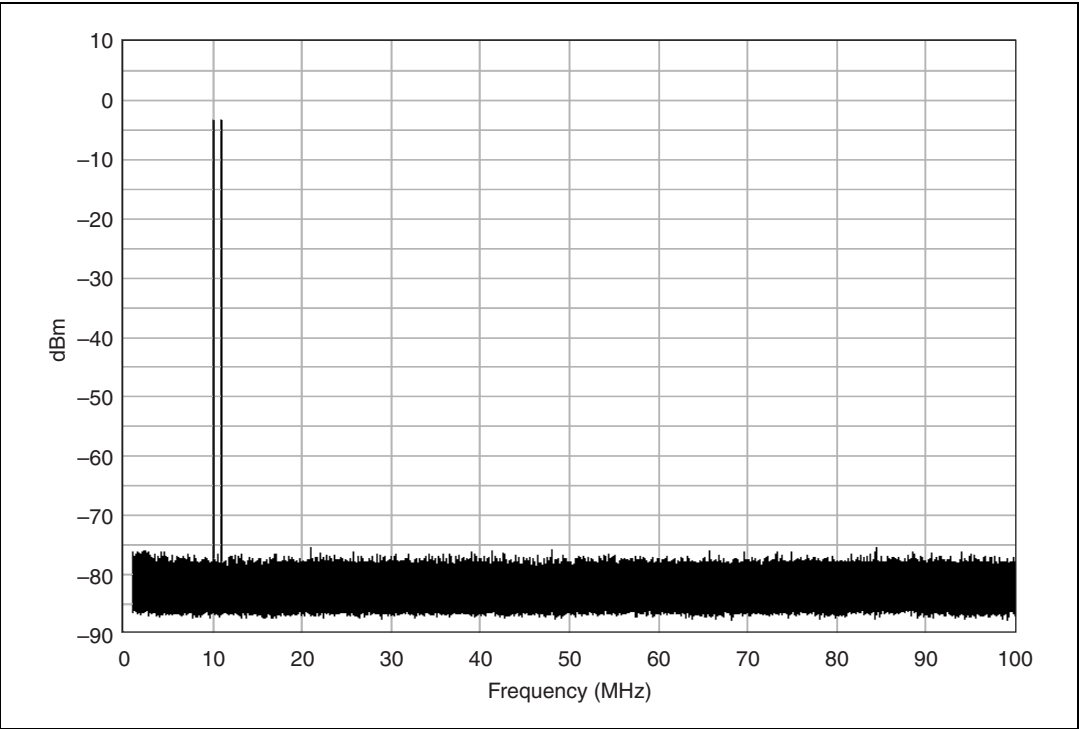


Figure 12. Direct Path, Two-Tone Spectrum (Typical)



Note The noise floor in Figure 12 is limited by the noise floor of the measurement device. Refer to the *Average Noise Density* specification for more information about this limit.

Sample Clock

Specification	Value	Comments
Sources	<div>1. Internal, Divide-by-N ($N \geq 1$)</div> <div>2. Internal, DDS-based, High-Resolution</div> <div>3. External, CLK IN (SMB front panel connector)</div> <div>4. External, DDC CLK IN (DIGITAL DATA & CONTROL front panel connector)</div> <div>5. External, PXI Star trigger (backplane connector)</div> <div>6. External, PXI_Trig<0..7> (backplane connector)</div>	Refer to the <i>Onboard Clock</i> section for more information about internal clock sources.

Specification	Value		Comments
Sample Rate Range and Resolution			
Sample Clock Source	Sample Rate Range	Sample Rate Resolution	—
Divide-by- N	5 to 200 MS/s	Settable to (200 MS/s)/ N ($1 \leq N \leq 40$)	
High Resolution	5 to 100 MS/s >100 to 200 MS/s	1.06 μ Hz 4.24 μ Hz	
CLK IN	5 to 200 MS/s	Resolution determined by external clock source. External sample clock duty cycle tolerance 40 to 60%.	
DDC CLK IN	5 to 200 MS/s		
PXI Star Trigger	5 to 105 MS/s		
PXI_Trig<0..7>	5 to 20 MS/s		
Sample Clock Delay Range and Resolution			
Sample Clock Source	Delay Adjustment Range	Delay Adjustment Resolution	—
Divide-by- N	± 1 sample clock period	<5 ps	
High-Resolution ≤ 100 MHz	± 1 sample clock period	sample clock period/16,384	
High-Resolution >100 MHz	± 1 sample clock period	sample clock period/4,096	
External (all)	0 to 7.6 ns	<15 ps	

Specification	Value			Comments	
System Phase Noise and Jitter (10 MHz Carrier)					
Sample Clock Source	System Phase Noise Density (dBc/Hz) Offset			Specified at 2× DAC oversampling	
	100 Hz	1 kHz	10 kHz		
Divide-by- <i>N</i>	−110	−122	−138		1.5 ps rms
High-Resolution ¹ 100 MS/s	−109	−120	−120		4.0 ps rms
High-Resolution ¹ 200 MS/s	−108	−120	−122		4.2 ps rms
CLK IN ²	−116	−130	−143		1.1 ps rms
PXI Star Trigger ^{2,3}	−111	−128	−136		2.1 ps rms
External Sample Clock Input Jitter Tolerance	Cycle-Cycle Jitter ±150 ps Period Jitter ±1 ns			—	
¹ <i>High-Resolution</i> specifications vary with Sample Rate.					
² Values are typical.					
³ PXI Star trigger specification is valid when the sample clock source is locked to PXI_CLK10.					

Specification	Value			Comments
Sample Clock Exporting				
Exported Sample Clock Destinations	1. PFI<0..1> (SMB front panel connectors) 2. DDC CLK OUT (DIGITAL DATA & CONTROL front panel connector) 3. PXI_Trig<0..6> (PXI backplane connector)			Exported sample clocks can be divided by integer K ($1 \leq K \leq 4,194,304$).
Exported Sample Clock Destinations	Maximum Frequency	Jitter (Typical)	Duty Cycle	—
PFI<0..1>	200 MHz	PFI 0: 6 ps rms PFI 1: 12 ps rms	25 to 65%	
DDC CLK OUT	200 MHz	60 ps rms	35 to 65%	
PXI_Trig<0..6>	20 MHz	—	—	

Onboard Clock (Internal VCXO)

Specification	Value	Comments
Clock Source	Internal sample clocks can either be locked to a reference clock using a phase-locked loop or be derived from the onboard VCXO frequency reference.	—
Frequency Accuracy	± 25 ppm	—

Phase-Locked Loop (PLL) Reference Clock

Specification	Value	Comments
Sources	1. PXI_CLK10 (backplane connector) 2. CLK IN (SMB front panel connector)	The PLL Reference Clock provides the reference frequency for the phase-locked loop.
Frequency Accuracy	When using the PLL, the frequency accuracy of the NI 5422 is solely dependent on the frequency accuracy of the PLL reference clock source.	—
Lock Time	≤200 ms	—
Frequency Range	5 to 20 MHz in increments of 1 MHz. Default of 10 MHz The PLL reference clock frequency has to be accurate to ±50 ppm.	—
Duty Cycle Range	40 to 60%	—
Exported PLL Reference Clock Destinations	1. PFI<0..1> (SMB front panel connectors) 2. PXI_Trig<0..6> (backplane connector)	—

CLK IN

(Sample Clock and Reference Clock Input, Front Panel Connector)

Specification	Value	Comments
Connector	SMB (jack)	—
Direction	Input	—
Destinations	1. Sample Clock 2. PLL Reference Clock	—
Frequency Range	5 to 200 MHz (Sample Clock Destination) 5 to 20 MHz (PLL Reference Clock destination)	—
Input Voltage Range	Sine wave: 0.65 to 2.8 V _{pk-pk} into 50 Ω (0 dBm to +13 dBm) Square wave: 0.2 to 2.8 V _{pk-pk} into 50 Ω	—
Maximum Input Overload	± 10 V	—
Input Impedance	50 Ω	—
Input Coupling	AC	—

PFI 0 and PFI 1

(Programmable Function Interface, Front Panel Connectors)

Specification	Value	Comments
Connectors	Two SMB (jack)	—
Direction	Bidirectional	—
Frequency Range	DC to 200 MHz	—
As an Input (Trigger)		
Destinations	Start trigger	—
Maximum Input Overload	−2 to +7 V	—
V_{IH}	2.0 V	—
V_{IL}	0.8 V	—
Input Impedance	1 k Ω	—
As an Output (Event)		
Sources	<ol style="list-style-type: none"> 1. Sample clock divided by integer K ($1 \leq K \leq 4,194,304$) 2. Sample clock timebase (200 MHz) divided by integer M ($4 \leq M \leq 4,194,304$) 3. PLL reference clock 4. Marker 5. Exported start trigger (Out Start Trigger) 	—
Output Impedance	50 Ω	—

Specification	Value	Comments
As an Output (Continued)		
Maximum Output Overload	–2 to +7 V	—
V _{OH}	Minimum: 2.7 V (open load), 1.3 V (50 Ω load)	Output drivers are +3.3 V TTL compatible.
V _{OL}	Maximum: 0.6 V (open load), 0.2 V (50 Ω load)	
Rise/Fall Time (20 to 80%)	≤ 2.0 ns	Load of 10 pF.

Digital Data & Control (DDC)

Optional Front Panel Connector

Specification	Value	Comments
Connector Type	68-pin VHDCI female receptacle	—
Number of Data Output Signals	16	—
Control Signals	1. DDC CLK OUT (clock output) 2. DDC CLK IN (clock input) 3. PFI 2 (input) 4. PFI 3 (input) 5. PFI 4 (output) 6. PFI 5 (output)	—
Ground	23 pins	—

Specification	Value			Comments
Output Signal Characteristics (Includes Data Outputs, DDC CLK OUT, and PFI<4..5>)				
Signal Type	LVDS (Low-Voltage Differential Signal)			—
Signal Characteristics	Minimum	Typical	Maximum	Tested with 100 Ω differential load. Measured with 188143B-01 cable. Driver and receiver comply with ANSI/TIA/EIA-644.
V _{OH}	—	1.3 V	1.7 V	
V _{OL}	0.8 V	1.0 V	—	
Differential Output Voltage	0.25 V	—	0.45 V	
Output Common-Mode Voltage	1.125 V	—	1.375 V	
Rise/Fall Time (20 to 80%)	—	0.8 ns	1.6 ns	
Output Signal Characteristics				
Output Skew	Typical: 1 ns, maximum 2 ns. Skew between any two outputs on the DIGITAL DATA & CONTROL front panel connector.			—
Output Enable/Disable	Controlled through the software on all Data Output Signals and Control Signals collectively. When disabled, the outputs go to a high-impedance state.			—
Maximum Output Overload	−0.3 to +3.9 V			—
Input Signal Characteristics (Includes DDC CLK IN and PFI<2..3>)				
Signal Type	LVDS (Low-Voltage Differential Signal)			—
Input Differential Impedance	100 Ω			—
Maximum Output Overload	−0.3 to +3.9 V			—

Specification	Value		Comments
Signal Characteristics	Minimum	Maximum	—
Differential Input Voltage	0.1 V	0.5 V	
Input Common Mode Voltage	0.2 V	2.2 V	
DDC CLK OUT			
Clocking Format	Data outputs and markers change on the falling edge of DDC CLK OUT.		—
Frequency Range	Refer to the <i>Sample Clock</i> section for more information.		—
Duty Cycle	35 to 65%		—
Jitter	60 ps rms (typical)		—
DDC CLK IN			
Clocking Format	DDC Data Output signals change on the rising edge of DDC CLK IN.		—
Frequency Range	10 Hz to 200 MHz		—
Input Duty Cycle Tolerance	40 to 60%		—

Start Trigger

Specification	Value	Comments
Sources	<ol style="list-style-type: none"> 1. PFI<0..1> (SMB front panel connectors) 2. PFI<2..3> (DIGITAL DATA & CONTROL front panel connector) 3. PXI_Trig<0..7> (PXI backplane connector) 4. PXI Star trigger (PXI backplane connector) 5. Software (use function call) 6. Immediate (does not wait for a trigger). Default. 	—
Modes	<ol style="list-style-type: none"> 1. Single 2. Continuous 3. Stepped 4. Burst 	—
Edge Detection	Rising	—
Minimum Pulse Width	25 ns	Refer to t_{s1} at NI Signal Generators Help»Devices»NI 5422»Triggering»Trigger Timing.
Delay from Start Trigger to CH 0 Analog Output	65 sample clock periods + 110 ns	Refer to t_{s2} at NI Signal Generators Help»Devices»NI 5422»Triggering»Trigger Timing.
Delay from Start Trigger to Digital Data Output	41 sample clock periods + 110 ns	—

Specification	Value	Comments
Trigger Exporting		
Exported Trigger Destinations	A signal used as a trigger can be routed out to any destination listed in the <i>Destinations</i> specification in the <i>Markers</i> section.	—
Exported Trigger Delay	65 ns (typical).	Refer to t_{s3} at NI Signal Generators Help»Devices»NI 5422»Triggering»Trigger Timing.
Exported Trigger Pulse Width	>150 ns	Refer to t_{s4} at NI Signal Generators Help»Devices»NI 5422»Triggering»Trigger Timing.

Markers

Specification	Value	Comments
Destinations	<ol style="list-style-type: none"> 1. PFI<0..1> (SMB front panel connectors) 2. PFI<4..5> (DIGITAL DATA & CONTROL front panel connector) 3. PXI_Trig<0..6> (backplane connector) 	—
Quantity	One marker per segment.	—
Quantum	Marker position must be placed at an integer multiple of four samples.	—
Width	>150 ns	Refer to t_{m2} at NI Signal Generators Help»Fundamentals»Waveform»Events»Marker Events.

Specification	Value			Comments
Skew	Destination	With Respect to Analog Output	With Respect to Digital Data Output	Refer to t_{m1} at NI Signal Generators Help» Fundamentals» Waveform» Events» Marker Events.
	PFI<0..1>	± 2 sample clock periods	N/A	
	PFI<4..5>	N/A	<2 ns	
	PXI_Trig<0..6>	± 2 sample clock periods	N/A	
Jitter	40 ps rms (typical)			—

Arbitrary Waveform Generation Mode

Specification	Value	Comments
Memory Usage	The NI 5422 uses the Synchronization and Memory Core (SMC) technology in which waveforms and instructions share onboard memory. Parameters, such as number of segments in sequence list, maximum number of waveforms in memory, and number of samples available for waveform storage, are flexible and user defined.	—
Onboard Memory Size	<div> <div>8 MB standard: 8,388,608 bytes</div> <div>256 MB option: 268,435,456 bytes</div> <div>32 MB option: 33,554,432 bytes</div> <div>512 MB option: 536,870,912 bytes</div> </div>	—
Output Modes	Arbitrary Waveform mode and Arbitrary Sequence mode	—
Arbitrary Waveform Mode	In Arbitrary Waveform mode, a single waveform is selected from the set of waveforms stored in onboard memory and generated.	—
Arbitrary Sequence Mode	In Arbitrary Sequence mode, a sequence directs the NI 5422 to generate a set of waveforms in a specific order. Elements of the sequence are referred to as <i>segments</i> . Each segment is associated with a set of instructions. The instructions identify which waveform is selected from the set of waveforms in memory, how many loops (iterations) of the waveform are generated, and at which sample in the waveform a marker output signal is sent.	—

Specification	Value				Comments
Minimum Waveform Size (Samples)	Trigger Mode	Arbitrary Waveform Mode	Arbitrary Sequence Mode		The minimum waveform size is sample rate dependent in Arbitrary Sequence mode.
	Single	16	16		
	Continuous	32	192 at >50 MS/s		
			96 at ≤50 MS/s		
	Stepped	32	192 at >50 MS/s		
			96 at ≤50 MS/s		
	Burst	32	192 at >50 MS/s		
			96 at ≤50 MS/s		
Loop Count	1 to 16,777,215 Burst trigger: Unlimited				—
Quantum	Waveform size must be an integer multiple of four samples				—
Memory Limits					
	8 MB Standard	32 MB Option	256 MB Option	512 MB Option	All trigger modes except where noted.
Arbitrary Waveform Mode, Maximum Waveform Memory	4,194,176 samples	16,777,088 samples	134,217,600 samples	268,435,328 samples	
Arbitrary Sequence Mode, Maximum Waveform Memory	4,194,048 samples	16,776,960 samples	134,217,472 samples	268,435,200 samples	Condition: One or two segments in a sequence.

Specification	Value				Comments
Arbitrary Sequence Mode, Maximum Waveforms	65,000 Burst trigger: 8,000	262,000 Burst trigger: 32,000	2,097,000 Burst trigger: 262,000	4,194,000 Burst trigger: 524,000	Condition: One or two segments in a sequence.
Arbitrary Sequence Mode, Maximum Segments in a Sequence	104,000 Burst trigger: 65,000	418,000 Burst trigger: 262,000	3,354,000 Burst trigger: 2,090,000	6,708,000 Burst trigger: 4,180,000	Condition: Waveform memory is <4,000 samples.

Calibration

Specification	Value	Comments
Self-Calibration	An onboard, 24-bit ADC and precision voltage reference are used to calibrate the DC gain and offset. The self-calibration is initiated by the user through the software and takes approximately 90 seconds to complete.	—
External Calibration	The external calibration calibrates the VCXO, voltage reference, DC gain, and offset. Appropriate constants are stored in nonvolatile memory.	—
Calibration Interval	Specifications valid within two years of external calibration.	—
Warm-up Time	15 minutes	—

Power

Specification	Typical Operation	Overload Operation	Comments
+3.3 VDC	2 A	2 A	Typical Operation is sine output, with analog filter, 50 Ω termination. 200 MS/s
+5 VDC	Refer to Figure 13	2.7 A	
+12 VDC	0.46 A	0.46 A	
–12 VDC	0.01 A	0.01 A	
Total Power	12.2 W + 5 V \times 5 V Current	25.7 W	High-Resolution sample clock. Digital Pattern enabled and terminated, sample clock routed to PFI 0 and terminated. Overload operation occurs when CH 0 is shorted to ground.

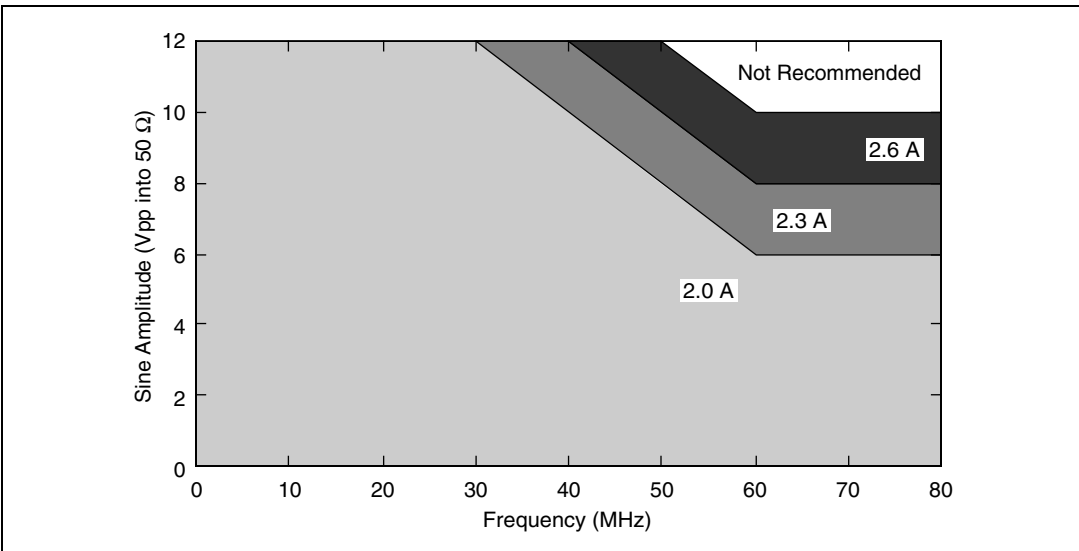


Figure 13. 5 V Current Versus Frequency and Amplitude

Software

Specification	Value	Comments
Driver Software	NI-FGEN is an IVI-compliant driver that allows you to configure, control, and calibrate the NI 5422. NI-FGEN provides application programming interfaces for many development environments.	—
Application Software	NI-FGEN provides programming interfaces for the following application development environments: <ul style="list-style-type: none">• LabVIEW• LabWindows[™]/CVI[™]• Measurement Studio• Microsoft Visual C++ .NET• Microsoft Visual C/C++• Microsoft Visual Basic	—
Interactive Control and Configuration software	<p>The FGEN Soft Front Panel supports interactive control of the NI 5422. The FGEN Soft Front Panel is included on the NI-FGEN driver CDs.</p> <p>Measurement & Automation Explorer (MAX) provides interactive configuration and test tools for the NI 5422. MAX is also included on the NI-FGEN CDs.</p> <p>You can use the NI 5422 with NI SignalExpress.</p>	—

Environment

NI PXI-5422 Environment



Note To ensure that the NI PXI-5422 cools effectively, follow the guidelines in the *Maintain Forced-Air Cooling Note to Users* included in the NI 5422 kit. The NI PXI-5422 is intended for indoor use only.

Specifications	Value	Comments
Operating Temperature	0 to +55 °C in all NI PXI chassis except the following: 0 to +45 °C when installed in an NI PXI-101x or NI PXI-1000B chassis. (Meets IEC 60068-2-1 and IEC 60068-2-2.)	—
Storage Temperature	–25 to +85 °C. Meets IEC 60068-2-1 and IEC 60068-2-2.	—
Operating Relative Humidity	10 to 90%, noncondensing. Meets IEC 60068-2-56.	—
Storage Relative Humidity	5 to 95%, noncondensing. Meets IEC 60068-2-56.	—
Operating Shock	30 g, half-sine, 11 ms pulse. Meets IEC 60068-2-27. Test profile developed in accordance with MIL-PRF-28800F.	Spectral and jitter specifications could degrade.
Storage Shock	50 g, half-sine, 11 ms pulse. Meets IEC 60068-2-27. Test profile developed in accordance with MIL-PRF-28800F.	—
Operating Vibration	5 to 500 Hz, 0.31 g _{rms} . Meets IEC 60068-2-64.	Spectral and jitter specifications could degrade.
Storage Vibration	5 to 500 Hz, 2.46 g _{rms} . Meets IEC 60068-2-64. Test profile exceeds requirements of MIL-PRF-28800F, Class B.	—
Altitude	2,000 m maximum (at 25 °C ambient temperature)	—
Pollution Degree	2	—

Compliance and Certifications

Safety

The NI PXI-5422 is designed to meet the requirements of the following standards of safety for electrical equipment for measurement, control, and laboratory use:

- IEC 61010-1, EN 61010-1
- UL 61010-1, CSA 61010-1



Note For UL and other safety certifications, refer to the product label, or visit ni.com/certification, search by model number or product line, and click the appropriate link in the Certification column.

Electromagnetic Compatibility

The NI PXI-5422 is designed to meet the requirements of the following standards of EMC for electrical equipment for measurement, control, and laboratory use:

- EN 61326 EMC requirements; Minimum Immunity
- EN 55011 Emissions; Group 1, Class A
- CE, C-Tick, ICES, and FCC Part 15 Emissions; Class A



Note For EMC compliance, operate this device according to product documentation.

CE Compliance

The NI PXI-5422 meets the essential requirements of applicable European Directives, as amended for CE marking, as follows:

- 2006/95/EC; Low-Voltage Directive (safety)
- 2004/108/EC; Electromagnetic Compatibility Directive (EMC)



Note Refer to the Declaration of Conformity (DoC) for this product for any additional regulatory compliance information. To obtain the DoC for this product, visit ni.com/certification, search by model number or product line, and click the appropriate link in the Certification column.

Environmental Management

National Instruments is committed to designing and manufacturing products in an environmentally responsible manner. NI recognizes that eliminating certain hazardous substances from our products is beneficial not only to the environment but also to NI customers.

For additional environmental information, refer to the *NI and the Environment* Web page at ni.com/environment. This page contains the environmental regulations and directives with which NI complies, as well as other environmental information not included in this document.

Waste Electrical and Electronic Equipment (WEEE)



EU Customers At the end of their life cycle, all products *must* be sent to a WEEE recycling center. For more information about WEEE recycling centers and National Instruments WEEE initiatives, visit ni.com/environment/weee.htm.

电子信息产品污染控制管理办法（中国 RoHS）



中国客户 National Instruments 符合中国电子信息产品中限制使用某些有害物质指令 (RoHS)。关于 National Instruments 中国 RoHS 合规性信息，请登录 ni.com/environment/rohs_china。(For information about China RoHS compliance, go to ni.com/environment/rohs_china.)

Physical

Specification	Value		Comments
Dimensions	3U, One Slot, PXI/cPCI Module 21.6 × 2.0 × 13.0 cm (8.5 × 0.8 × 5.1 in.)		—
Weight	352 g (12.4 oz)		—
Front Panel Connectors			
Label	Function(s)	Connector Type	—
CH 0	Analog Output	SMB (jack)	
CLK IN	Sample clock input and PLL reference clock input.	SMB (jack)	
PFI 0	Marker output, trigger input, sample clock output, exported trigger output, and PLL reference clock output.	SMB (jack)	
PFI 1	Marker output, trigger input, sample clock output, exported trigger output, and PLL reference clock output.	SMB (jack)	
DIGITAL DATA & CONTROL	Digital data output, trigger input, exported trigger output, markers, external sample clock input, and sample clock output.	68-pin VHDCI female receptacle	
Front Panel LED Indicators			
Label	Function		For more information, refer to the <i>NI Signal Generators Help</i> .
ACCESS	The ACCESS LED indicates the status of the PCI bus and the interface from the NI 5422 to the controller.		
ACTIVE	The ACTIVE LED indicates the status of the onboard generation hardware of the NI 5422.		
Included Cable			
—	1 (NI part number 763541-01), 50 Ω, BNC Male to SMB Plug, RG223/U, Double Shielded, 1 m cable.		—



Note NI PXI-5422 modules of revision B or later are equipped with a modified PXI Express-compatible backplane connector. This modified connector allows the NI PXI-5422 to be supported by hybrid slots in a PXI Express chassis. To determine the revision of an NI PXI-5422 module, read the label on the underside of the NI PXI-5422. The label will list an assembly number of the format 191946x-01, where *x* is the revision.

Where to Go for Support

The National Instruments Web site is your complete resource for technical support. At ni.com/support you have access to everything from troubleshooting and application development self-help resources to email and phone assistance from NI Application Engineers.

A Declaration of Conformity (DoC) is our claim of compliance with the Council of the European Communities using the manufacturer's declaration of conformity. This system affords the user protection for electromagnetic compatibility (EMC) and product safety. You can obtain the DoC for your product by visiting ni.com/certification. If your product supports calibration, you can obtain the calibration certificate for your product at ni.com/calibration.

National Instruments corporate headquarters is located at 11500 North Mopac Expressway, Austin, Texas, 78759-3504. National Instruments also has offices located around the world to help address your support needs. For telephone support in the United States, create your service request at ni.com/support and follow the calling instructions or dial 512 795 8248. For telephone support outside the United States, contact your local branch office:

Australia 1800 300 800, Austria 43 662 457990-0,
Belgium 32 (0) 2 757 0020, Brazil 55 11 3262 3599, Canada 800 433 3488,
China 86 21 5050 9800, Czech Republic 420 224 235 774,
Denmark 45 45 76 26 00, Finland 358 (0) 9 725 72511,
France 01 57 66 24 24, Germany 49 89 7413130, India 91 80 41190000,
Israel 972 3 6393737, Italy 39 02 41309277, Japan 0120-527196,
Korea 82 02 3451 3400, Lebanon 961 (0) 1 33 28 28, Malaysia 1800 887710,
Mexico 01 800 010 0793, Netherlands 31 (0) 348 433 466,
New Zealand 0800 553 322, Norway 47 (0) 66 90 76 60,
Poland 48 22 3390150, Portugal 351 210 311 210, Russia 7 495 783 6851,
Singapore 1800 226 5886, Slovenia 386 3 425 42 00,
South Africa 27 0 11 805 8197, Spain 34 91 640 0085,
Sweden 46 (0) 8 587 895 00, Switzerland 41 56 2005151,
Taiwan 886 02 2377 2222, Thailand 662 278 6777, Turkey 90 212 279 3031,
United Kingdom 44 (0) 1635 523545

National Instruments, NI, ni.com, and LabVIEW are trademarks of National Instruments Corporation. Refer to the *Terms of Use* section on ni.com/legal for more information about National Instruments trademarks. Other product and company names mentioned herein are trademarks or trade names of their respective companies. For patents covering National Instruments products, refer to the appropriate location: **Help»Patents** in your software, the `patents.txt` file on your media, or ni.com/patents.

NI PXI-5422 仕様

16 ビット 200 MS/s 任意波形発生器

特に注記のない限り、各仕様において以下の条件が適用されます。

- アナログフィルタ有効化。
- 50 Ω で信号を終端。
- ダイレクトパスを 1 V_{pk-pk} に設定、低ゲインアンプパスを 2 V_{pk-pk} に設定、高ゲインアンプパスを 12 V_{pk-pk} に設定。
- サンプルレートは 200 MS/s に設定し、サンプルクロックソースを N で除算に設定。

標準値は、室温 (20 \pm 3 $^{\circ}$ C) で測定される平均単位です。仕様は事前の通知なしに変更されることがあります。最新の NI 5422 の仕様については、ni.com/manuals をご覧ください。

NI 5422 信号の機能の説明を含む『NI 信号発生器スタートアップガイド』などの、NI 5422 のドキュメントにアクセスするには、**スタート→すべてのプログラム→National Instruments→NI-FGEN→ドキュメント**を選択します。



熱面

NI 5422 が使用されている場合、安全な取扱温度を超え、火傷が起こる場合があります。シャーシから取り外す前に、NI 5422 を冷却してください。

目次

CH 0	2
サンプルクロック	16
オンボードクロック	18
位相ロックループ (PLL) 基準クロック	18
CLK IN	19
PFI 0 および PFI 1	20
DIGITAL DATA & CONTROL (DDC)	21
開始トリガ	23
マーカ	25
任意波形生成モード	26
キャリブレーション	27
電源	28
ソフトウェア	29

環境.....	30
NI PXI-5422 の環境.....	30
認可および準拠.....	31
安全性	31
電磁両立性.....	31
CE 準拠.....	31
環境管理.....	32
物理特性.....	33
サポート情報.....	34

CH 0

(チャンネル 0 アナログ出力、フロントパネルコネクタ)

仕様	値	コメント
チャンネル数	1	—
コネクタ	SMB (ジャック)	—
出力電圧特性		
出力パス	<ol style="list-style-type: none"> ソフトウェアで選択可能なメイン出力パス設定は、$12.00 V_{pk-pk} \sim 5.64 mV_{pk-pk}$ (50 Ω 負荷) のフルスケール電圧を提供します。NI-FGEN は、メイン出力パスが選択されると、ゲイン属性によって低ゲインアンプまたは高ゲインアンプを使用します。 ソフトウェアで選択可能なダイレクトパスは中間周波数 (IF) アプリケーションに対して最適化され、$1,000 \sim 0.707 V_{pk-pk}$ のフルスケール電圧を提供します。 	—
DAC 分解能	16 ビット	—

仕様	値				コメント
振幅とオフセット					
振幅範囲	パス	負荷	振幅 (V_{pk-pk})		振幅値は、DAC のフルスケールが利用されていると仮定。最小値よりも小さい振幅を希望する場合は、DAC のフルスケールよりも小さい波形が使用できます。 NI-FGEN は、ユーザ指定の抵抗負荷を補正します。
			最小値	最大値	
	ダイレクトパス	50 Ω	0.707	1.00	
		1 kΩ	1.35	1.91	
		開回路	1.41	2.00	
	低ゲインアンプ	50 Ω	0.00564	2.00	
		1 kΩ	0.0107	3.81	
		開回路	0.0113	4.00	
	高ゲインアンプ	50 Ω	0.0338	12.0	
		1 kΩ	0.0644	22.9	
		開回路	0.0676	24.0	
振幅分解能	振幅範囲の 0.06% (0.004 dB) 未満				
オフセット範囲	振幅範囲の ±50% のスパン。増分は振幅範囲の 0.0028% 未満。				ダイレクトパスでは利用不可。
最大出力電圧					
最大出力電圧	パス	負荷	最大出力電圧 (V)		振幅とオフセットの組み合わせは、最大出力電圧によって制限されます。
	ダイレクトパス	50 Ω	±0.500		
		1 kΩ	±0.953		
		開回路	±1.000		
	低ゲインアンプ	50 Ω	±1.000		
		1 kΩ	±1.905		
		開回路	±2.000		
	高ゲインアンプ	50 Ω	±6.000		
		1 kΩ	±11.43		
開回路		±12.00			

仕様	値	コメント
確度		
DC 確度	<p>低ゲインまたは高ゲインアンプパスの場合： \pm 振幅範囲の 0.2% \pm オフセットの 0.05% $\pm 500 \mu\text{V}$ (セルフキャリブレーション温度の $\pm 10^\circ\text{C}$ 以内) \pm 振幅範囲の 0.4% \pm オフセットの 0.05% $\pm 1 \text{ mV}$ (0 ~ 55 $^\circ\text{C}$)</p> <p>ダイレクトパスの場合： ゲイン確度：\pm 振幅範囲の 0.2% (セルフキャリブレーション温度の $\pm 10^\circ\text{C}$ 以内) ゲイン確度：\pm 振幅範囲の 0.4% (0 ~ 55 $^\circ\text{C}$) DC オフセット誤差：$\pm 30 \text{ mV}$ (0 ~ 55 $^\circ\text{C}$)</p> <p>メモ：DC 確度については、「振幅範囲」はゲイン設定の 2 倍と定義されます。たとえば、ゲインが 8 の DC 信号の場合は、振幅範囲は 16V となります。この信号のオフセットが 1.5V である場合、DC 確度は以下の式で求めることができます。</p> $\pm 0.2\% \times (16 \text{ V}) \pm 0.05\% \times (1.5 \text{ V}) \pm 500 \text{ V} = \pm 33.25 \text{ mV}$	すべてのパスは振幅およびゲイン誤差に校正されます。また、低ゲインおよび高ゲインアンプパスもオフセット誤差に校正されます。高インピーダンス負荷に校正。
AC 振幅確度	\pm 目標振幅の 1.0% $\pm 1 \text{ mV}$	50 kHz 正弦波。
出力特性		
出力インピーダンス	50 Ω 公称または 75 Ω 公称（ソフトウェアで選択可能）	—
出力カップリング	DC	—
出力有効化	ソフトウェアで選択可能。出力パスが無効な場合、CH 0 出力は選択された出力インピーダンスに等しい 1 W 抵抗で終端されます。	—
最大出力過負荷	CH 0 出力は、破損を受けずに 50 Ω 、 $\pm 12 \text{ V}$ （ダイレクトパスの場合は $\pm 8 \text{ V}$ ）ソースに接続可能です。CH 0 出力が無限に短絡接地されている場合は破損しません。	—
波形加算	CH 0 出力は、類似するパス間での波形加算をサポートしています。特に複数の NI 5422 信号発生器の出力は直接接続できます。	—

仕様	値			コメント
周波数および過渡応答				
アナログフィルタ	ソフトウェアで選択可能なイメージ抑制用 7 次楕円フィルタ			低ゲインおよび高ゲインアンプパスで利用可能。
パルス応答	パス			値は標準。アナログフィルタは無効化。RG-223 ケーブル (1 m) で測定。
	ダイレクトパス	低ゲインアンプ	高ゲインアンプ	
立ち上がり / 立ち下がり時間	1.0 ns	2.1 ns	4.8 ns	
収差	16%	6%	8%	

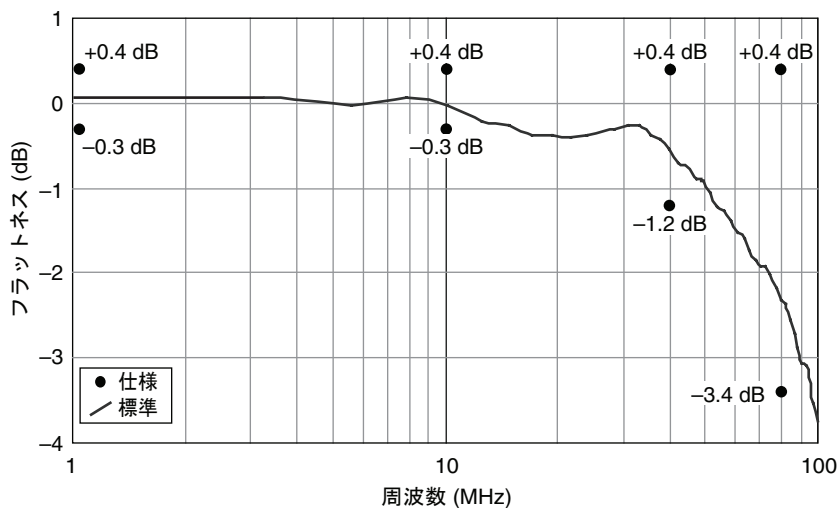


図 1 平均化されたパスバンドフラットネス、ダイレクトパス

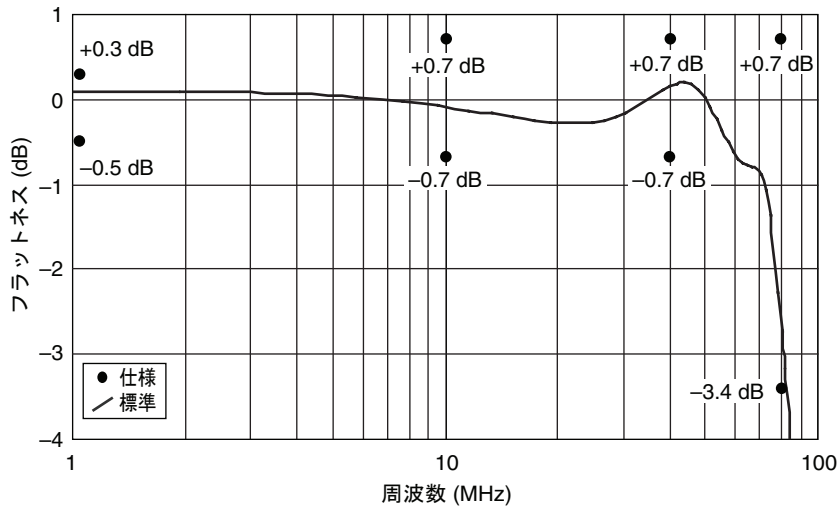


図 2 平均化されたパスバンドフラットネス、低ゲインアンプパス

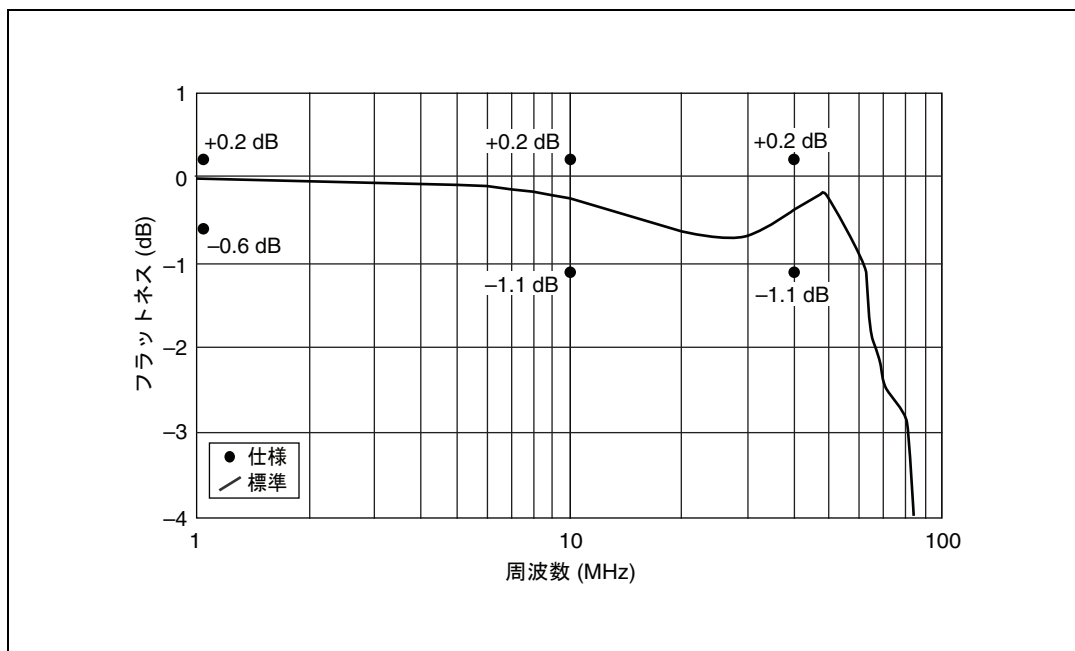


図 3 平均化されたパスバンドフラットネス、高ゲインアンプパス

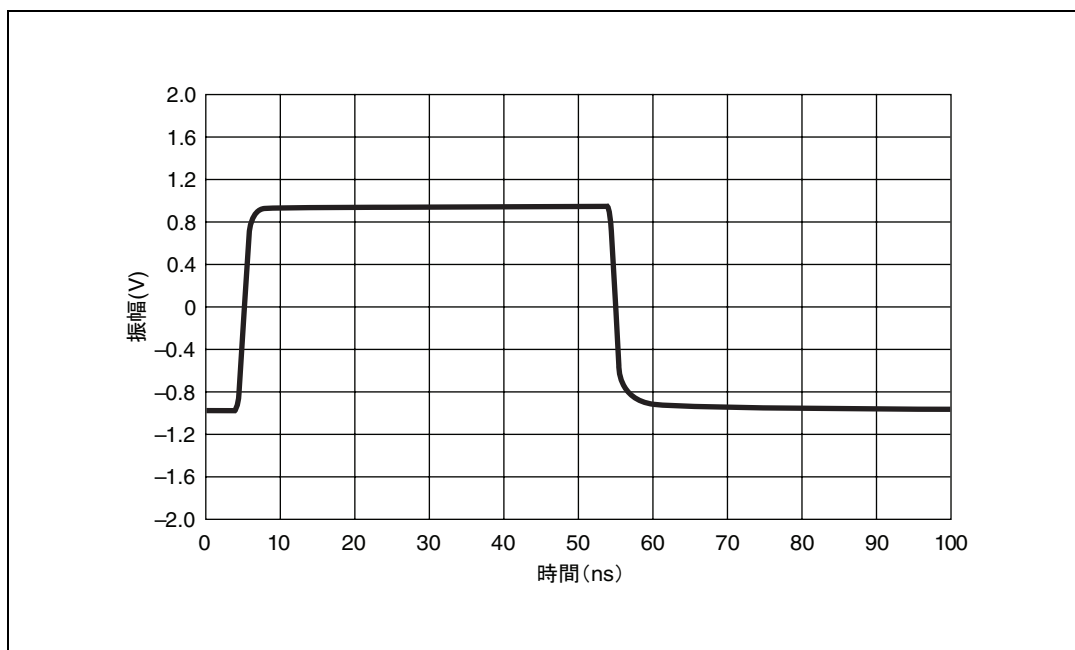


図 4 パルス応答、低ゲインアンプパス (50 Ω 負荷)

仕様	値			コメント
一般的な関数における推奨する最大周波数				
関数	パス			平方、ランプ、および三角関数ではアナログフィルタを無効化。 最小周波数は<1 mHz。この値はメモリサイズおよびデバイス構成に依存します。
	ダイレクトパス	低ゲインアンプ	高ゲインアンプ	
正弦波	80 MHz	80 MHz	43 MHz	
方形波	推奨されていません	50 MHz	25 MHz	
ランプ波	推奨されていません	10 MHz	10 MHz	
三角波	推奨されていません	10 MHz	10 MHz	

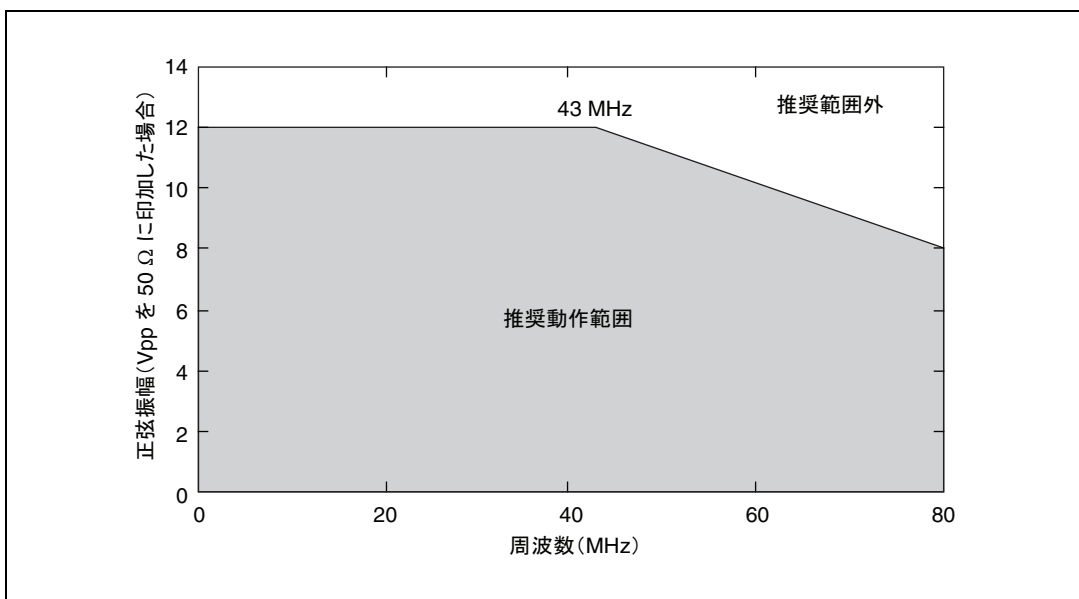


図 5 振幅および推奨する正弦波周波数

仕様	値			コメント	
スペクトル特性					
高調波を含む スプリアスフ リーダイナ ミックレンジ (SFDR) ¹	パス			振幅 -1 デンベルフルスケール (dBFS)。DC ~ 100 MHz まで測定。高調波歪みとも呼ばれます。低振幅の高調波を含む SFDR は、-148 dBm/Hz ノイズフロアによって制限されます。すべての値は標準で、アイリアスされた高調波が含まれます。	
	ダイレクトパス	低ゲインアンプ	高ゲインアンプ		
	1 MHz	70 dB	65 dB		66 dB
	5 MHz	70 dB	65 dB		58 dB
	10 MHz	70 dB	65 dB		52 dB
	20 MHz	63 dB	64 dB		49 dB
	30 MHz	57 dB	60 dB		43 dB
	40 MHz	48 dB	53 dB		39 dB
	50 MHz	48 dB	53 dB		—
	60 MHz	47 dB	52 dB		—
	70 MHz	47 dB	52 dB		—
	80 MHz	41 dB	52 dB		—
高調波なし SFDR	パス			振幅 -1 dBFS。DC ~ 100 MHz まで測定。低振幅、高調波なしの SFDR は、-148 dBm/Hz ノイズフロアによって制限されます。すべての値は標準で、アイリアスされた高調波が含まれます。	
	ダイレクトパス	低ゲインアンプ	高ゲインアンプ		
	1 MHz	84 dB	79 dB		76 dB
	5 MHz	84 dB	79 dB		76 dB
	10 MHz	79 dB	79 dB		76 dB
	20 MHz	79 dB	79 dB		76 dB
	30 MHz	72 dB	70 dB		67 dB
	40 MHz	47 dB	57 dB		54 dB
	50 MHz	47 dB	52 dB		—
	60 MHz	46 dB	51 dB		—
	70 MHz	46 dB	51 dB		—
	80 MHz	40 dB	51 dB		—

1 ダイナミックレンジは搬送波レベルと最大スプリアスの差として定義されます。

¹ ダイナミックレンジは搬送波レベルと最大スプリアスの差として定義されます。

仕様	値						コメント
平均ノイズ密度	パス	振幅範囲		平均ノイズ密度			低振幅の平均ノイズ密度は、 -168 dBm/Hz ノイズフロアによって制限されます。
		V_{pk-pk}	dBm	$\frac{nV}{\sqrt{Hz}}$	dBm/Hz	dBFS/Hz	
	ダイレクトパス	1.00	4.0	19.9	-141	-145	
	低ゲイン	0.06	-20.5	1.3	-164	-144	
	低ゲイン	0.10	-16.0	2.2	-160	-144	
	低ゲイン	0.40	-4.0	8.9	-148	-144	
	低ゲイン	1.00	4.0	22.3	-140	-144	
	低ゲイン	2.00	10.0	44.6	-134	-144	
	高ゲイン	4.00	16.0	93.8	-128	-144	
	高ゲイン	12.00	25.6	281.5	-118	-144	

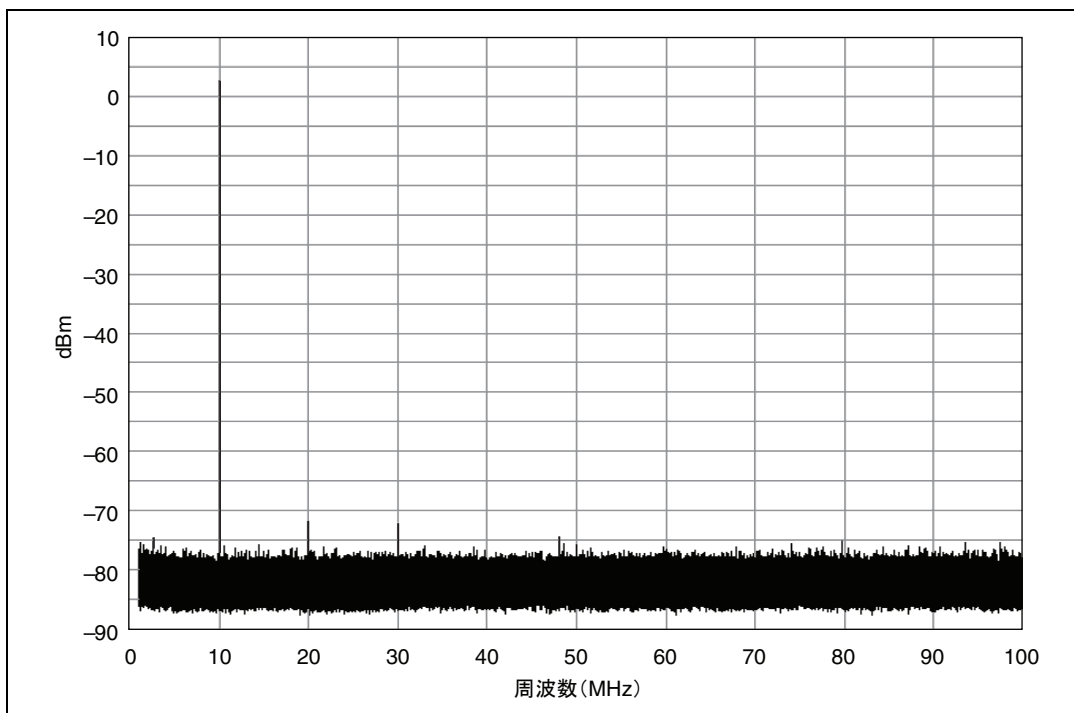


図 6 10 MHz シングルトーンスペクトル、ダイレクトパス、200 MS/s（標準）



メモ

図 6 のノイズフロアは、測定デバイスによって制限されます。この制限に関する詳細については、「[平均ノイズ密度](#)」仕様を参照してください。

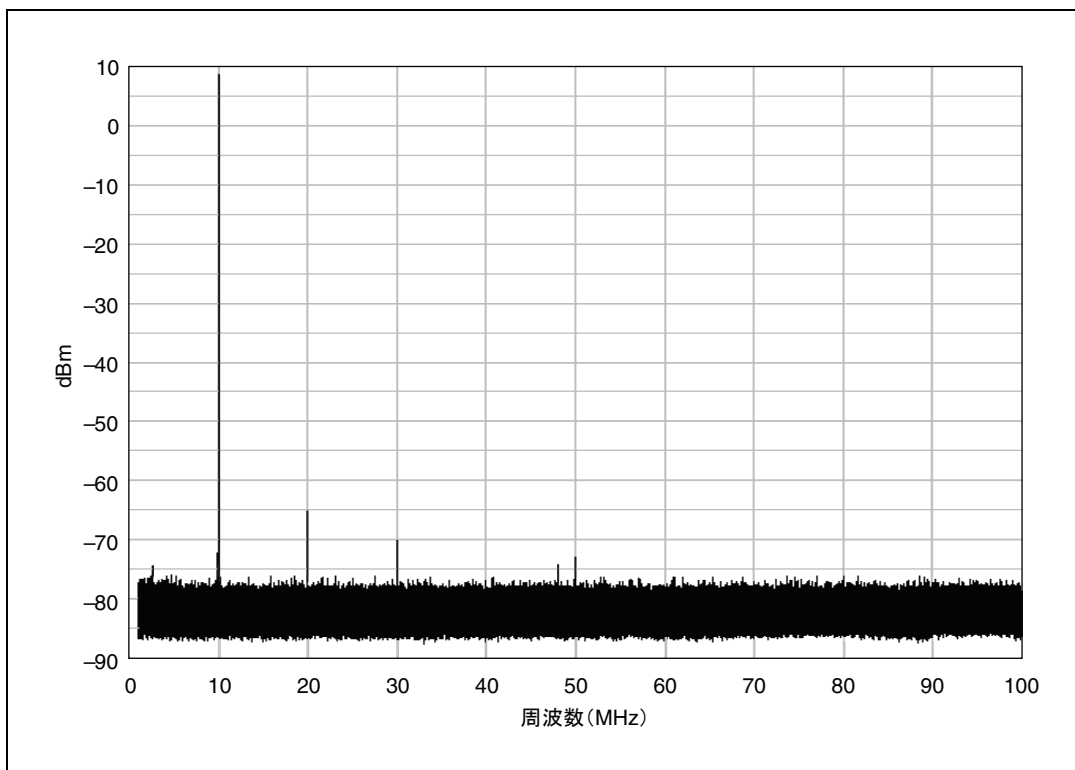


図 7 10.00001 MHz シングルトーンスペクトル、
低ゲインアンプパス、200 MS/s (標準)



メモ

図 7 のノイズフロアは、測定デバイスによって制限されます。この制限に関する詳細については、「[平均ノイズ密度](#)」仕様を参照してください。

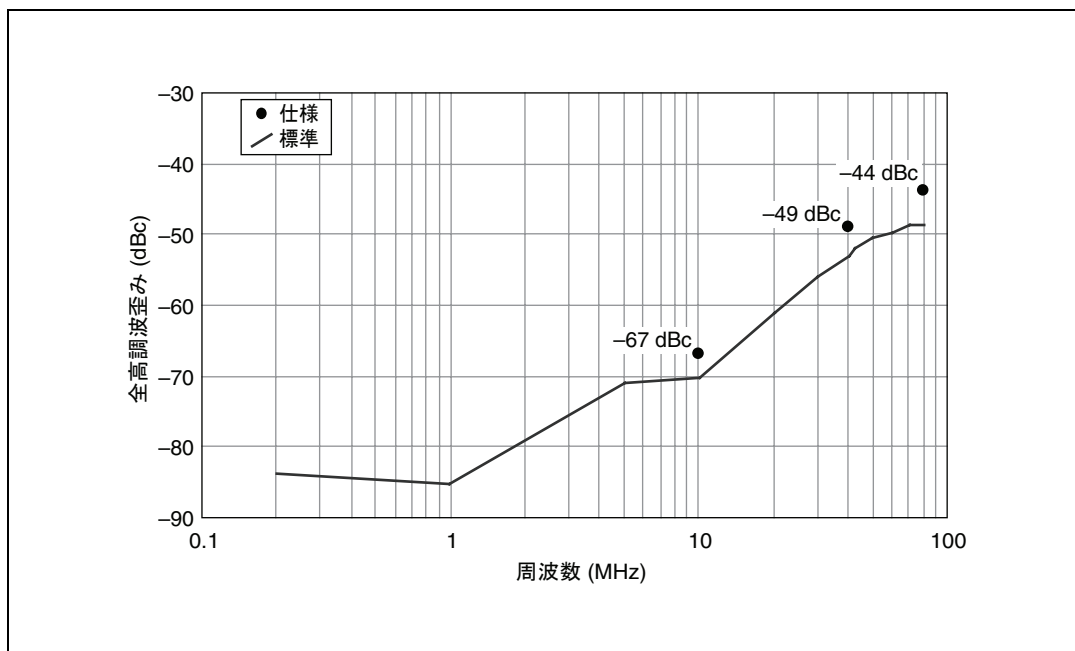


図 8 全高調波歪み、ダイレクトパス

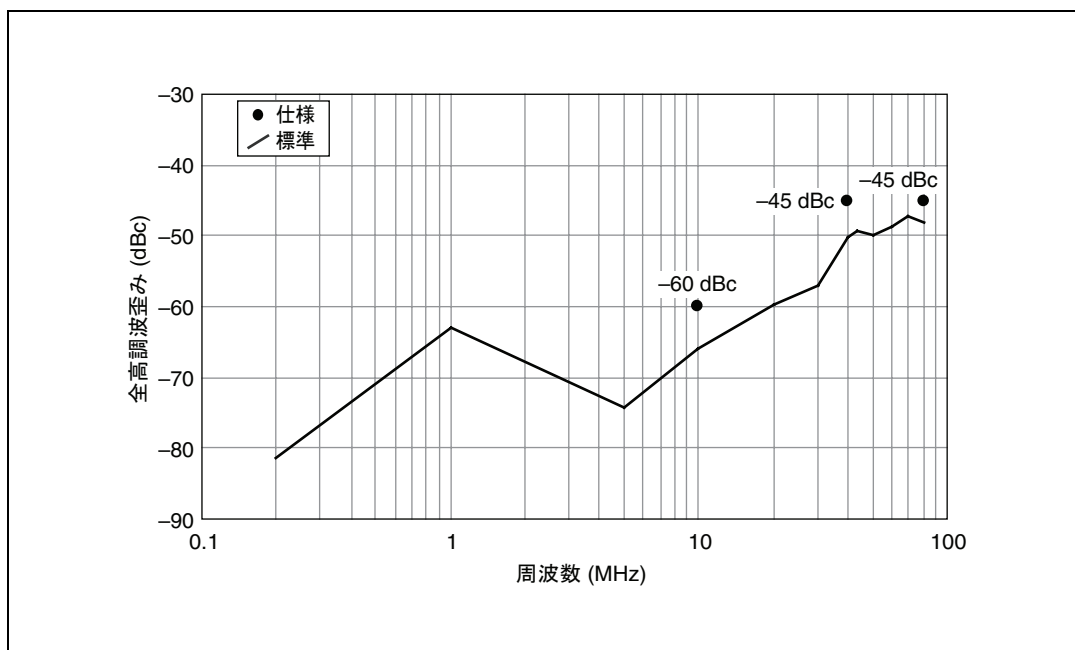


図 9 全高調波ひずみ、低ゲインアンプパス

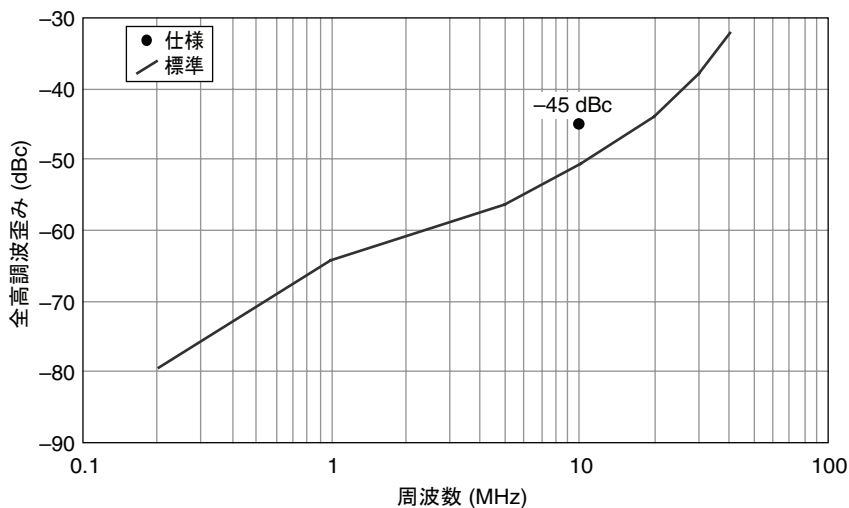


図 10 全高調波歪み、高ゲインアンプパス

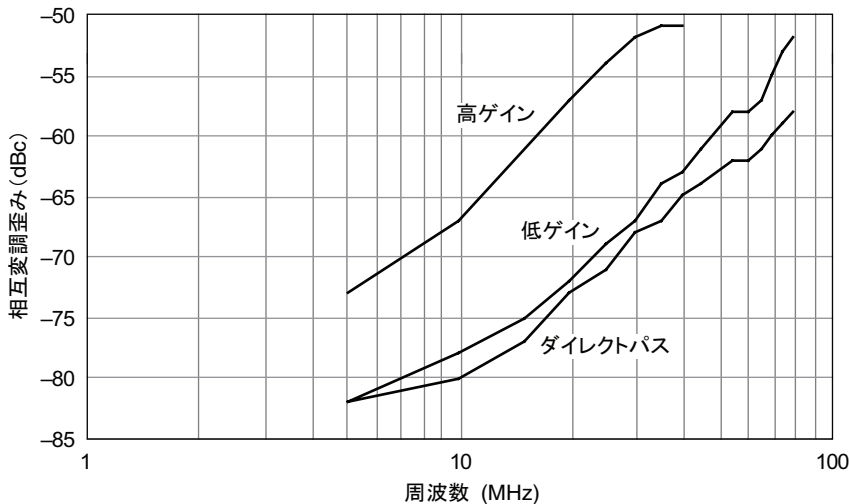


図 11 相互変調歪み、200 kHz 間隔 (標準)

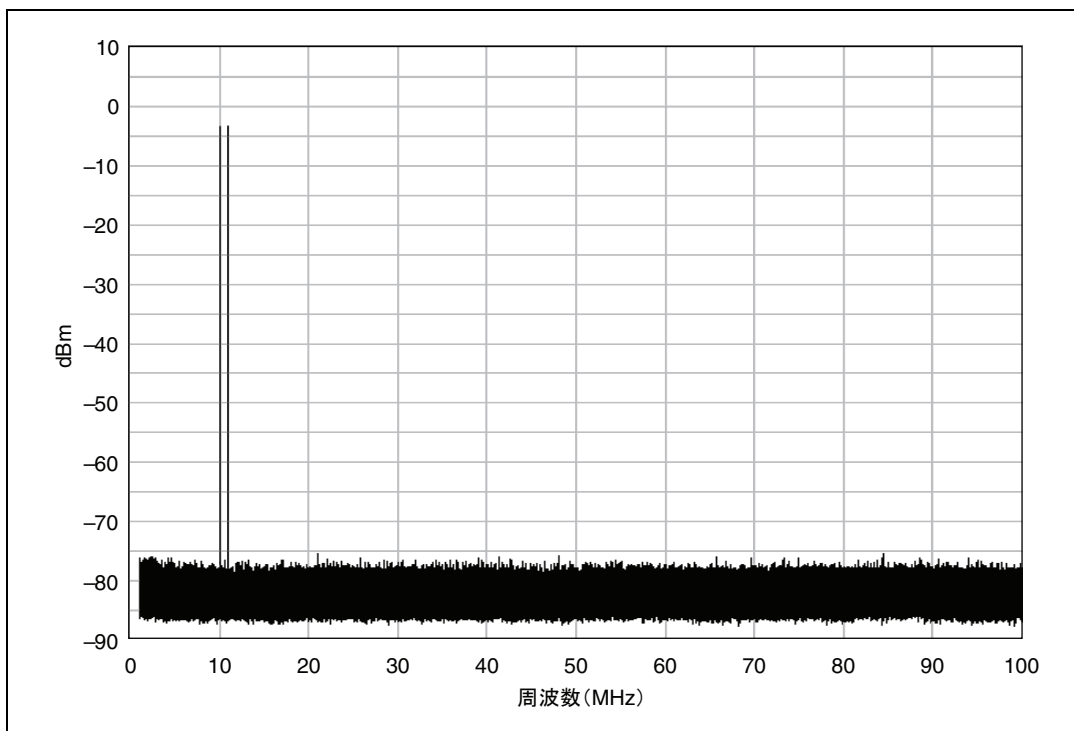


図 12 ダイレクトパス、2 トーンスペクトル（通常）



メモ

図 12 のノイズフロアは、測定デバイスのノイズフロアによって制限されます。この制限に関する詳細については、「[平均ノイズ密度](#)」仕様を参照してください。

サンプルクロック

仕様	値		コメント
ソース	1. 内部、 N で除算 ($N \geq 1$) 2. 内部、DDS ベース、高分解能 3. 外部、CLK IN (SMB フロントパネルコネクタ) 4. 外部、DDC CLK IN (DIGITAL DATA & CONTROL フロントパネルコネクタ) 5. 外部、PXI スタートトリガ (バックプレーンコネクタ) 6. 外部、PXI_Trig<0..7> (バックプレーンコネクタ)		内部クロックソースの詳細については、「 オンボードクロック 」のセクションを参照してください。
サンプルレートの範囲と分解能			
サンプルクロックソース	サンプルレート範囲	サンプルレート分解能	—
N で除算	5 ~ 200 MS/s	(200 MS/s) / N ($1 \leq N \leq 40$) に設定可能	
高分解能	5 ~ 100 MS/s >100 ~ 200 MS/s	1.06 μ Hz 4.24 μ Hz	
CLK IN	5 ~ 200 MS/s	外部クロックソースにより決定される分解能。 外部サンプルクロックのデューティサイクルの許容値 40 ~ 60%。	
DDC CLK IN	5 ~ 200 MS/s		
PXI スタートトリガ	5 ~ 105 MS/s		
PXI_Trig<0..7>	5 ~ 20 MS/s		
サンプルレートの遅延範囲と分解能			
サンプルクロックソース	遅延の調整範囲	遅延の調整分解能	—
N で除算	± 1 サンプルクロック周期	<5 ps	
高分解能 ≤ 100 MHz	± 1 サンプルクロック周期	サンプルクロック周期 / 16,384	
高分解能 >100 MHz	± 1 サンプルクロック周期	サンプルクロック周期 / 4,096	
外部 (すべて)	0 ~ 7.6 ns	<15 ps	

仕様	値			コメント	
システム位相ノイズおよびジッタ（10 MHz 搬送波）					
サンプル クロックソース	システム位相ノイズ密度 （dBc/Hz）オフセット			2× DAC オー バーサンプリ ングに指定	
	100 Hz	1 kHz	10 kHz		
N で除算	-110	-122	-138		1.5 ps rms
高分解能 ¹ 100 MS/s	-109	-120	-120		4.0 ps rms
高分解能 ¹ 200 MS/s	-108	-120	-122		4.2 ps rms
CLK IN ²	-116	-130	-143		1.1 ps rms
PXI スター トリガ ^{2,3}	-111	-128	-136		2.1 ps rms
外部サンプル クロック入力の ジッタ許容値	サイクル間ジッタ ±150 ps 周期ジッタ ±1 ns			—	
¹ サンプルレートによって異なる高分解能仕様。					
² 値は標準。					
³ PXI スタートトリガ仕様は、サンプルクロックソースが PXI_CLK10 にロックされている場合に有効。					
サンプルクロックのエクスポート					
エクスポートし たサンプルク ロックの出力先	1. PFI<0..1>（SMB フロントパネルコネクタ） 2. DDC CLK OUT（DIGITAL DATA & CONTROL フロ ントパネルコネクタ） 3. PXI_Trig<0..6>（PXI バックプレーンコネクタ）			エクスポートし たサンプルク ロックは、整数 K （1 ≤ K ≤ 4,194,304）で分 周可能。	
エクスポートし たサンプルク ロックの出力先	最大周波数	ジッタ（標準）	デューティーサ イクル	—	
PFI<0..1>	200 MHz	PFI 0: 6 ps rms PFI 1: 12 ps rms	25 ～ 65%		
DDC CLK OUT	200 MHz	60 ps rms	35 ～ 65%		
PXI_Trig<0..6>	20 MHz	—	—		

オンボードクロック (内部 VCXO)

仕様	値	コメント
クロック ソース	内部サンプルクロックは、位相ロックループを使用して基準クロックにロック、もしくはオンボード VCXO 周波数基準から取得されます。	—
周波数確度	±25 ppm	—

位相ロックループ (PLL) 基準クロック

仕様	値	コメント
ソース	1. PXI_CLK10 (バックプレーンコネクタ) 2. CLK IN (SMB フロントパネルコネクタ)	PLL 基準クロックは、位相ロックループの基準周波数を提供。
周波数確度	PLL を使用する場合、NI 5422 の周波数確度は、PLL 基準クロックソースの周波数確度のみに基づきます。	—
ロック時間	≤200 ms	—
周波数範囲	5 MHz ~ 20 MHz (1 MHz 刻み)。10 MHz のデフォルト PLL 基準クロック周波数は、±50 ppm の確度が必要です。	—
デューティ サイクル範囲	40 ~ 60%	—
エクスポート した PLL 基準 クロックの出 力先	1. PFI<0..1> (SMB フロントパネルコネクタ) 2. PXI_Trig<0..6> (バックプレーンコネクタ)	—

CLK IN

(サンプルクロックおよび基準クロック入力、フロントパネルコネクタ)

仕様	値	コメント
コネクタ	SMB（ジャック）	—
方向	入力	—
出力先	1. サンプルクロック 2. PLL 基準クロック	—
周波数範囲	5 ～ 200 MHz（サンプルクロックの出力先） 5 ～ 20 MHz（PLL 基準クロックの出力先）	—
入力電圧範囲	正弦波 : $0.65 \sim 2.8 V_{pk-pk}$ (50 Ω 負荷) (0 dBm ～ +13 dBm) 方形波 : $0.2 \sim 2.8 V_{pk-pk}$ (50 Ω 負荷)	—
最大入力過負荷	$\pm 10 V$	—
入力インピーダンス	50 Ω	—
入力カプリング	AC	—

PFI 0 および PFI 1

(PFI (プログラム可能関数インタフェース)、フロントパネルコネクタ)

仕様	値	コメント
コネクタ	2 SMB (ジャック)	—
方向	双方向	—
周波数範囲	DC ~ 200 MHz	—
入力の場合 (トリガ)		
出力先	開始トリガ	—
最大入力過負荷	-2 ~ +7 V	—
V_{IH}	2.0 V	—
V_{IL}	0.8 V	—
入力インピーダンス	1 k Ω	—
出力の場合 (イベント)		
ソース	1. サンプルクロックは、整数 K ($1 \leq K \leq 4,194,304$) で分周可能。 2. サンプルクロックタイムベース (200 MHz) は、整数 M ($4 \leq M \leq 4,194,304$) で分周可能。 3. PLL 基準クロック 4. マーカ 5. エクスポートした開始トリガ (出力開始トリガ)	—
出力インピーダンス	50 Ω	—
最大出力過負荷	-2 ~ +7 V	—
V_{OH}	最小 : 2.7 V (開回路)、1.3 V (50 Ω 負荷)	出力ドライバは +3.3 V TTL と互換性あり。
V_{OL}	最大 : 0.6 V (開回路)、0.2 V (50 Ω 負荷)	
立ち上がり / 立ち下がり時間 (20 ~ 80%)	≤ 2.0 ns	10 pF の負荷。

DIGITAL DATA & CONTROL (DDC)

フロントパネルコネクタ (オプション)

仕様	値			コメント
コネクタ タイプ	68 ピン VHDCI メスコネクタ			—
データ出力 信号数	16			—
制御信号	1. DDC CLK OUT（クロック出力） 2. DDC CLK IN（クロック入力） 3. PFI 2（入力） 4. PFI 3（入力） 5. PFI 4（出力） 6. PFI 5（出力）			—
グラウンド	23 ピン			—
出力信号特性（データ出力、DDC CLK OUT、および PFI<4..5> を含む）				
信号タイプ	LVDS（低電圧差動信号）			—
信号特性	最小	標準	最大	100 Ω 差動負荷 で試験。 ケーブル (188143B-01) で測定。 ドライバおよび レシーバは ANSI/TIA/ EIA-644 に適合。
V _{OH}	—	1.3 V	1.7 V	
V _{OL}	0.8 V	1.0 V	—	
差動出力電圧	0.25 V	—	0.45 V	
出力コモン モード電圧	1.125 V	—	1.375 V	
立ち上がり / 立 ち下がり時間 (20 ～ 80%)	—	0.8 ns	1.6 ns	
出力信号の特性				
出力スキュー	標準：1 ns、最大 2 ns。DIGITAL DATA & CONTROL フロントコネクタの 2 つの出力間のスキュー。			—
出力有効化 / 無効化	ソフトウェアですべてのデータ出力信号および制御信号を一括制御。無効な場合、出力は高インピーダンス状態になります。			—
最大出力過負 荷	-0.3 ～ +3.9 V			—

仕様	値		コメント
入力信号特性 (DDC CLK IN および PFI<2..3> を含む)			
信号タイプ	LVDS (低電圧差動信号)		—
入力差動インピーダンス	100 Ω		—
最大出力過負荷	-0.3 ~ +3.9 V		—
信号特性	最小	最大	—
差動入力電圧	0.1 V	0.5 V	
入カコモンモード電圧	0.2 V	2.2 V	
DDC CLK OUT			
クロック形式	データ出力およびマーカは、DDC CLK OUT の立ち下がりエッジで変化します。		—
周波数範囲	詳細については、「 サンプルクロック 」のセクションを参照してください。		—
デューティサイクル	35 ~ 65%		—
ジッタ	60 ps rms (標準)		—
DDC CLK IN			
クロック形式	DDC データ出力信号は、DDC CLK IN の立ち上がりエッジで変化します。		—
周波数範囲	10 Hz ~ 200 MHz		—
入力デューティサイクルの許容値	40 ~ 60%		—

開始トリガ

仕様	値	コメント
ソース	1. PFI<0..1> (SMB フロントパネルコネクタ) 2. PFI<2..3> (DIGITAL DATA & CONTROL フロントパネルコネクタ) 3. PXI_Trig<0..7> (PXI バックプレーンコネクタ) 4. PXI スタートトリガ (PXI バックプレーンコネクタ) 5. ソフトウェア (関数呼び出しを使用) 6. 即時 (トリガを待機しない)。デフォルト。	—
モード	1. シングル 2. 連続 3. ステップ 4. バースト	—
エッジ検出	立ち上がり	—
最小パルス幅	25 ns	NI 信号発生器 ヘルプ→デバイ ス→ NI 5422 → トリガ→トリガ タイミングの t_{s1} を参照してくだ さい。
開始トリガから CH0 アナログ出力までの遅延	65 サンプルクロック周期 +110 ns	NI 信号発生器 ヘルプ→デバイ ス→ NI 5422 → トリガ→トリガ タイミングの t_{s2} を参照してくだ さい。
開始トリガからデジタルデータ出力の遅延	41 サンプルクロック周期 +110 ns	—

仕様	値	コメント
トリガのエクスポート		
エクスポートしたトリガの出力先	トリガとして使用する信号は、「マーカ」セクションの出力先仕様に記載されるすべての出力先に経路設定が可能です。	—
エクスポートしたトリガ遅延	65 ns（標準）。	NI 信号発生器 ヘルプ→デバイス→NI 5422→トリガ→トリガタイミング の t_{s3} を参照してください。
エクスポートしたトリガパルス幅	>150 ns	NI 信号発生器 ヘルプ→デバイス→NI 5422→トリガ→トリガタイミング の t_{s4} を参照してください。

マーカ

仕様	値			コメント
出力先	1. PFI<0..1> (SMB フロントパネルコネクタ) 2. PFI<4..5> (DIGITAL DATA & CONTROL フロントパネルコネクタ) 3. PXI_Trig<0..6> (バックプレーンコネクタ)			—
数量	1 マーカ / セグメント。			—
波形量	マーカ位置は、4 つのサンプルの整数倍で配置される必要があります。			—
幅	>150 ns			NI 信号発生器ヘルプ→基本概念→波形→イベント→マーカイ イベントの t_{m2} を参照してください。
スキュー	出力先	アナログ出力の場合	デジタルデータ出力の場合	NI 信号発生器ヘルプ→基本概念→波形→イベント→マーカイ イベントの t_{m1} を参照してください。
	PFI<0..1>	±2 サンプルクロック周期	なし	
	PFI<4..5>	なし	<2 ns	
	PXI_Trig<0..6>	±2 サンプルクロック周期	なし	
ジッタ	40 ps rms (標準)			—

任意波形生成モード

仕様	値		コメント	
メモリ使用	NI 5422 は、波形と命令がオンボードメモリを共有する SMC（Synchronization and Memory Core）テクノロジーを使用しています。シーケンスリストのセグメント数、メモリ内の最大波形数、および波形ストレージで利用できるサンプル数などのパラメータは、柔軟性があり、ユーザ定義です。		—	
オンボードメモリサイズ	8 MB 標準： 8,388,608 バイト 32 MB オプション： 33,554,432 バイト	256 MB オプション： 268,435,456 バイト 512 MB オプション： 536,870,912 バイト	—	
出力モード	任意波形モードおよび任意シーケンスモード		—	
任意波形モード	任意波形モードでは、単一波形がオンボードメモリに格納されている波形セットから選択され、生成されます。		—	
任意シーケンスモード	任意シーケンスモードでは、シーケンスによって NI 5422 が波形セットを特定の順序で生成します。シーケンスの要素は、セグメントとしても示されます。各セグメントは、一連の命令に関連付けられます。命令は、メモリ内の波形から選択される波形、生成される波形のループ（繰り返し）の数、そしてマーカ出力信号が送信される波形のサンプルを認識します。		—	
最小波形サイズ（サンプル）	トリガモード	任意波形モード	最小波形サイズは、任意シーケンスモードでサンプルレートに依存。	
	シングル	16		16
	連続	32		192（>50 MS/s 時）
				96（≤50 MS/s 時）
	ステップ	32		192（>50 MS/s 時）
				96（≤50 MS/s 時）
	バースト	32		192（>50 MS/s 時）
				96（≤50 MS/s 時）
ループカウント	1 ～ 16,777,215 バーストトリガ時：無制限		—	
波形量	波形サイズは、4 つのサンプルの整数倍である必要があります。		—	

仕様		値			コメント
メモリ制限					
	8 MB 標準	32 MB オプション	256 MB オプション	512 MB オプション	特別な記載がない限りすべてのトリガモード。
任意波形モード、最大波形メモリ	4,194,176 サンプル	16,777,088 サンプル	134,217,600 サンプル	268,435,328 サンプル	
任意シーケンスモード、最大波形メモリ	4,194,048 サンプル	16,776,960 サンプル	134,217,472 サンプル	268,435,200 サンプル	条件：シーケンス内に 1 または 2 つのセグメントがある場合。
任意シーケンスモード、最大波形	65,000 バースト トリガ： 8,000	262,000 バースト トリガ： 32,000	2,097,000 バースト トリガ： 262,000	4,194,000 バースト トリガ： 524,000	条件：シーケンス内に 1 または 2 つのセグメントがある場合。
任意シーケンスモード、シーケンス内の最大セグメント	104,000 バースト トリガ： 65,000	418,000 バースト トリガ： 262,000	3,354,000 バースト トリガ： 2,090,000	6,708,000 バースト トリガ： 4,180,000	条件：波形メモリが <4,000 サンプルの場合。

キャリブレーション

仕様	値	コメント
セルフキャリブレーション	オンボードでは、24 ビット ADC および精度電圧基準を用いて DC ゲインおよびオフセットを校正します。セルフキャリブレーションは、ソフトウェアを利用してユーザが開始し、完了までに約 90 秒かかります。	—
外部キャリブレーション	外部キャリブレーションは、VCXO、電圧基準、DC ゲイン、およびオフセットを校正します。適切な定数は、不揮発性メモリに保管されます。	—
キャリブレーション間隔	仕様は外部キャリブレーションから 2 年間有効です。	—
ウォームアップ時間	15 分	—

電源

仕様	標準動作	過負荷動作	コメント
+3.3 VDC	2 A	2 A	標準動作は、アナログフィルタ付きの正弦波出力 (50 Ω 終端)。200 MS/s 高分解能サンプルクロック。デジタルパターンが有効および終端、サンプルクロックが PFI 0 に経路設定および終端。 CH 0 が短絡接地されている場合に、過負荷動作が発生。
+5 VDC	図 13 を参照	2.7 A	
+12 VDC	0.46 A	0.46 A	
-12 VDC	0.01 A	0.01 A	
合計電力	12.2 W + 5 V × 5 V 電流	25.7 W	

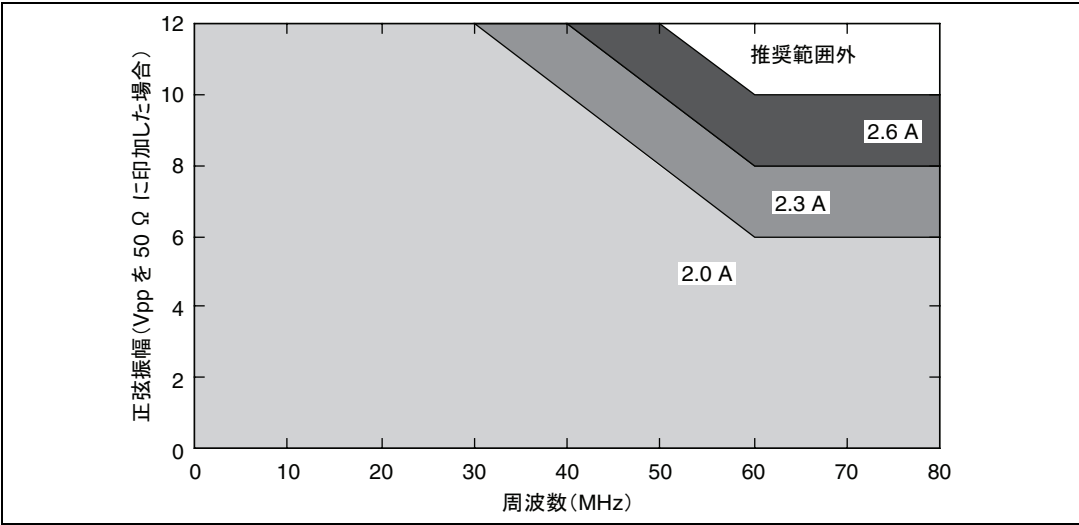


図 13 5 V 電流および周波数と振幅

ソフトウェア

仕様	値	コメント
ドライバソフトウェア	NI-FGEN は、IVI 準拠ドライバで NI 5422 の構成、制御、および校正を可能にします。NI-FGEN は、多数の開発環境アプリケーションプログラミングインタフェースを提供します。	—
アプリケーションソフトウェア	<p>NI-FGEN は、以下のアプリケーション開発環境のプログラミングインタフェースを提供します。</p> <ul style="list-style-type: none"> • LabVIEW • LabWindows™/CVI™ • Measurement Studio • Microsoft Visual C++ .NET • Microsoft Visual C/C++ • Microsoft Visual Basic 	—
対話式の制御および構成ソフトウェア	<p>FGEN ソフトフロントパネルは、NI 5422 の対話的制御をサポートしています。FGEN ソフトフロントパネルは NI-FGEN ドライバ CD に含まれています。</p> <p>Measurement & Automation Explorer (MAX) で NI 5422 を対話式に構成、そしてテストすることができます。MAX も NI-FGEN CD に含まれています。</p> <p>NI 5422 は、NI SignalExpress と併用可能です。</p>	—

NI PXI-5422 の環境



メモ

NI PXI-5422 が効果的に冷却することを確認するには、NI 5422 キットに含まれる『強制空冷の維持について』の指針に従ってください。NI PXI-5422 は、室内使用を意図して設計されています。

仕様	値	コメント
動作温度	0 ~ +55 °C（以下を除くすべての NI PXI シャーシ） 0 ~ +45 °C（NI PXI-101x または NI PXI-1000B シャーシに取り付けた場合）。(IEC 60068-2-1 および IEC 60068-2-2 に準拠。)	—
保管温度	-25 ~ +85 °C。IEC 60068-2-1、IEC 60068-2-2 に準拠。	—
動作時の相対湿度	10 ~ 90%、結露なきこと。IEC 60068-2-56 に準拠。	—
保管時の相対湿度	5 ~ 95%、結露なきこと。IEC 60068-2-56 に準拠。	—
動作衝撃	30 g、半正弦波、11 ms パルス。IEC 60068-2-27 に準拠。MIL-PRF-28800F に準拠してテストプロファイルを確立。	スペクトルおよびジッタ仕様が低下する場合があります。
保管時衝撃	50 g、半正弦波、11 ms パルス。IEC 60068-2-27 に準拠。MIL-PRF-28800F に準拠してテストプロファイルを確立。	—
動作振動	5 ~ 500 Hz、0.31 g _{rms} 。IEC 60068-2-64 に準拠。	スペクトルおよびジッタ仕様が低下する場合があります。
保管振動	5 ~ 500 Hz、2.46 g _{rms} 。IEC 60068-2-64 に準拠。テストプロファイルは、MIL-PRF-28800F、Class B の要件を上回る。	—
高度	最大 2,000 m（周辺温度 25 °C 時）	—
汚染度	2	—

認可および準拠

安全性

NI PXI-5422 は、計測、制御、実験に使用される電気装置に関する以下の安全規格の必要条件を満たすように設計されています。

- IEC 61010-1、EN 61010-1
- UL 61010-1、CSA 61010-1



メモ

UL および他の安全保証については、製品のラベルを参照するか、ni.com/certification（英語）にアクセスして製品番号（型番）または製品ラインで検索し、保証の欄の該当するリンクをクリックしてください。

電磁両立性

NI PXI-5422 は、計測、制御、実験に使用される電気装置に関する以下の EMC の必要条件を満たすように設計されています。

- EN 61326 EMC 必要条件、最小イミュニティ
- EN 55011 エミッション（Group 1、Class A）
- CE、C-Tick、ICES、および FCC パート 15 エミッション（Class A）



メモ

このデバイスは、EMC 要件に適合するため、製品ドキュメントに従って操作してください。

CE 準拠

NI PXI-5422 は、以下のように、CE マーク改正に基づいて、該当する EC 理事会指令による基本的要件に適合しています。

- 2006/95/EC、低電圧指令（安全性）
- 2004/108/EC、電磁両立性指令（EMC）



メモ

この製品のその他のコンプライアンス情報については、適合宣言（DoC）をご覧ください。この製品の適合宣言を入手するには、ni.com/certification（英語）にアクセスして型番または製品ラインで検索し、該当するリンクをクリックしてください。

環境管理

ナショナルインスツルメンツは、環境に考慮した製品の開発および製造に取り組んでいます。NI は、製品から特定の有害物質を除外することが、環境のみならず NI のお客様にとって有益であると考えています。

環境の詳細な情報については、ni.com/environment（英語）の NI and the Environment（英語）を参照してください。このページには、NI が準拠している規制と規格や、このドキュメントには含まれていない環境情報についてが説明されています。

廃電気電子機器（WEEE）



欧州のお客様へ 製品寿命を過ぎたすべての製品は、必ず WEEE リサイクルセンターへ送付してください。WEEE リサイクルセンターおよびナショナルインスツルメンツの WEEE への対応に関する詳細は、ni.com/environment/weee.htm（英語）を参照してください。

电子信息产品污染控制管理办法（中国 RoHS）



中国客户 National Instruments 符合中国电子信息产品中限制使用某些有害物质指令 (RoHS)。关于 National Instruments 中国 RoHS 合规性信息，请登录 ni.com/environment/rohs_china。(For information about China RoHS compliance, go to ni.com/environment/rohs_china.)

物理特性

仕様	値	コメント
外形寸法	3U、1 スロット、PXI/cPCI モジュール 21.6 × 2.0 × 13.0 cm (8.5 × 0.8 × 5.1 in.)	—
重量	352 g (12.4 oz)	—
フロントパネルコネクタ		
ラベル	機能	コネクタタイプ
CH 0	アナログ出力	SMB (ジャック)
CLK IN	サンプルクロック入力および PLL 基準クロック入力。	SMB (ジャック)
PFI 0	マーカ出力、トリガ入力、サンプルクロック出力、エクスポートしたトリガ出力、および PLL 基準クロック出力。	SMB (ジャック)
PFI 1	マーカ出力、トリガ入力、サンプルクロック出力、エクスポートしたトリガ出力、および PLL 基準クロック出力。	SMB (ジャック)
DIGITAL DATA & CONTROL	デジタルデータ出力、トリガ入力、エクスポートしたトリガ出力、マーカ、外部サンプルクロック入力、およびサンプルクロック出力。	68 ピン VHDCI メスコネクタ
フロントパネル LED 表示器		
ラベル	機能	詳細については、『NI 信号発生器ヘルプ』を参照してください。
ACCESS	ACCESS LED は、NI 5422 からコントローラのインタフェースおよび PCI バスのステータスを示します。	
ACTIVE	ACTIVE LED は、NI 5422 のオンボード生成ハードウェアのステータスを示します。	
同梱のケーブル		
—	1 本 (NI 製品番号 763541-01)、50 Ω、BNC オス-SMB プラグ、RG223/U、ダブルシールドケーブル (1 m)。	—



メモ

リビジョン B 以降の NI PXI-5422 モジュールには、改良された PXI Express 対応バックプレーンコネクタが装備されています。この改良したコネクタにより、NI PXI-5422 は PXI Express シャーシ内のハイブリッドスロットに対応します。NI PXI-5422 モジュールのリビジョンについては、NI PXI-5422 の下側にあるラベルを参照してください。ラベルには 191946x-01 という形式のアセンブリ番号が記載されており、x がリビジョンになります。

サポート情報

技術サポートリソースの一覧は、ナショナルインスツルメンツのウェブサイトでご覧いただけます。ni.com/jp/support では、トラブルシューティングやアプリケーション開発のセルフヘルプリソースから、ナショナルインスツルメンツのアプリケーションエンジニアの E メール / 電話の連絡先まで、あらゆるリソースを参照することができます。

適合宣言 (Doc) とは、その会社の自己適合宣言を用いた、さまざまな欧州閣僚理事会指令への適合の宣言のことです。この制度により、電磁両立性 (EMC) に対するユーザ保護や製品の安全性に関する情報が提供されます。ご使用の製品の適合宣言は、ni.com/certification (英語) から入手できます。ご使用の製品でキャリブレーションがサポートされている場合、ni.com/calibration からその製品の Calibration Certificate (英語) を入手してご利用になることもできます。

ナショナルインスツルメンツでは、米国本社 (11500 North Mopac Expressway, Austin, Texas, 78759-3504) および各国の現地オフィスにてお客様にサポート対応しています。日本国内でのサポートについては、ni.com/jp/support でサポートリクエストを作成するか、0120-527196 (フリーダイヤル) または 03-5472-2970 (大代表) までお電話ください。日本国外でのサポートについては、各国の営業所にご連絡ください。

イスラエル 972 3 6393737、イタリア 39 02 41309277、
インド 91 80 41190000、英国 44 0 1635 523545、
オーストラリア 1800 300 800、オーストリア 43 662 457990-0、
オランダ 31 (0) 348 433 466、カナダ 800 433 3488、
韓国 82 02 3451 3400、シンガポール 1800 226 5886、
スイス 41 56 2005151、スウェーデン 46 (0) 8 587 895 00、
スペイン 34 91 640 0085、スロベニア 386 3 425 42 00、
タイ 662 278 6777、台湾 886 02 2377 2222、
中国 86 21 5050 9800、チェコ 420 224 235 774、
デンマーク 45 45 76 26 00、ドイツ 49 89 7413130、
トルコ 90 212 279 3031、ニュージーランド 0800 553 322、
ノルウェー 47 (0) 66 90 76 60、フィンランド 358 (0) 9 725 72511、
フランス 01 57 66 24 24、ベルギー 32 (0) 2 757 0020、
ブラジル 55 11 3262 3599、ポーランド 48 22 3390150、
ポルトガル 351 210 311 210、マレーシア 1 800 887710、
南アフリカ 27 0 11 805 8197、メキシコ 01 800 010 0793、
レバノン 961 (0) 1 33 28 28、ロシア 7 495 783 6851

National Instruments, NI, ni.com, および LabVIEW は National Instruments Corporation (米国ナショナルインスツルメンツ社) の商標です。National Instruments の商標の詳細については、ni.com/legal の「Terms of Use」セクションを参照してください。本文中に記載されたその他の製品名および企業名は、それぞれの企業の商標または商号です。National Instruments の製品を保護する特許については、ソフトウェアに含まれている特許情報 (**ヘルプ>特許情報**)、メディアに含まれている patents.txt ファイル、または ni.com/patents のうち、該当するリソースから参照してください。