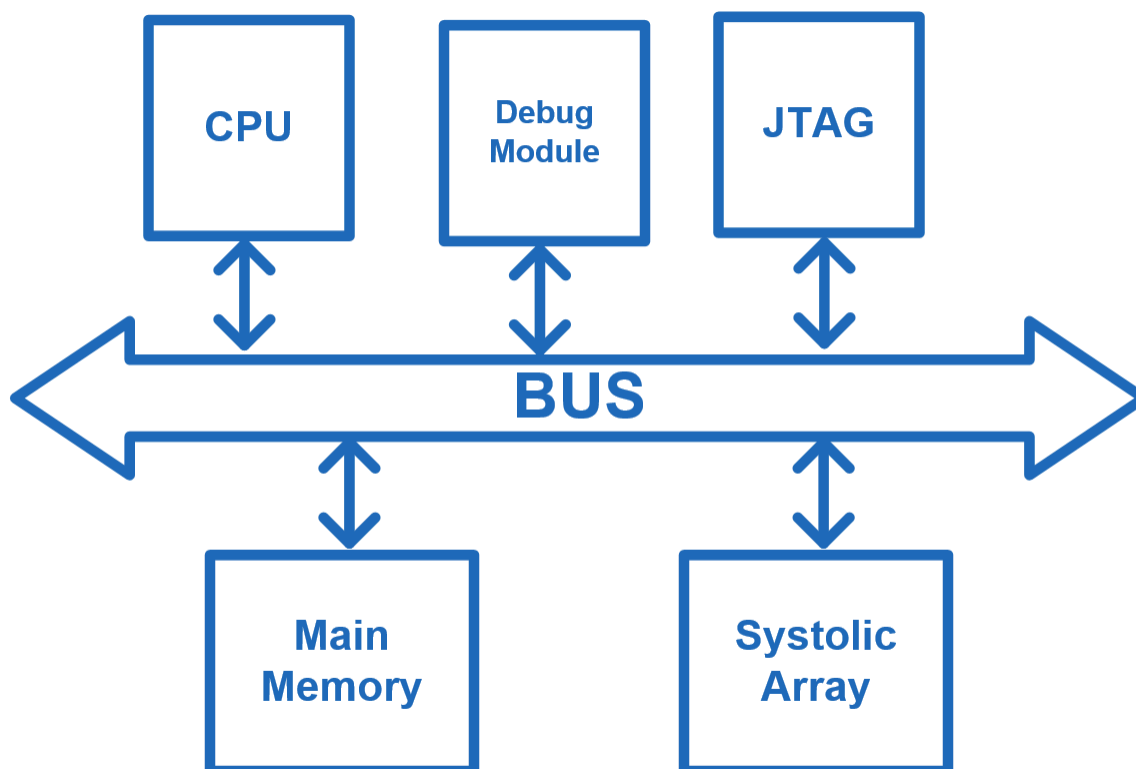


本RTL代码实现了一个简单的SoC架构，包含一个开源RISC-V CPU以及一个脉动阵列，CPU通过AXI总线控制脉动阵列的运行，测试时可以通过JTAG端口对CPU以及脉动阵列进行调试。

架构的框图如下：



RTL代码包含三个文件夹：rtl/ 中主要包含开源CPU cv32e40p的rtl代码；fpga/ 中主要包括脉动阵列、总线架构、调试功能的rtl代码；bhv/ 中包含仿真时可能会用到的一些行为级模型。

顶层module为 fpga/rtl/src/cv32e40p_xilinx.sv

需要注意目前代码中的sram为FPGA的IP，实际流片时需要换成对应工艺的sram IP。