



Multi-cycled CPU

Με υποσύνολο της αρχιτεκτονικής συνόλου εντολών:

CHARIS (CHAnia Risc Instruction Set)

Ονοματεπώνυμο: ΠΕΤΑΚΑΚΗΣ ΓΕΩΡΓΙΟΣ

AM: 2021030127

Ονοματεπώνυμο: ΚΥΡΙΑΚΑΚΗΣ ΙΩΑΝΝΗΣ ΓΕΩΡΓΙΟΣ

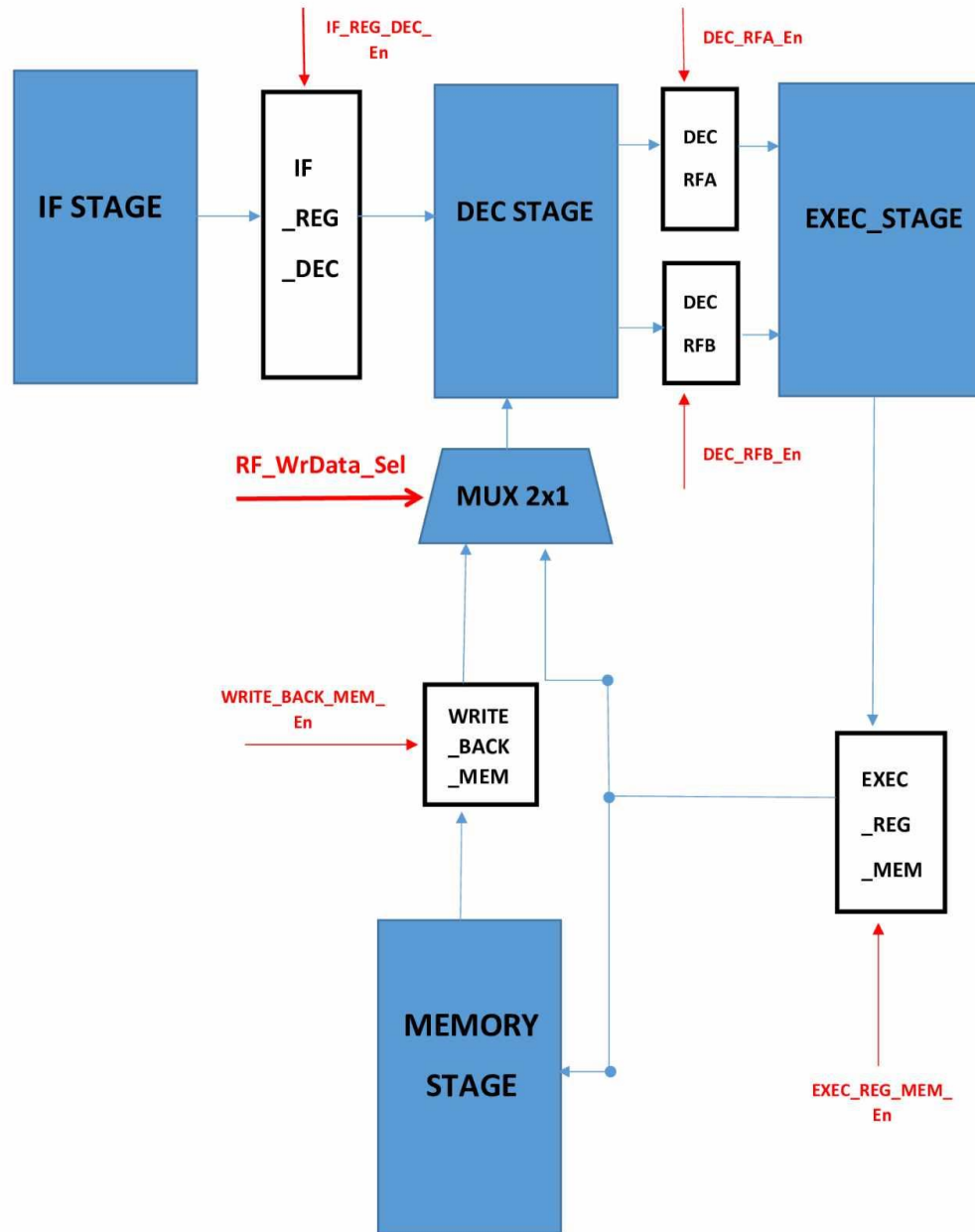
AM: 2020030103

Περίληψη της άσκησης:

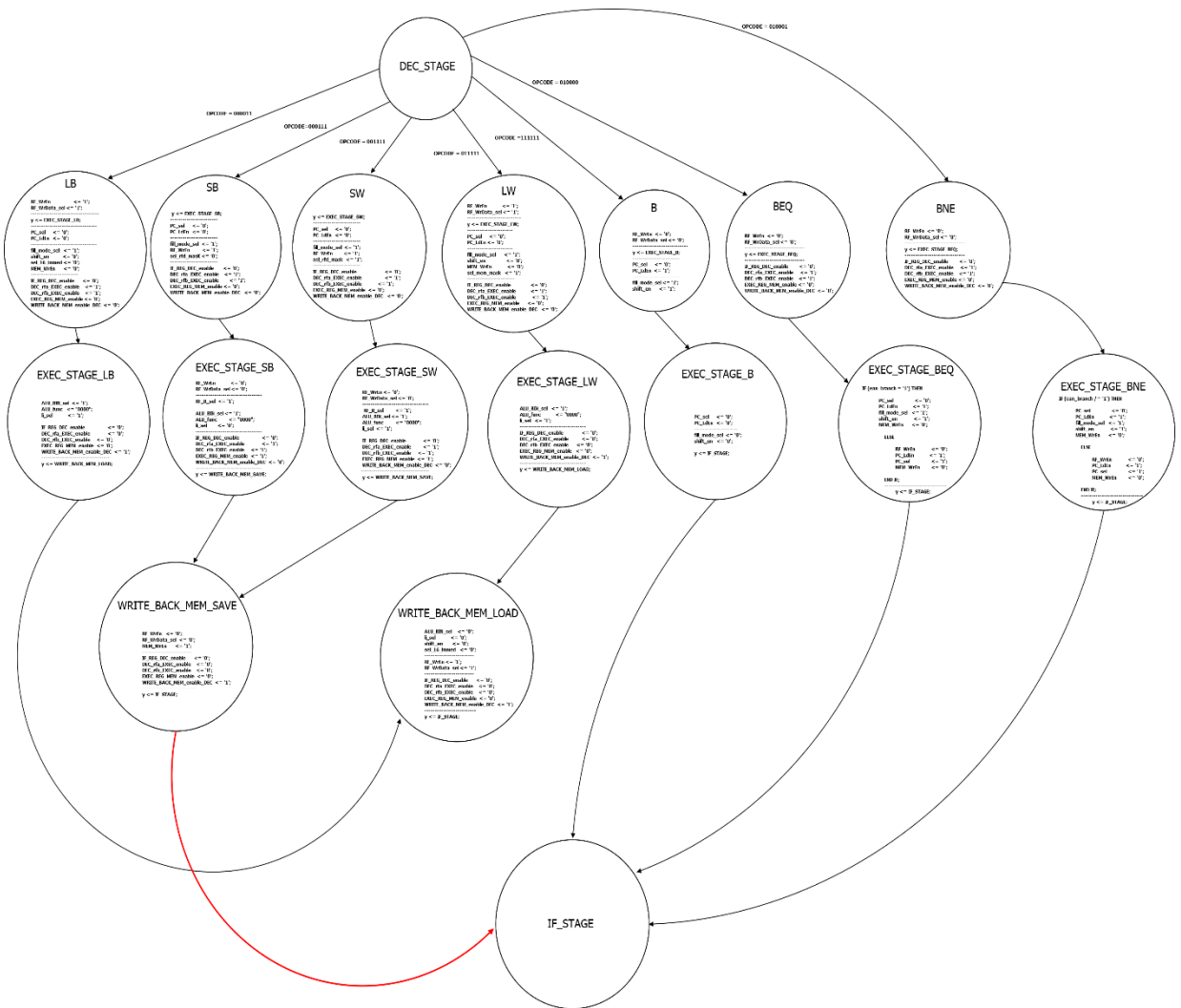
Στο δεύτερο σημείο του project μας ζητήθηκε να αναπτύξουμε πάνω στην δουλειά του NON-PIPELINED επεξεργαστή μας και να τον μετατρέψουμε σε MULTI-CYCLED επεξεργαστή.

Τα μέρη που άλλαξαν για να επιτευχθεί σκοπός μας ήταν το Control Unit χωρίς είσοδο clock, να αλλάξει σε μία FSM (Finite State Machine) με πολλαπλές καταστάσεις, έλεγχο signals μέσω κάθε κατάστασης, ανάλογα με το instruction και το Datapath να λάβει ανά στάδιο και από έναν Register.

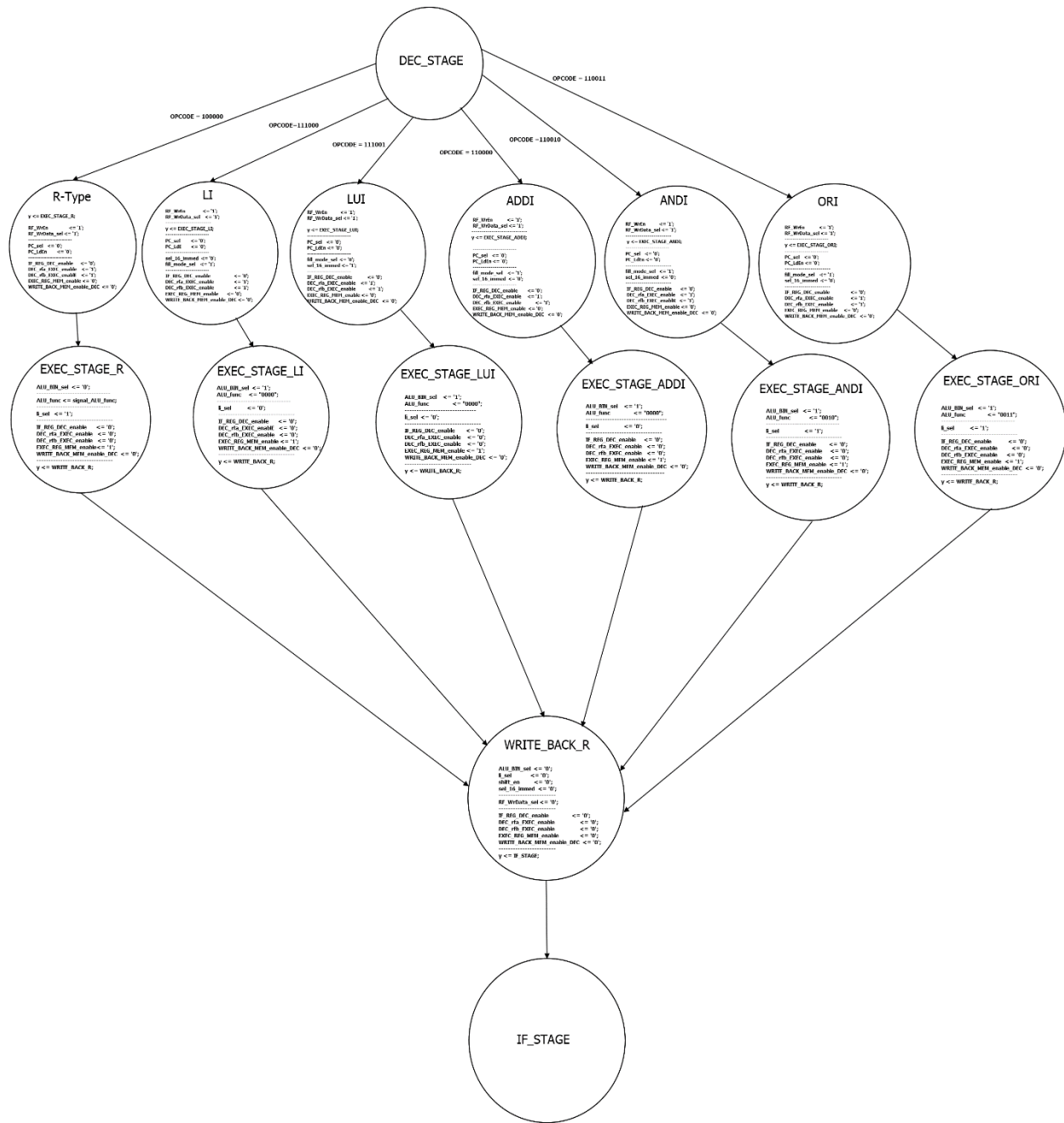
Μέσω της θεωρίας αυτές οι αλλαγές κάνουν πιο γρήγορο των επεξεργαστή, κάνοντας την περίοδο ρολογιού μικρότερη, κερδίζοντας έτσι σε απόδοση ανά instruction.



Στην υλοποίηση μας, έπρεπε να προσέξουμε πολύ τα select σήματα στο controlunit που βελτιώθηκε σε finitestatemachinecontrolunit. Ιδιαίτερη προσοχή δόθηκε στα σήματα του ProgramCounter, καθώς και τα Registerfile σήματα, λόγω της μεγάλης επιρροής, στην ροή των δεδομένων της CPU. Αλλά και στα control σιματα των πέντε καινούργιων καταχωρητών στο Datapath.



Εντολές Μνήμης έως Branch



Εντολές R-type έως Immediate

Και στις δύο εικόνες αναφερόμαστε σε μία FSM, λόγω χώρου στην αναφορά «κόπηκε».

Εφόσον το κάθε stage του επεξεργαστή μας θα εκτελείται ανά ένα κύκλο ρολογιού, έπρεπε να δοθεί προσοχή στο Load Enable σήμα του Program Counter, κρατώντας το απενεργοποιημένο κατά την υλοποίηση των DECODE, EXECUTE και MEMORY stages, έτσι ώστε να εξασφαλίσουμε ότι θα εκτελεστεί μόνο ένα Instruction και να ότι δεν θα γίνει overwrite ο PC.

Επιπλέον, η εγγραφή των καταχωρητών στο Register File, γίνεται μέσω των τιμών των ενδιάμεσων καταχωρητών EXEC_REG_MEM(ο οποίος μεσολαβεί ανάμεσα το EXEC και το MEM Stage) και WRITE_BACK_MEM (ο οποίος μεσολαβεί ανάμεσα στο MEM και τον MUX2x1 με control signal RF_WR_Data, ο οποίος ελέγχει εάν θα γραφεί στον RF η έξοδος της ALU ή η έξοδος της μνήμης RAM).

Τέλος, κατά την εκτέλεση των Branch Type εντολών, εφόσον γίνεται μετάβαση από το DECODE απευθείας στο IF Stage για να γίνει update ο PC, έπρεπε να φροντίσουμε έτσι ώστε να μην γίνεται εγγραφή σε κανέναν από τους ενδιάμεσους καταχωρητές αλλά ούτε και στον RF και στην RAM. Αυτό το επιτύχαμε θέτοντας τα αντίστοιχα control signals στην τιμή 0.