

# 第四章 同步时序电路的分析

4.1 时序电路概述

4.2 D触发器

4.3 同步时序电路的分析方法

4.4 计数器

4.5 寄存器

## 4.1 时序电路概述

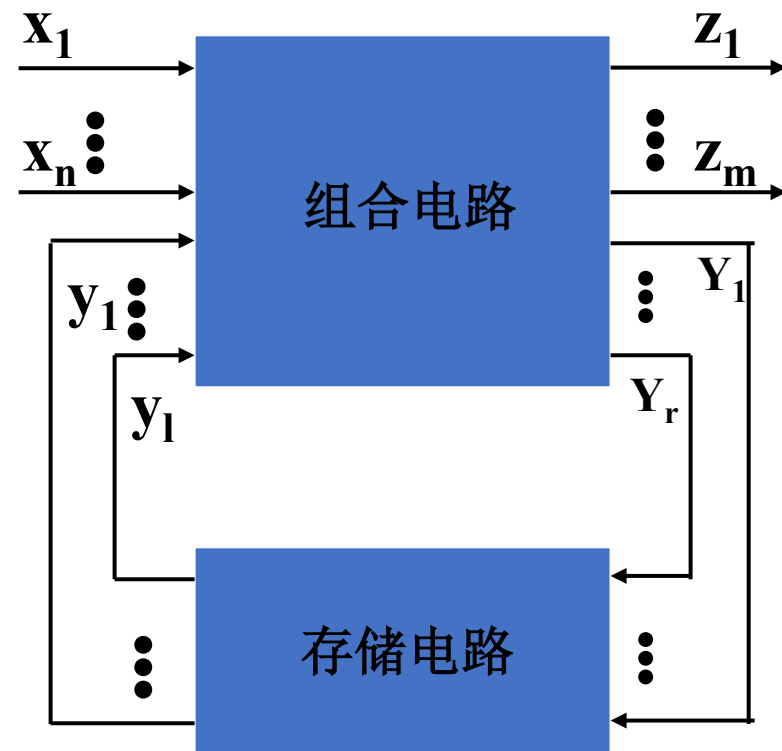
数字逻辑电路可分为两大类：组合逻辑电路和时序逻辑电路

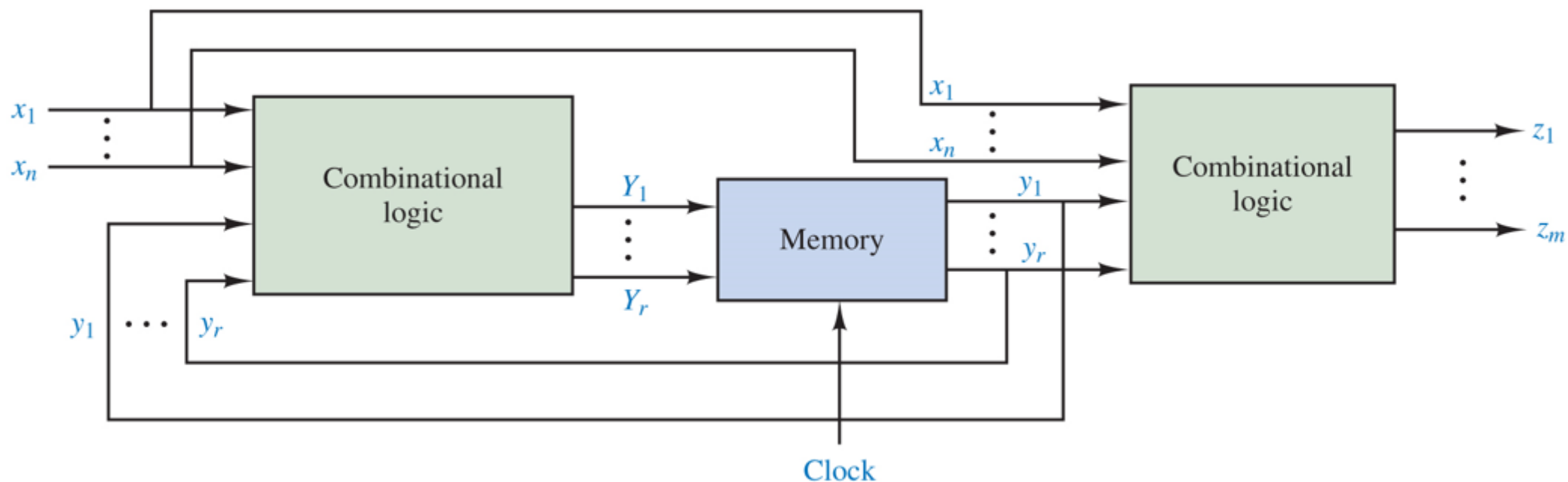
组合电路的输出仅由**当前输入**决定。

时序电路的输出不仅取决于**当前输入**，也取决于**过去的输入序列**。



$$z_i = f_i(x_1, x_2, \dots, x_n) \quad i = 1, \dots, m$$

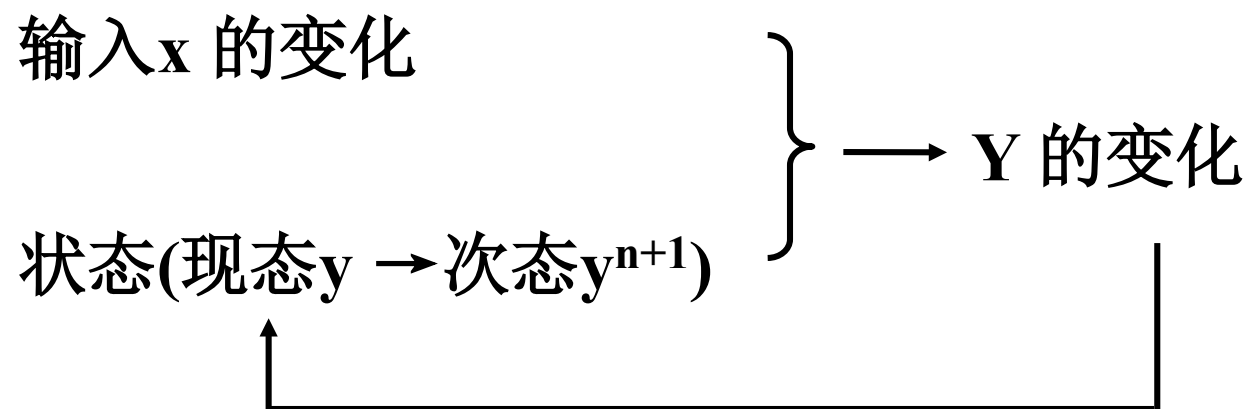
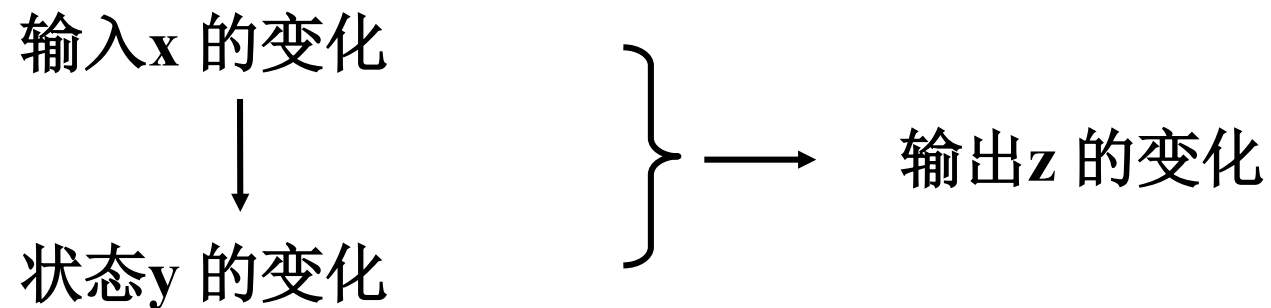




输出函数  $z_i = f_i(x_1, x_2, \dots, x_n, y_1, y_2, \dots, y_r)$   $i = 1, 2, \dots, m;$

激励（控制）函数  $Y_i = g_i(x_1, x_2, \dots, x_n, y_1, y_2, \dots, y_r)$   $i = 1, 2, \dots, r;$

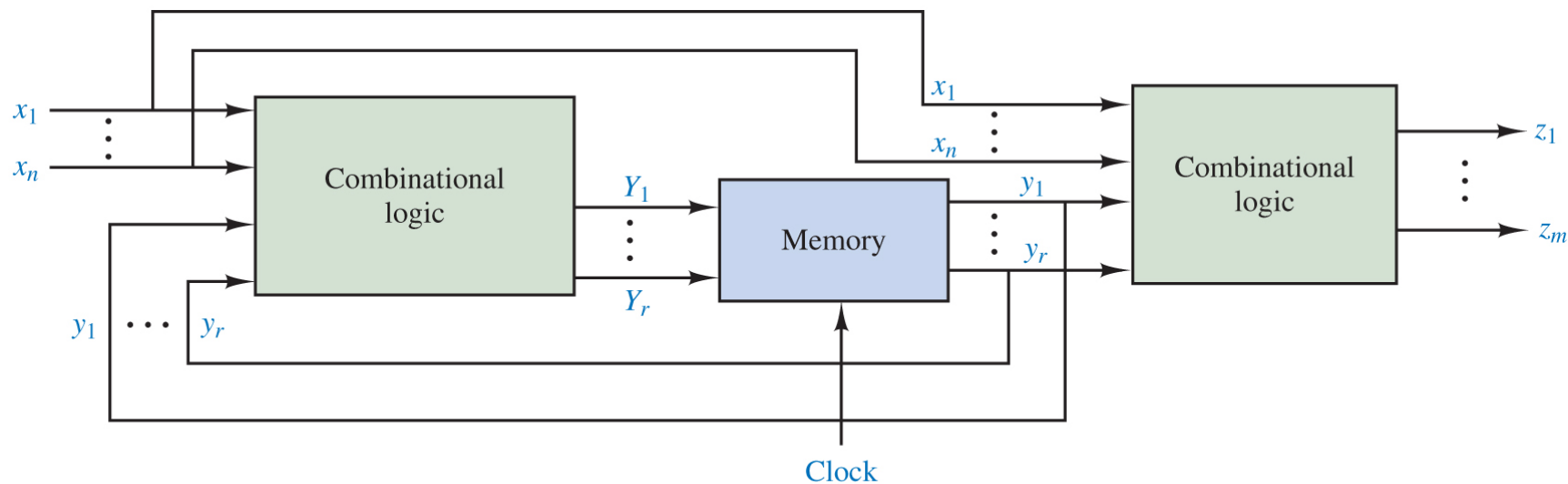
## 时序电路的变化规律



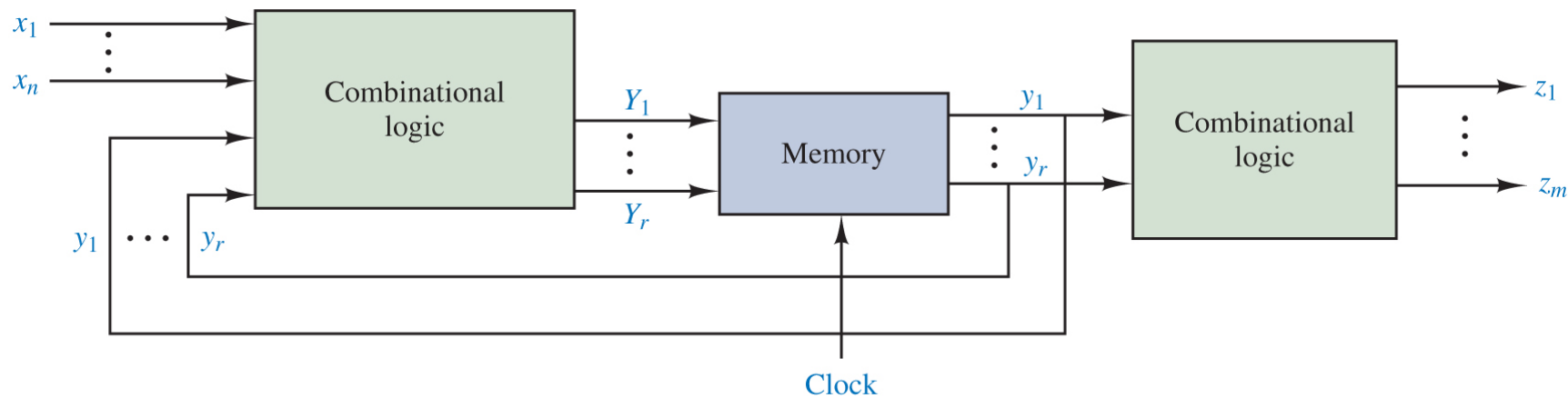
状态变化：现态—某一时刻输入变化前的电路状态；  
次态—当输入变化后的电路状态(即电路将要进入的状态)；

# 时序电路的分类

按输出特性可分为：Mealy型和Moore型。



(a)



(b)

按照引起状态发生变化的原因可分为：

同步时序电路：其状态的改变受同一个时钟脉冲的控制，且与时钟脉冲同步。即电路在统一时钟控制CLK（或CP）下，同步改变状态。

异步时序电路：无统一的时钟脉冲使整个系统的工作同步，输入直接引起状态改变。

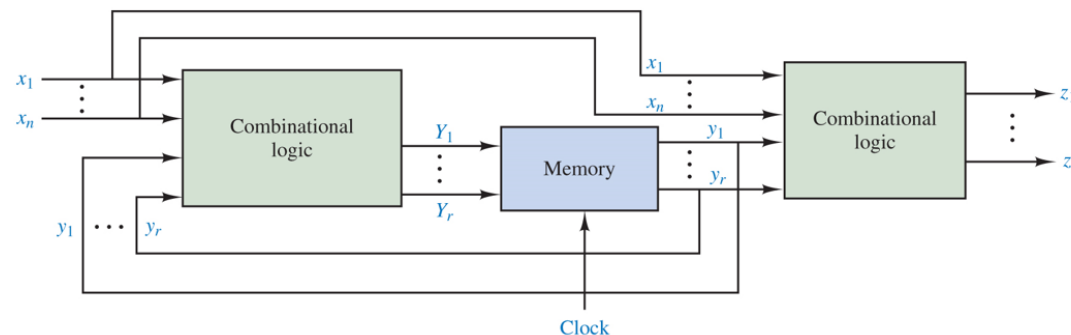
# 时序电路的描述方法

## 1、次态方程

次态  $y^{n+1} = Q_a(\text{激励 } Y)$

激励  $Y = G(\text{输入 } x, \text{现态 } y)$

} 次态  $y^{n+1} = Q(\text{输入 } x, \text{现态 } y)$



## 2、次态真值表

将输入  $x$  及现态  $y$  列在真值表左边，次态  $y^{n+1}$  列在右边。

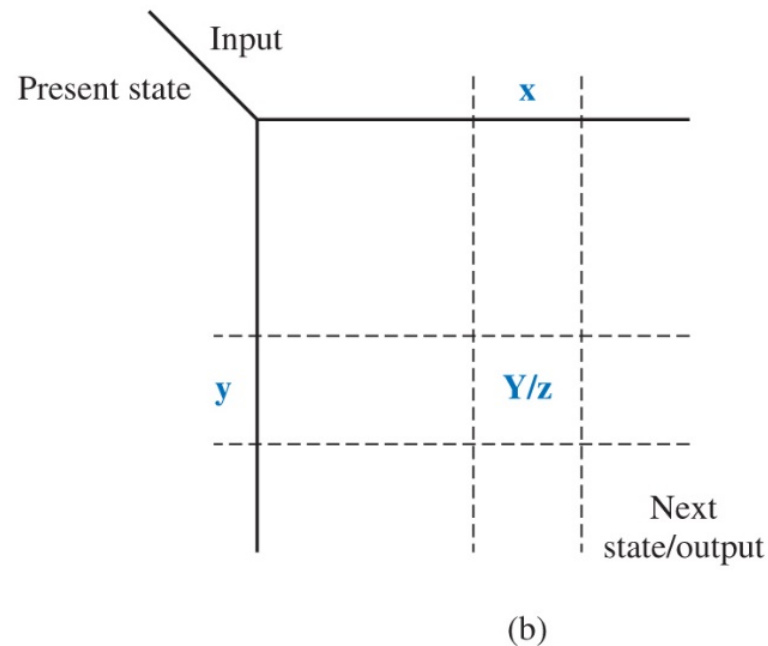
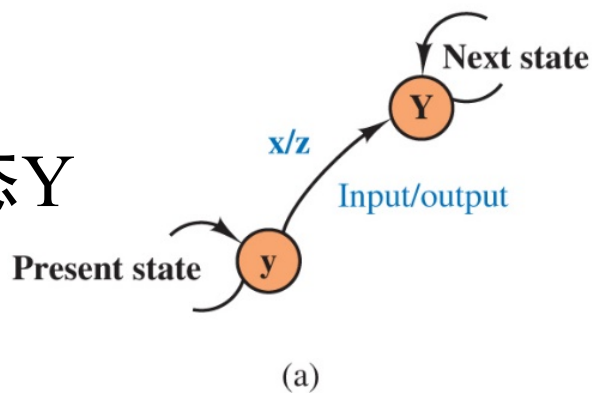
## 3、次态卡诺图

次态方程用卡诺图的形式表示出来，既次态卡诺图。

## 4、状态图和状态表

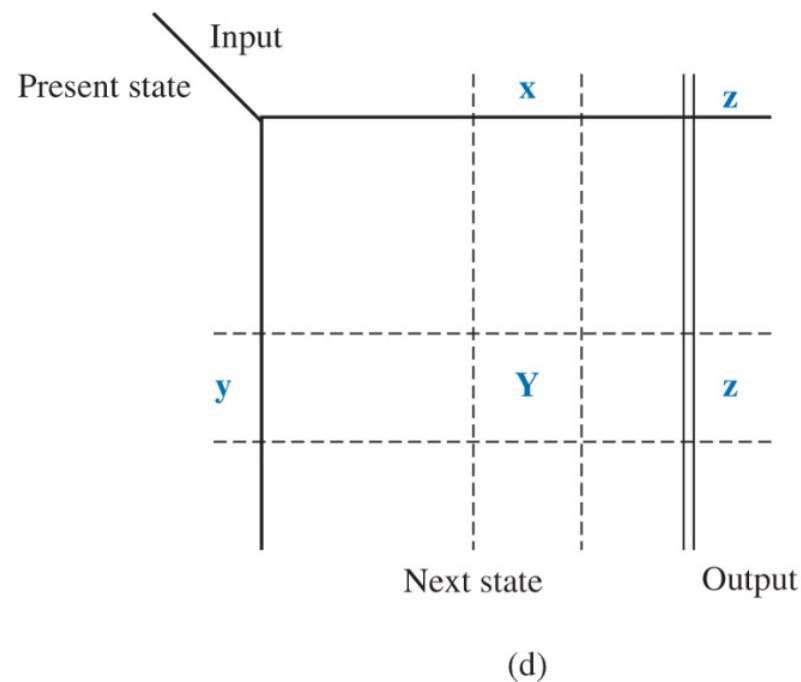
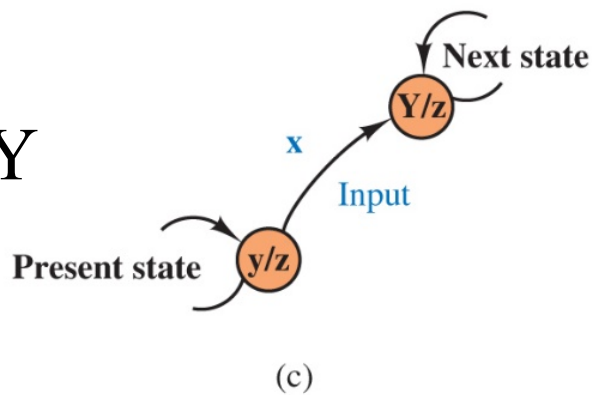
Mealy 型电路的读表/图的次序：

现态 $y \rightarrow$  输入 $x \rightarrow$  输出 $z \rightarrow$  次态 $Y$



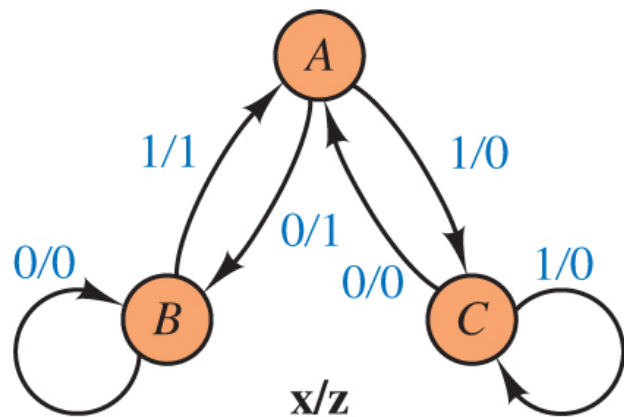
Moore 型电路的读表/图的次序：

现态 $y \rightarrow$  输出 $z \rightarrow$  输入 $x \rightarrow$  次态 $Y$





## Mealy 型



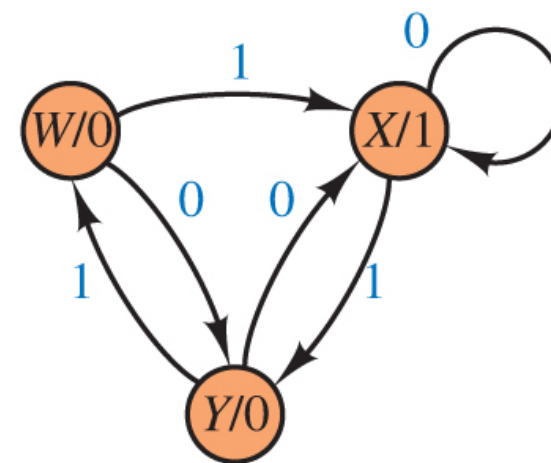
(a)

| Present state | Input $x$ |     |
|---------------|-----------|-----|
|               | 0         | 1   |
| A             | B/1       | C/0 |
| B             | B/0       | A/1 |
| C             | A/0       | C/0 |

Next state/output

(b)

## Moore 型



(a)

| Present state | Input $x$ |   | Outputs |
|---------------|-----------|---|---------|
|               | 0         | 1 |         |
| W             | Y         | X | 0       |
| X             | X         | Y | 1       |
| Y             | X         | W | 0       |

(b)

无外部输出的状态表

| $y \backslash x$ | 0     | 1     |
|------------------|-------|-------|
| $y_0$            | $y_1$ | $y_3$ |
| $y_1$            | $y_2$ | $y_0$ |
| $y_2$            | $y_3$ | $y_1$ |
| $y_3$            | $y_0$ | $y_2$ |

$y^{n+1}$ (次态)

Mealy 型状态表

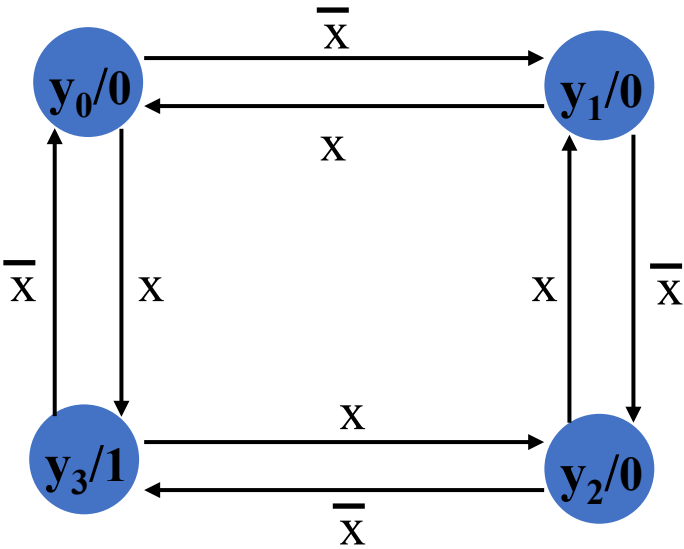
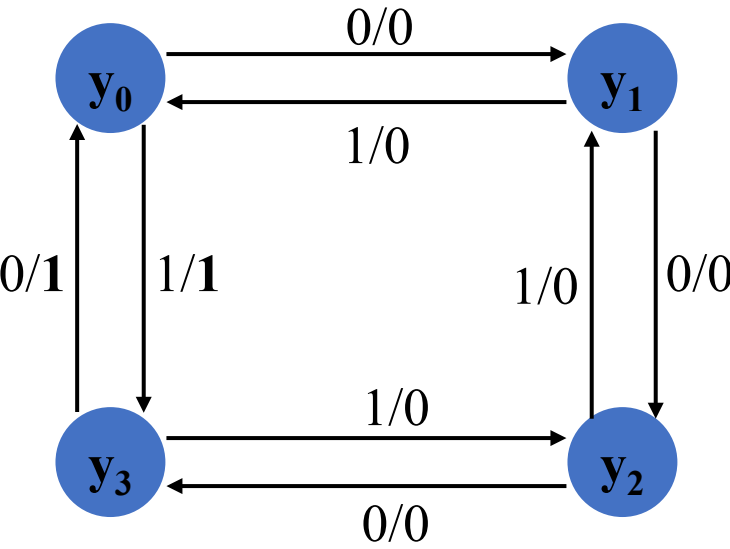
| $y \backslash x$ | 0       | 1       |
|------------------|---------|---------|
| $y_0$            | $y_1/0$ | $y_3/1$ |
| $y_1$            | $y_2/0$ | $y_0/0$ |
| $y_2$            | $y_3/0$ | $y_1/0$ |
| $y_3$            | $y_0/1$ | $y_2/0$ |

$y^{n+1}/z$ (次态/输出)

Moore 型状态表

| $y \backslash x$ | 0     | 1     | z |
|------------------|-------|-------|---|
| $y_0$            | $y_1$ | $y_3$ | 0 |
| $y_1$            | $y_2$ | $y_0$ | 0 |
| $y_2$            | $y_3$ | $y_1$ | 0 |
| $y_3$            | $y_0$ | $y_2$ | 1 |

$y^{n+1}$ (次态)



## 4.2 D触发器

双稳态元件是构成存储电路的基本模块，通常指锁存器或触发器。双稳态元件的特点是：

- (1) 有两个稳定状态，分别表示存储数码 0 或 1。
- (2) 在一定的触发信号作用下，它可从一个稳态翻转到另一个稳态。

双稳态元件可保存一位二进制数，对应一个状态变量。

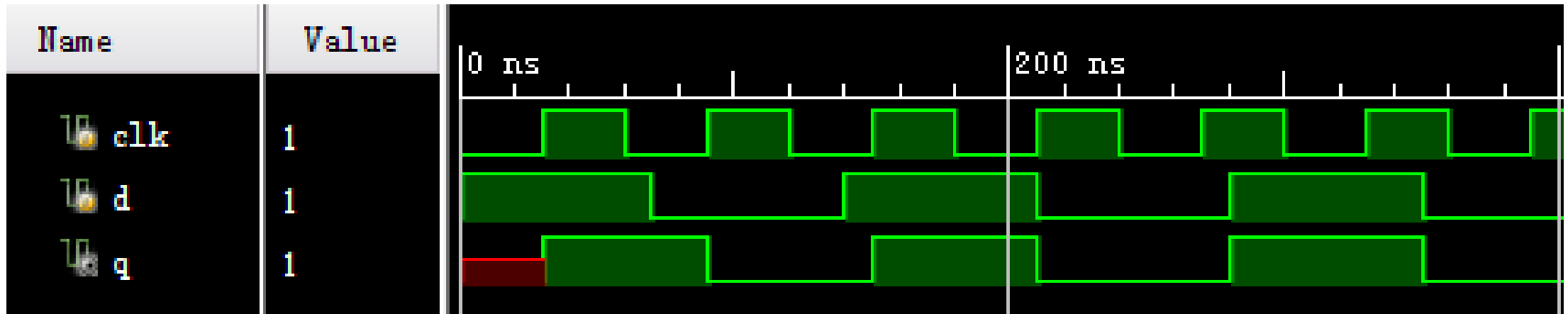
两个互反的输出端  $Q$  和  $\neg Q$ 。

两个稳态：1 态 ( $Q = 1, \neg Q = 0$ )、0 态 ( $Q = 0, \neg Q = 1$ )

触发器或锁存器翻转前的状态称为现态  $Q^n$  ( $Q$ )，

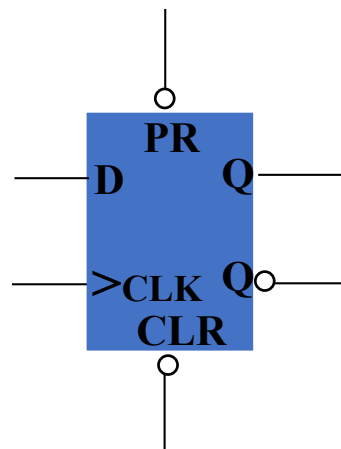
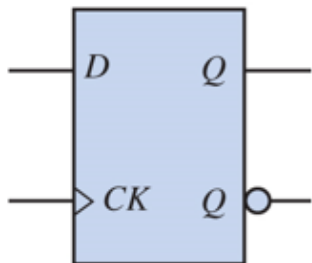
翻转后的状态称为次态  $Q^{n+1}$ 。

锁存器利用电平控制数据的输入。



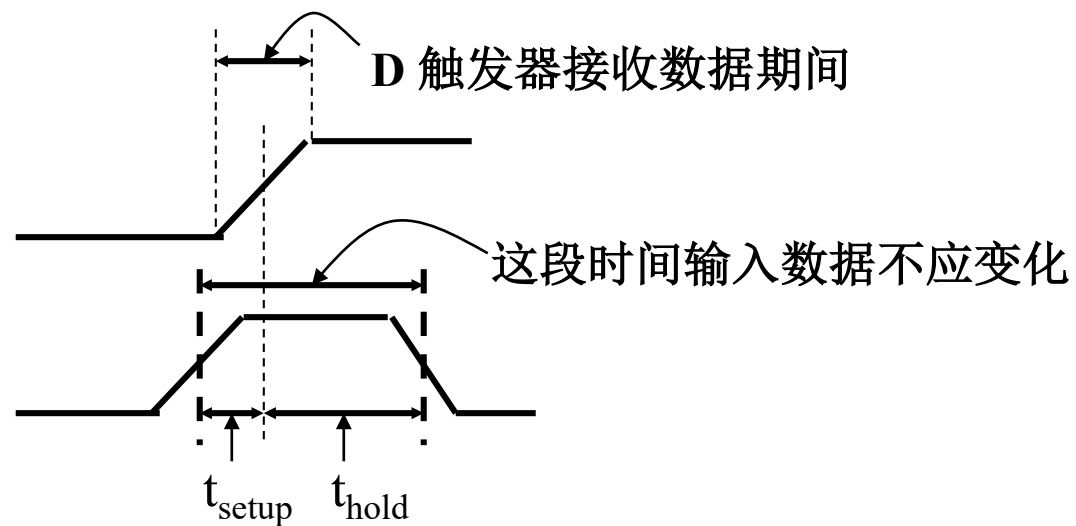
触发器是利用脉冲或边沿控制数据的输入。

# D 触发器



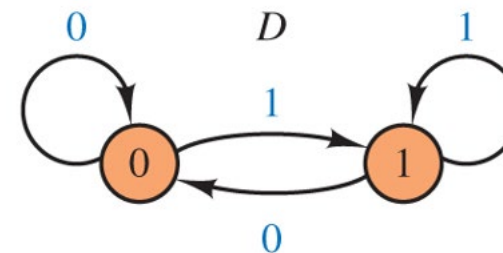
| D \ Q | 0 | 1 |
|-------|---|---|
| 0     | 0 | 1 |
| 1     | 0 | 1 |

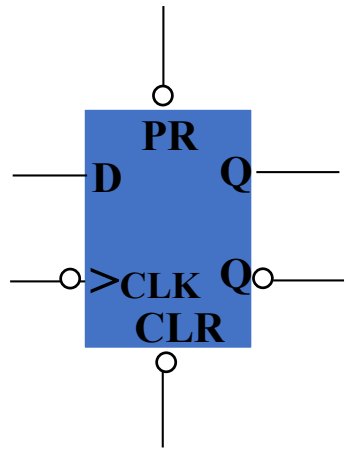
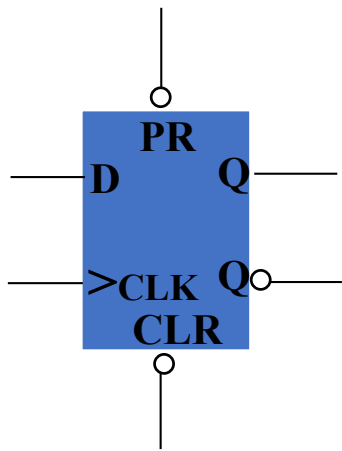
次态方程:  $Q^{n+1} = D$



| D | CLK        | Q /Q |
|---|------------|------|
| 0 | $\uparrow$ | 0 1  |
| 1 | $\uparrow$ | 1 0  |
| d | 0          | 保持不变 |
| d | 1          | 保持不变 |

| D | $Q^{n+1}$ |
|---|-----------|
| 0 | 0         |
| 1 | 1         |





| D | CLK          | Q    | /Q |
|---|--------------|------|----|
| 0 | $\downarrow$ | 0    | 1  |
| 1 | $\downarrow$ | 1    | 0  |
| d | 0            | 保持不变 |    |
| d | 1            | 保持不变 |    |

| D | $Q^{n+1}$ |
|---|-----------|
| 0 | 0         |
| 1 | 1         |

| Q \ D | 0 | 1 |
|-------|---|---|
|       | 0 | 1 |
| 0     | 0 | 1 |
| 1     | 0 | 1 |

次态方程:  $Q^{n+1} = D$

## 4.3 同步时序电路的分析方法

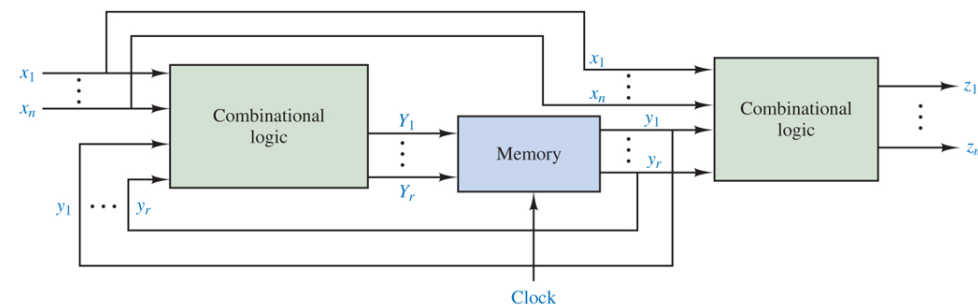
根据逻辑电路图得到反映时序电路工作特性的**状态表**及**状态图**。因此，分析工作从组合逻辑的分析着手：

(1) 列出激励函数及输出函数表达式：

激励函数 =  $G(\text{输入}, \text{现态})$

Mealy型输出 =  $F(\text{输入}, \text{现态})$

Moore型输出 =  $F(\text{现态})$



(2) 根据触发器的次态方程得到各状态变量的次态方程：

次态 =  $Q(\text{输入}, \text{现态})$

(3) 根据状态变量的次态方程填写二进制状态表。

(4) 根据输出表达式填写输出值到二进制状态表，得到二进制状态输出表。

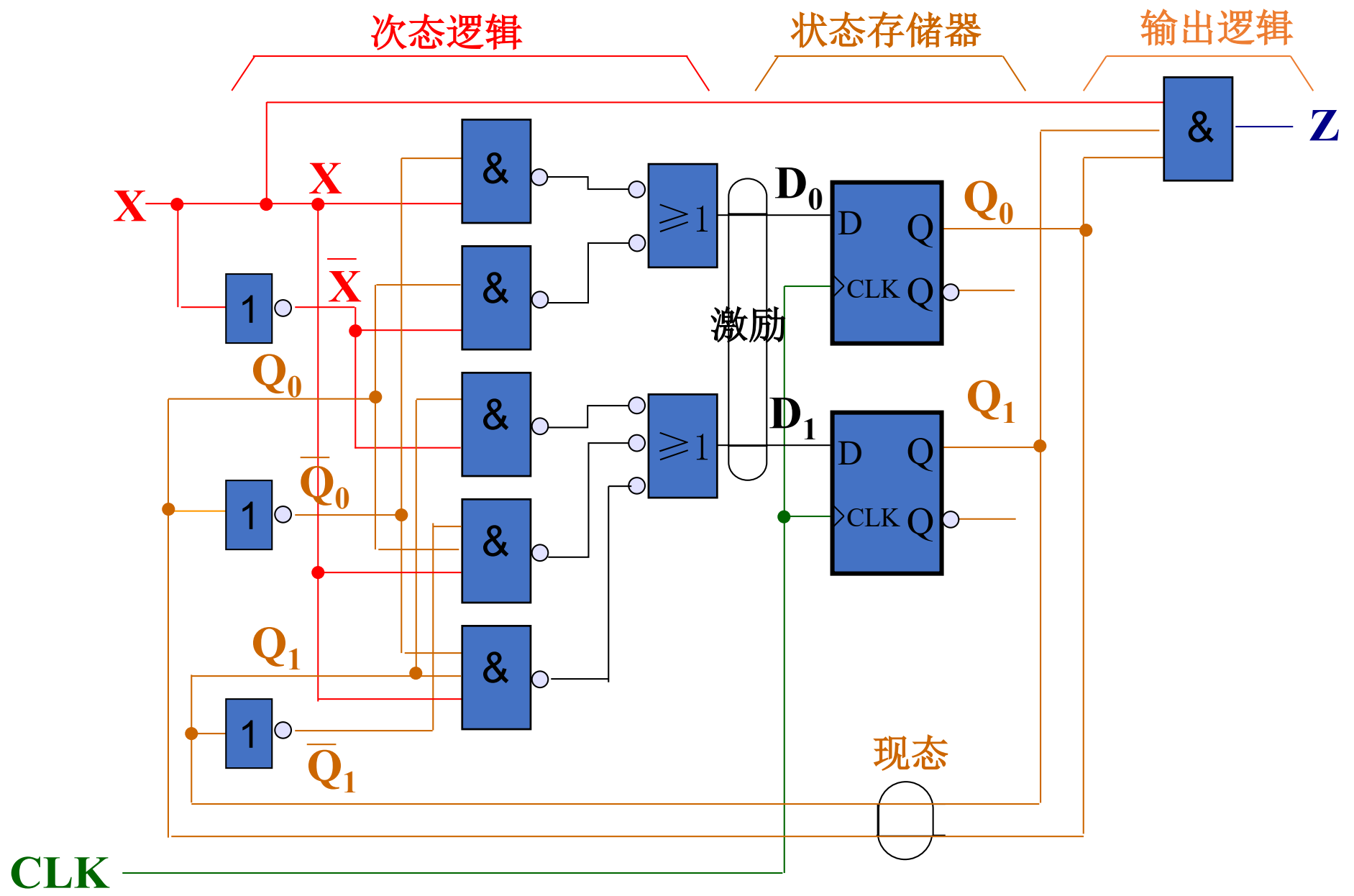
(5) 每一个状态分配一个字母状态名，从而得到状态输出表。

(6) 根据状态输出表，画出状态图。

(7) 电路特性描述，确定电路的逻辑功能。



例1、分析如图所示电路的特性。



(1) 列出激励函数及输出函数表达式

$$D_0 = X\bar{Q}_0 + \bar{X}Q_0$$

$$D_1 = \bar{X}Q_1 + X\bar{Q}_1Q_0 + XQ_1\bar{Q}_0$$

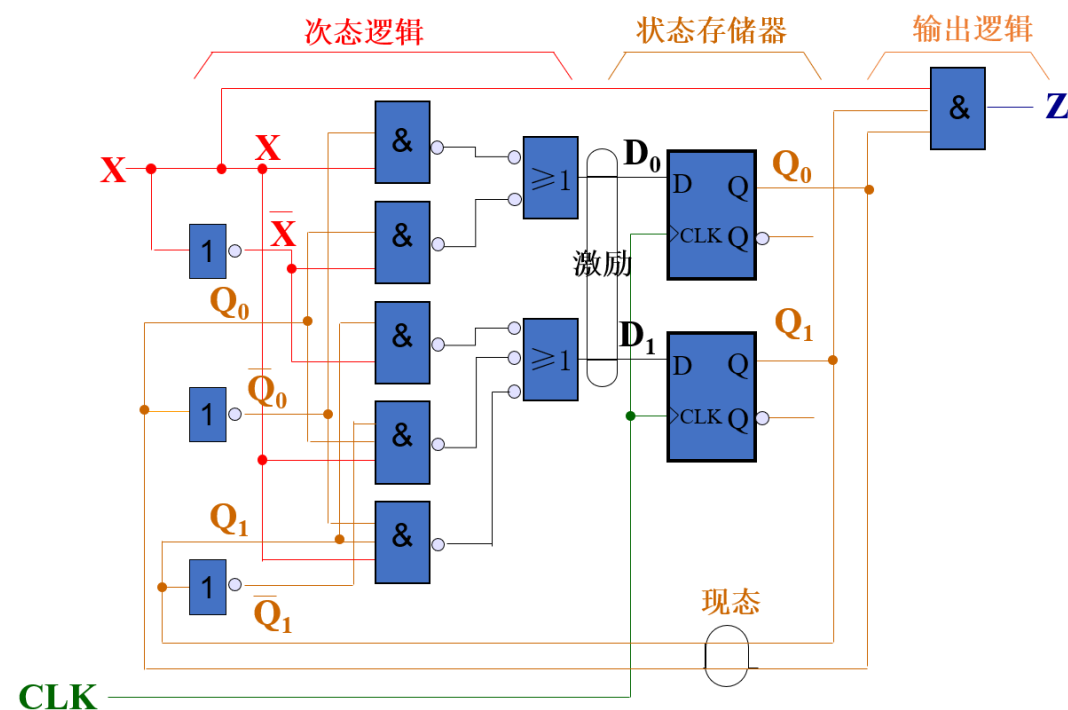
$$Z = XQ_1Q_0$$

(2) 写出各状态变量的次态方程

$$Q_0^{n+1} = D_0, \quad Q_1^{n+1} = D_1$$

$$Q_0^{n+1} = X\bar{Q}_0 + \bar{X}Q_0$$

$$Q_1^{n+1} = \bar{X}Q_1 + X\bar{Q}_1Q_0 + XQ_1\bar{Q}_0$$



用激励/转换表导出状态表：

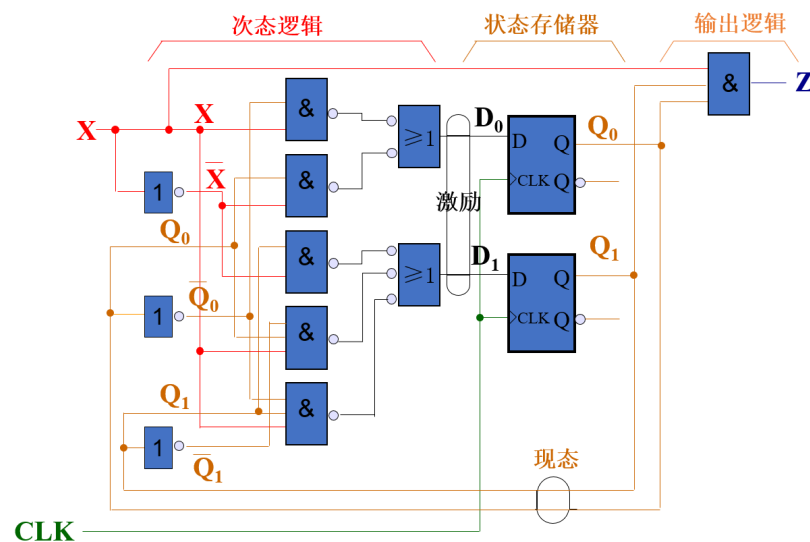
| $X$ | $Q_1$ | $Q_0$ | $D_1$ | $D_0$ | $Q_1^{n+1}$ | $Q_0^{n+1}$ | $Z$ |
|-----|-------|-------|-------|-------|-------------|-------------|-----|
| 0   | 0     | 0     | 0     | 0     | 0           | 0           | 0   |
| 0   | 0     | 1     | 0     | 1     | 0           | 1           | 0   |
| 0   | 1     | 0     | 1     | 0     | 1           | 0           | 0   |
| 0   | 1     | 1     | 1     | 1     | 1           | 1           | 0   |
| 1   | 0     | 0     | 0     | 1     | 0           | 1           | 0   |
| 1   | 0     | 1     | 1     | 0     | 1           | 0           | 0   |
| 1   | 1     | 0     | 1     | 1     | 1           | 1           | 0   |
| 1   | 1     | 1     | 0     | 0     | 0           | 0           | 1   |

$$D_0 = X\bar{Q}_0 + \bar{X}Q_0$$

$$D_1 = \bar{X}Q_1 + X\bar{Q}_1Q_0 + XQ_1\bar{Q}_0$$

$$Z = XQ_1Q_0$$

- ① 先填 D
- ② 再填  $Q^{n+1}$
- ③ 最后填 Z
- ④ 分析输入  $x$ 、现态  $Q$  与次态  $Q^{n+1}$ 、输出  $Z$  的关系



(3) 填写二进制状态表

$$Q_0^{n+1} = X\overline{Q_0} + \overline{X}Q_0$$
$$Q_1^{n+1} = \overline{X}Q_1 + X\overline{Q_1}Q_0 + XQ_1\overline{Q_0}$$

(4) 填写二进制状态输出表

$$Z = XQ_1Q_0$$

| $Q_1Q_0 \backslash X$ | X  |    |
|-----------------------|----|----|
|                       | 0  | 1  |
| 00                    | 00 | 01 |
| 01                    | 01 | 10 |
| 10                    | 10 | 11 |
| 11                    | 11 | 00 |

$Q_1^{n+1} \quad Q_0^{n+1}$

| $X \quad Q_1Q_0$ | $D_1 \quad D_0$ | $Q_1^{n+1} \quad Q_0^{n+1}$ | Z |
|------------------|-----------------|-----------------------------|---|
| 0 00             | 0 0             | 0 0                         | 0 |
| 0 01             | 0 1             | 0 1                         | 0 |
| 0 10             | 1 0             | 1 0                         | 0 |
| 0 11             | 1 1             | 1 1                         | 0 |
| 1 00             | 0 1             | 0 1                         | 0 |
| 1 01             | 1 0             | 1 0                         | 0 |
| 1 10             | 1 1             | 1 1                         | 0 |
| 1 11             | 0 0             | 0 0                         | 1 |

| $Q_1Q_0 \backslash X$ | X    |      |
|-----------------------|------|------|
|                       | 0    | 1    |
| 00                    | 00/0 | 01/0 |
| 01                    | 01/0 | 10/0 |
| 10                    | 10/0 | 11/0 |
| 11                    | 11/0 | 00/1 |

$Q_1^{n+1} \quad Q_0^{n+1} \quad /Z$

### (5) 写出状态/输出表

设定  $00 = A$ ,  $01 = B$ ,  $10 = C$ ,  $11 = D$ , 得到状态输出表

其中:  $S$ —现态  $S^{n+1}$ —次态

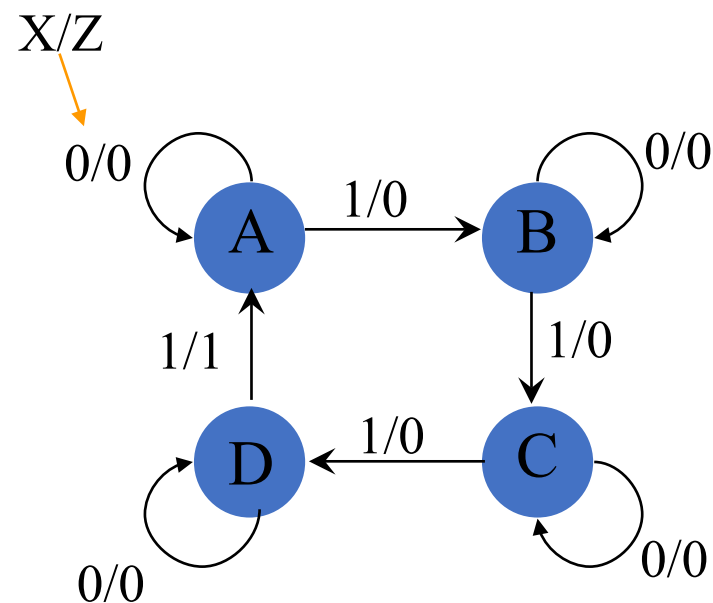
| X<br>$Q_1 Q_0$ |  | 0    |      |
|----------------|--|------|------|
|                |  | 0    | 1    |
| 00             |  | 00/0 | 01/0 |
| 01             |  | 01/0 | 10/0 |
| 10             |  | 10/0 | 11/0 |
| 11             |  | 11/0 | 00/1 |

$Q_1^{n+1} \quad Q_0^{n+1} \quad /Z$

状态/输出表

| X<br>S |  | 0   |     |
|--------|--|-----|-----|
|        |  | 0   | 1   |
| A      |  | A/0 | B/0 |
| B      |  | B/0 | C/0 |
| C      |  | C/0 | D/0 |
| D      |  | D/0 | A/1 |

$S^{n+1} \quad /Z$



状态图

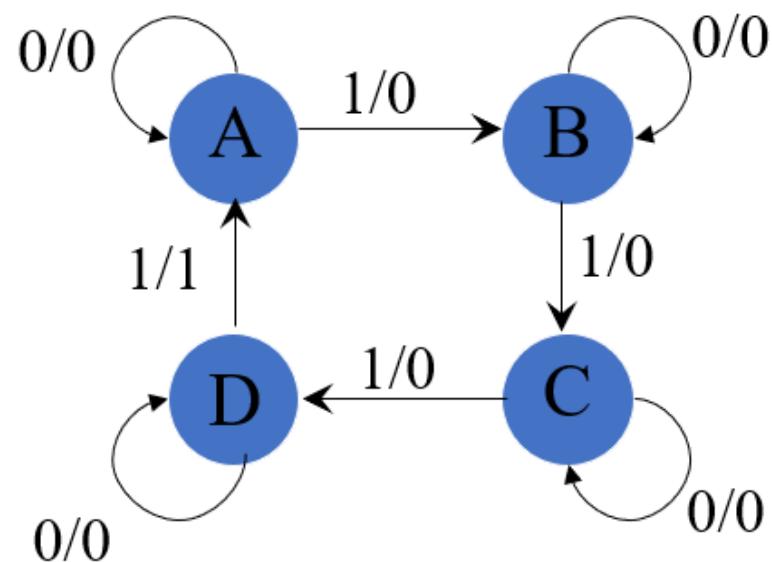
### (6) 根据状态输出表画出状态图

## (7) 电路特性描述

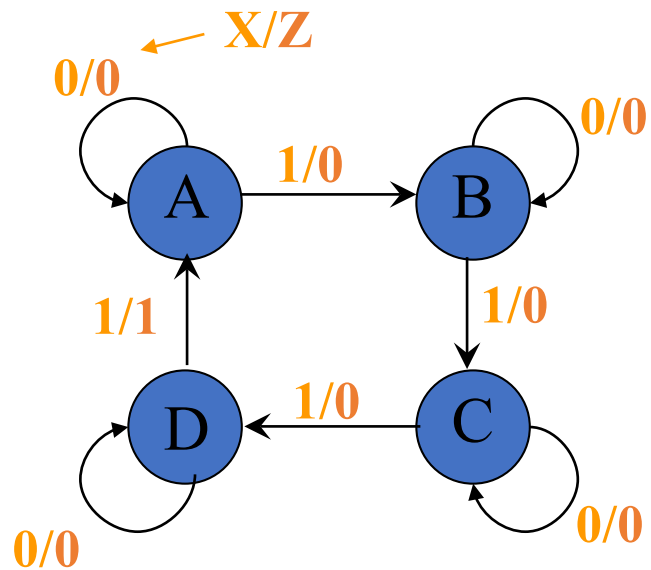
由状态图可看出，此电路功能为：当输入 4 个 “1” 时，输出为 1。

假设从初态 A 开始，输入 X 为：10110010，状态响应序列如下：

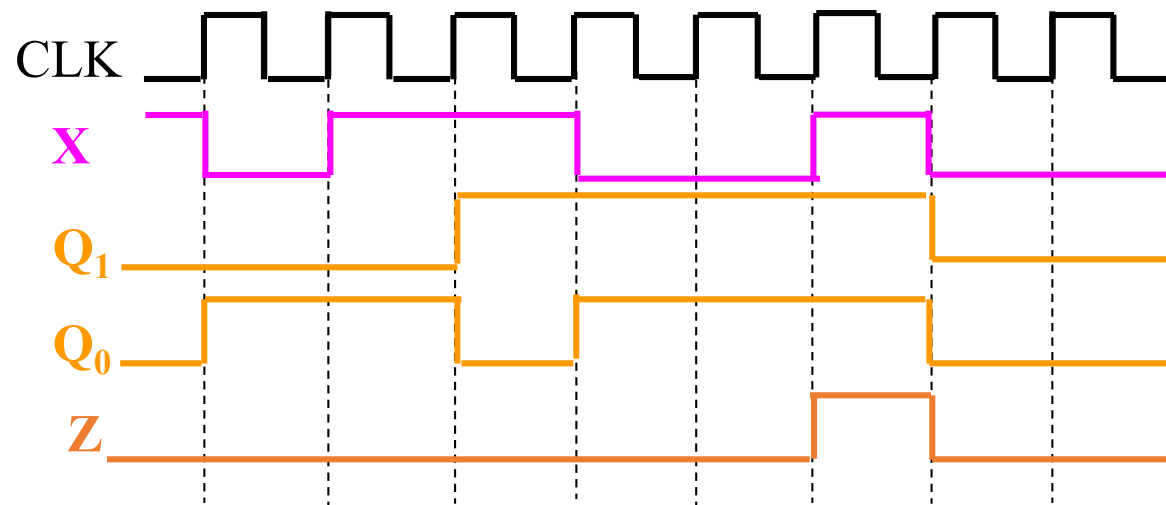
|                  |   |   |   |   |   |   |   |   |
|------------------|---|---|---|---|---|---|---|---|
| 时钟节拍             | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 |
| X                | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 |
| S                | A | B | B | C | D | D | D | A |
| S <sup>n+1</sup> | B | B | C | D | D | D | A | A |
| Z                | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |



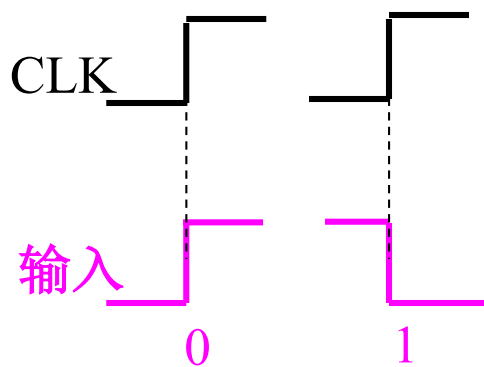
在上述分析中，没有考虑触发是前沿触发还是后沿触发，也没有考虑输入是脉冲还是电平。可根据逻辑电路中所用的触发器类型及输入信号说明，按照上述状态响应序列画出时序波形图。



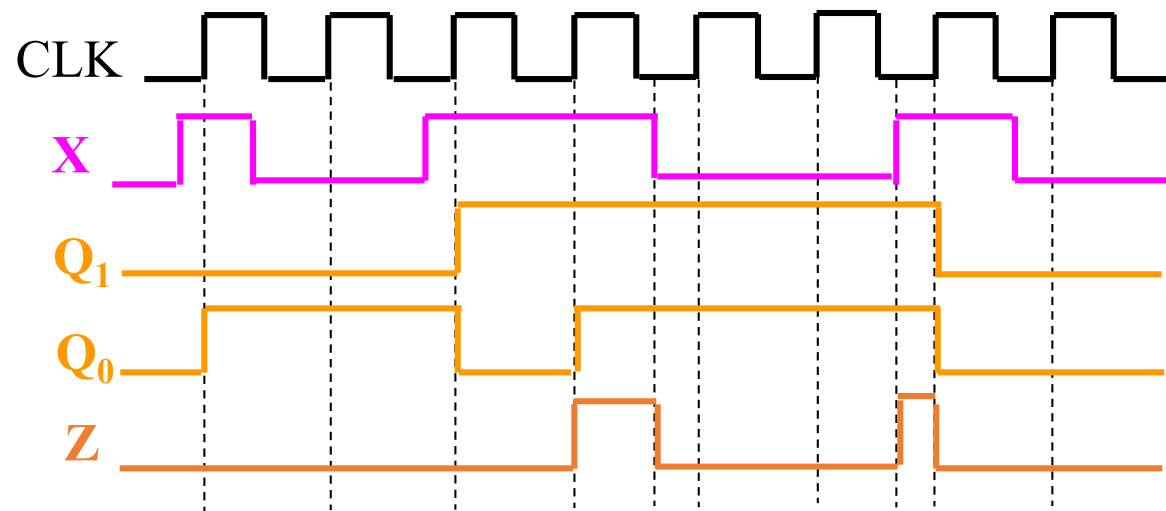
(a) 状态图



(e) 通常的电平输入时间图

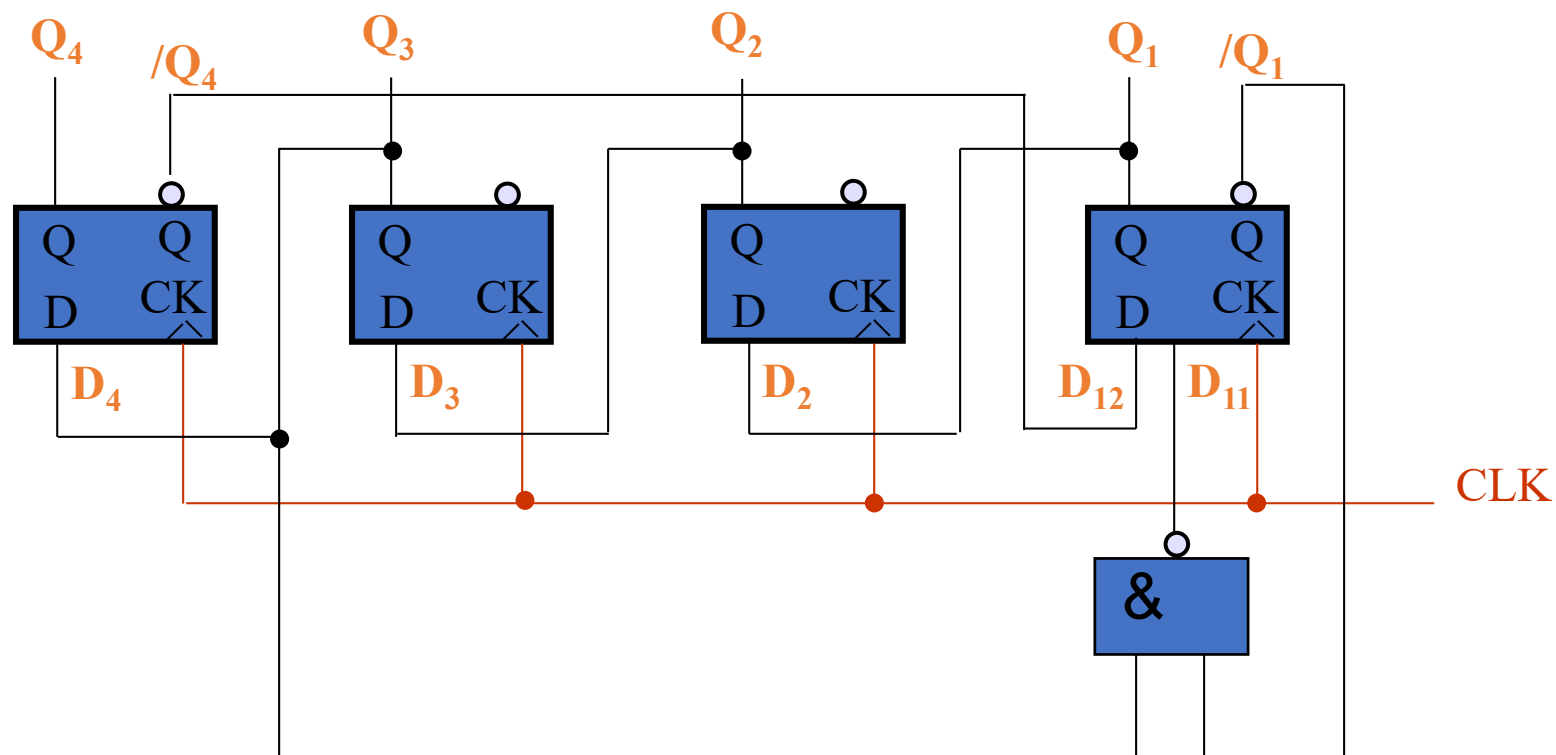


(d) 触发边沿与读值



(b) 电平输入的典型时间图

### 例3 分析如图所示电路的特性。



$$\mathbf{D}_1 = \mathbf{D}_{11} \bullet \mathbf{D}_{12}$$

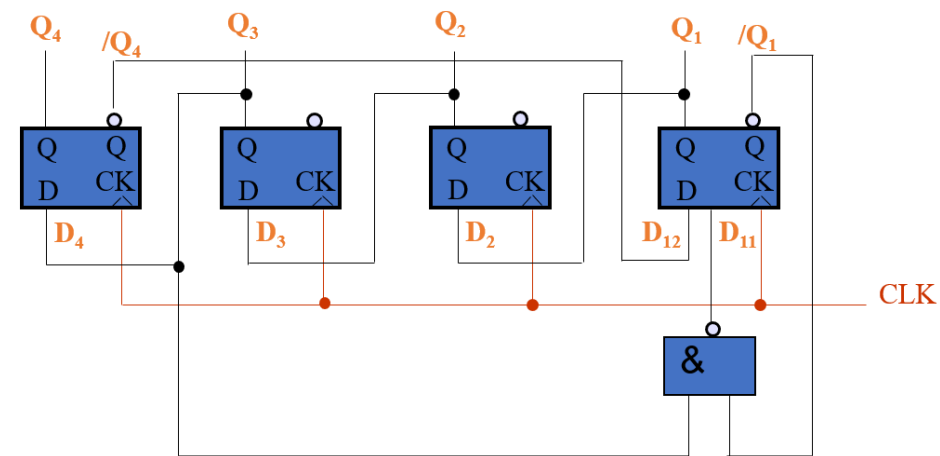


(1) 列出激励函数及输出函数表达式：

$$D_4 = Q_3 \quad D_3 = Q_2 \quad D_2 = Q_1$$

$$D_1 = D_{11} \cdot D_{12} = \overline{Q_4} \overline{Q_3} \overline{Q_1} = \overline{Q_4} \overline{Q_3} + \overline{Q_4} Q_1$$

电路的输出函数为：Q4、Q3、Q2、Q1。



(2) 列出状态变量的次态方程：

$$Q_4^{n+1} = D_4 = Q_3 \quad Q_3^{n+1} = D_3 = Q_2$$

$$Q_2^{n+1} = D_2 = Q_1$$

$$Q_1^{n+1} = D_1 = D_{11} \cdot D_{12} = \overline{Q_4} \overline{Q_3} + \overline{Q_4} Q_1$$

### (3) 列出电路次态真值表

| $Q_4$ | $Q_3$ | $Q_2$ | $Q_1$ | $Q_4^{n+1}$ | $Q_3^{n+1}$ | $Q_2^{n+1}$ | $Q_1^{n+1}$ |
|-------|-------|-------|-------|-------------|-------------|-------------|-------------|
| 0     | 0     | 0     | 0     | 0           | 0           | 0           | 1           |
| 0     | 0     | 0     | 1     | 0           | 0           | 1           | 1           |
| 0     | 0     | 1     | 0     | 0           | 1           | 0           | 1           |
| 0     | 0     | 1     | 1     | 0           | 1           | 1           | 1           |
| 0     | 1     | 0     | 0     | 1           | 0           | 0           | 0           |
| 0     | 1     | 0     | 1     | 1           | 0           | 1           | 1           |
| 0     | 1     | 1     | 0     | 1           | 1           | 0           | 0           |
| 0     | 1     | 1     | 1     | 1           | 1           | 1           | 1           |
| 1     | 0     | 0     | 0     | 0           | 0           | 0           | 0           |
| 1     | 0     | 0     | 1     | 0           | 0           | 1           | 0           |
| 1     | 0     | 1     | 0     | 0           | 1           | 0           | 0           |
| 1     | 0     | 1     | 1     | 0           | 1           | 1           | 0           |
| 1     | 1     | 0     | 0     | 1           | 0           | 0           | 0           |
| 1     | 1     | 0     | 1     | 1           | 0           | 1           | 0           |
| 1     | 1     | 1     | 0     | 1           | 1           | 0           | 0           |
| 1     | 1     | 1     | 1     | 1           | 1           | 1           | 0           |

(2) 次态方程:

$$Q_4^{n+1} = D_4 = Q_3$$

$$Q_3^{n+1} = D_3 = Q_2$$

$$Q_2^{n+1} = D_2 = Q_1$$

$$Q_1^{n+1} = \overline{Q_4} \overline{Q_3} + \overline{Q_4} Q_1$$

### (3) 列出电路次态真值表

| $Q_4$ | $Q_3$ | $Q_2$ | $Q_1$ | $Q_4^{n+1}$ | $Q_3^{n+1}$ | $Q_2^{n+1}$ | $Q_1^{n+1}$ |
|-------|-------|-------|-------|-------------|-------------|-------------|-------------|
| 0     | 0     | 0     | 0     | 0           | 0           | 0           | 1           |
| 0     | 0     | 0     | 1     | 0           | 0           | 1           | 1           |
| 0     | 0     | 1     | 0     | 0           | 1           | 0           | 1           |
| 0     | 0     | 1     | 1     | 0           | 1           | 1           | 1           |
| 0     | 1     | 0     | 0     | 1           | 0           | 0           | 0           |
| 0     | 1     | 0     | 1     | 1           | 0           | 1           | 1           |
| 0     | 1     | 1     | 0     | 1           | 1           | 0           | 0           |
| 0     | 1     | 1     | 1     | 1           | 1           | 1           | 1           |
| 1     | 0     | 0     | 0     | 0           | 0           | 0           | 0           |
| 1     | 0     | 0     | 1     | 0           | 0           | 1           | 0           |
| 1     | 0     | 1     | 0     | 0           | 1           | 0           | 0           |
| 1     | 0     | 1     | 1     | 0           | 1           | 1           | 0           |
| 1     | 1     | 0     | 0     | 1           | 0           | 0           | 0           |
| 1     | 1     | 0     | 1     | 1           | 0           | 1           | 0           |
| 1     | 1     | 1     | 0     | 1           | 1           | 0           | 0           |
| 1     | 1     | 1     | 1     | 1           | 1           | 1           | 0           |

### (4) 列出状态表和状态图

设状态  $0000 = S_0$

$0001 = S_1$

$0010 = S_2$

•

•

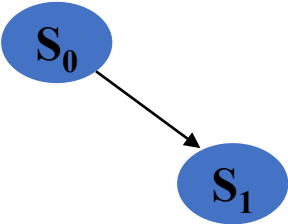
•

$1111 = S_{15}$

代入左表中，得到状态表

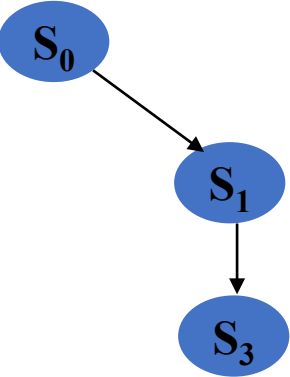
状态表

|  |       |       |       |       |       |          |          |          |       |       |          |          |          |          |          |          |
|--|-------|-------|-------|-------|-------|----------|----------|----------|-------|-------|----------|----------|----------|----------|----------|----------|
| $Q_4 Q_3$<br>$Q_2 Q_1$                         | $S_0$ | $S_1$ | $S_2$ | $S_3$ | $S_4$ | $S_5$    | $S_6$    | $S_7$    | $S_8$ | $S_9$ | $S_{10}$ | $S_{11}$ | $S_{12}$ | $S_{13}$ | $S_{14}$ | $S_{15}$ |
| $Q_4^{n+1} Q_3^{n+1}$<br>$Q_2^{n+1} Q_1^{n+1}$ | $S_1$ | $S_3$ | $S_5$ | $S_7$ | $S_8$ | $S_{11}$ | $S_{12}$ | $S_{15}$ | $S_0$ | $S_2$ | $S_4$    | $S_6$    | $S_8$    | $S_{10}$ | $S_{12}$ | $S_{14}$ |

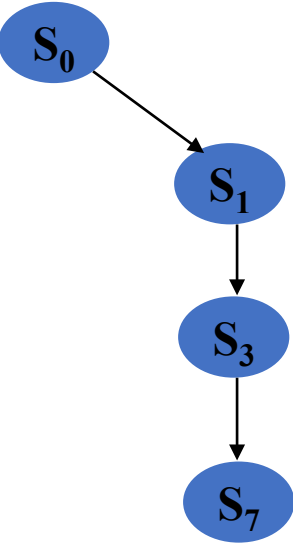


(c) 状态图

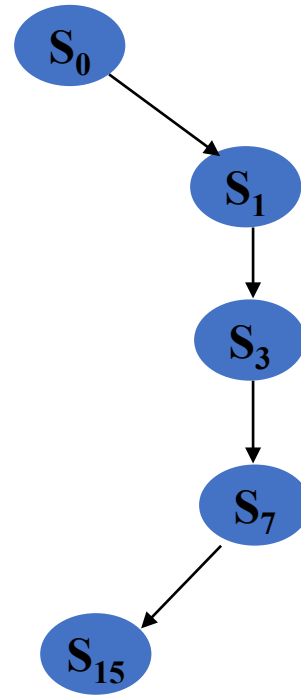
|  |       |       |       |       |       |          |          |          |       |       |          |          |          |          |          |          |
|--|-------|-------|-------|-------|-------|----------|----------|----------|-------|-------|----------|----------|----------|----------|----------|----------|
| $Q_4 Q_3$<br>$Q_2 Q_1$                         | $S_0$ | $S_1$ | $S_2$ | $S_3$ | $S_4$ | $S_5$    | $S_6$    | $S_7$    | $S_8$ | $S_9$ | $S_{10}$ | $S_{11}$ | $S_{12}$ | $S_{13}$ | $S_{14}$ | $S_{15}$ |
| $Q_4^{n+1} Q_3^{n+1}$<br>$Q_2^{n+1} Q_1^{n+1}$ | $S_1$ | $S_3$ | $S_5$ | $S_7$ | $S_8$ | $S_{11}$ | $S_{12}$ | $S_{15}$ | $S_0$ | $S_2$ | $S_4$    | $S_6$    | $S_8$    | $S_{10}$ | $S_{12}$ | $S_{14}$ |



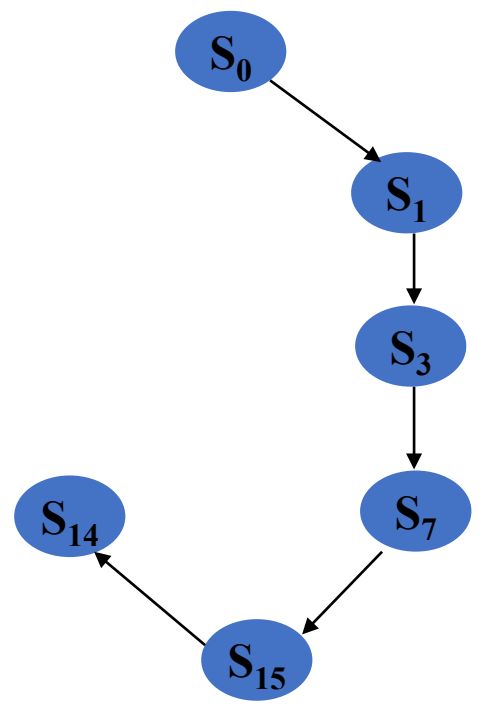
|  |       |       |       |       |       |          |          |          |       |       |          |          |          |          |          |          |
|--|-------|-------|-------|-------|-------|----------|----------|----------|-------|-------|----------|----------|----------|----------|----------|----------|
| $Q_4 Q_3$<br>$Q_2 Q_1$                         | $S_0$ | $S_1$ | $S_2$ | $S_3$ | $S_4$ | $S_5$    | $S_6$    | $S_7$    | $S_8$ | $S_9$ | $S_{10}$ | $S_{11}$ | $S_{12}$ | $S_{13}$ | $S_{14}$ | $S_{15}$ |
| $Q_4^{n+1} Q_3^{n+1}$<br>$Q_2^{n+1} Q_1^{n+1}$ | $S_1$ | $S_3$ | $S_5$ | $S_7$ | $S_8$ | $S_{11}$ | $S_{12}$ | $S_{15}$ | $S_0$ | $S_2$ | $S_4$    | $S_6$    | $S_8$    | $S_{10}$ | $S_{12}$ | $S_{14}$ |



|  |       |       |       |       |       |          |          |          |       |       |          |          |          |          |          |          |
|--|-------|-------|-------|-------|-------|----------|----------|----------|-------|-------|----------|----------|----------|----------|----------|----------|
| $Q_4 Q_3$<br>$Q_2 Q_1$                         | $S_0$ | $S_1$ | $S_2$ | $S_3$ | $S_4$ | $S_5$    | $S_6$    | $S_7$    | $S_8$ | $S_9$ | $S_{10}$ | $S_{11}$ | $S_{12}$ | $S_{13}$ | $S_{14}$ | $S_{15}$ |
| $Q_4^{n+1} Q_3^{n+1}$<br>$Q_2^{n+1} Q_1^{n+1}$ | $S_1$ | $S_3$ | $S_5$ | $S_7$ | $S_8$ | $S_{11}$ | $S_{12}$ | $S_{15}$ | $S_0$ | $S_2$ | $S_4$    | $S_6$    | $S_8$    | $S_{10}$ | $S_{12}$ | $S_{14}$ |

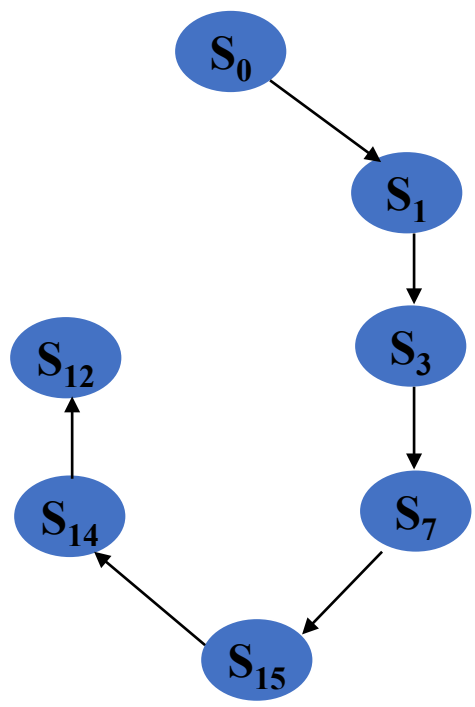


|  |       |       |       |       |       |          |          |          |       |       |          |          |          |          |          |          |
|--|-------|-------|-------|-------|-------|----------|----------|----------|-------|-------|----------|----------|----------|----------|----------|----------|
| $Q_4 Q_3$<br>$Q_2 Q_1$                         | $S_0$ | $S_1$ | $S_2$ | $S_3$ | $S_4$ | $S_5$    | $S_6$    | $S_7$    | $S_8$ | $S_9$ | $S_{10}$ | $S_{11}$ | $S_{12}$ | $S_{13}$ | $S_{14}$ | $S_{15}$ |
| $Q_4^{n+1} Q_3^{n+1}$<br>$Q_2^{n+1} Q_1^{n+1}$ | $S_1$ | $S_3$ | $S_5$ | $S_7$ | $S_8$ | $S_{11}$ | $S_{12}$ | $S_{15}$ | $S_0$ | $S_2$ | $S_4$    | $S_6$    | $S_8$    | $S_{10}$ | $S_{12}$ | $S_{14}$ |

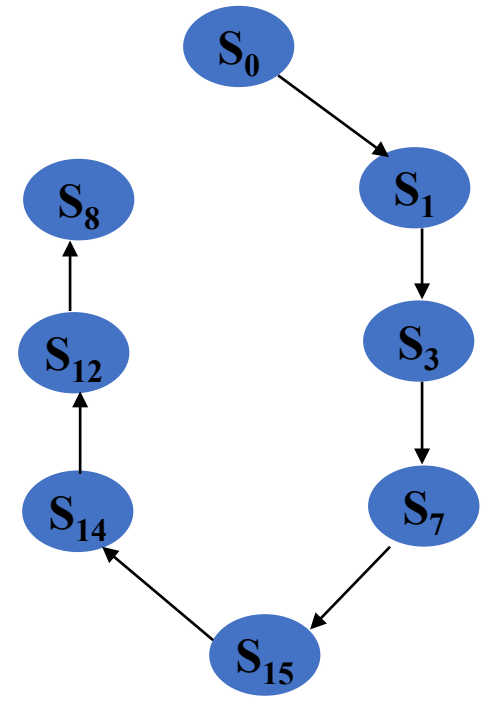




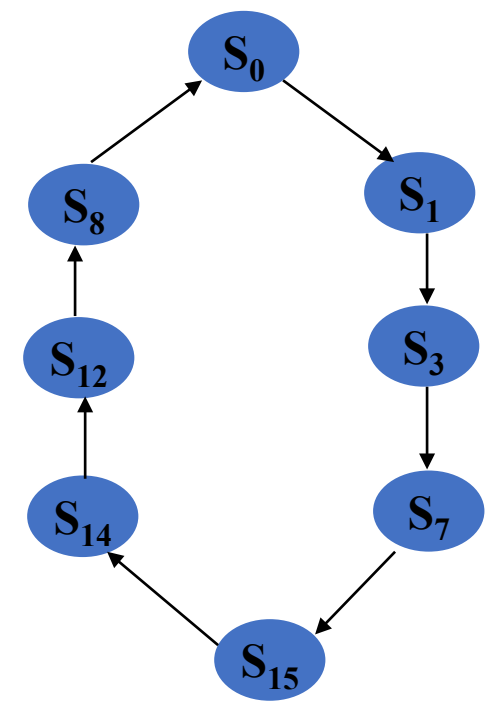
|  |       |       |       |       |       |          |          |          |       |       |          |          |          |          |          |          |
|--|-------|-------|-------|-------|-------|----------|----------|----------|-------|-------|----------|----------|----------|----------|----------|----------|
| $Q_4 Q_3$<br>$Q_2 Q_1$                         | $S_0$ | $S_1$ | $S_2$ | $S_3$ | $S_4$ | $S_5$    | $S_6$    | $S_7$    | $S_8$ | $S_9$ | $S_{10}$ | $S_{11}$ | $S_{12}$ | $S_{13}$ | $S_{14}$ | $S_{15}$ |
| $Q_4^{n+1} Q_3^{n+1}$<br>$Q_2^{n+1} Q_1^{n+1}$ | $S_1$ | $S_3$ | $S_5$ | $S_7$ | $S_8$ | $S_{11}$ | $S_{12}$ | $S_{15}$ | $S_0$ | $S_2$ | $S_4$    | $S_6$    | $S_8$    | $S_{10}$ | $S_{12}$ | $S_{14}$ |



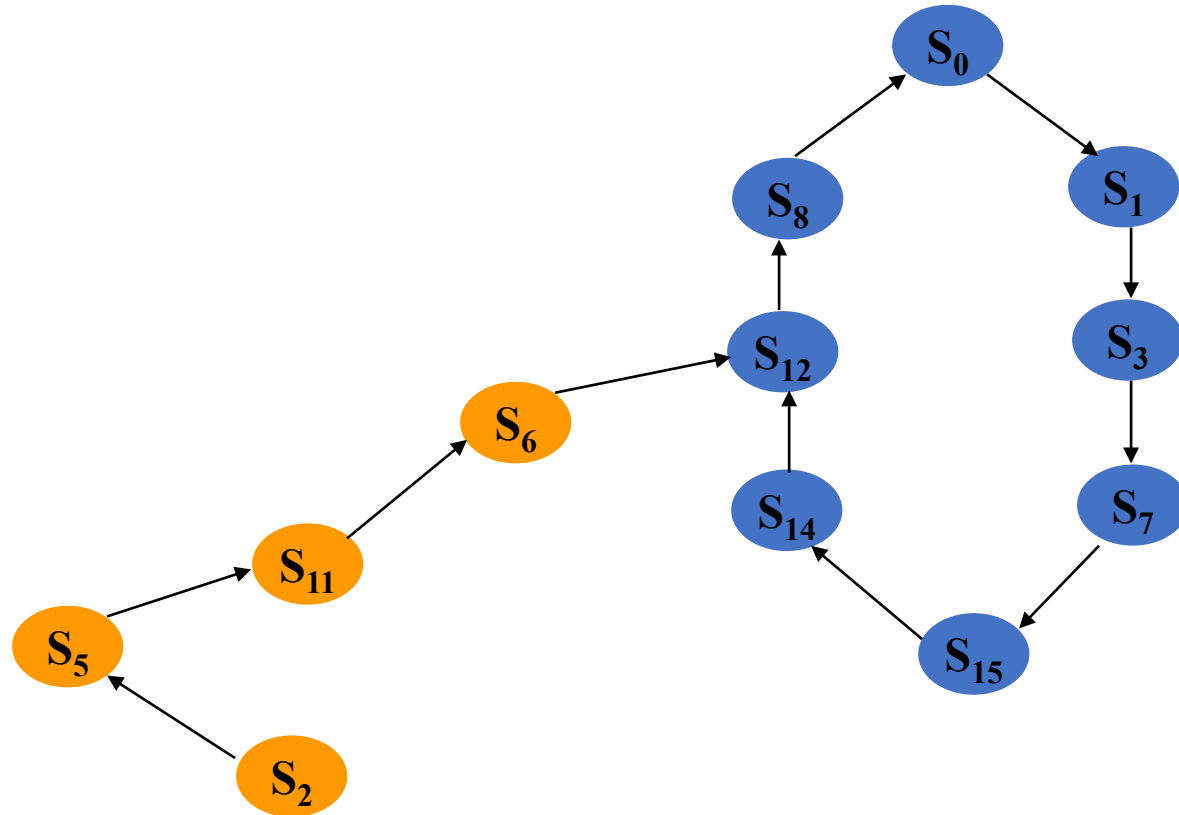
|  |       |       |       |       |       |          |          |          |       |       |          |          |          |          |          |          |
|--|-------|-------|-------|-------|-------|----------|----------|----------|-------|-------|----------|----------|----------|----------|----------|----------|
| $Q_4 Q_3$<br>$Q_2 Q_1$                         | $S_0$ | $S_1$ | $S_2$ | $S_3$ | $S_4$ | $S_5$    | $S_6$    | $S_7$    | $S_8$ | $S_9$ | $S_{10}$ | $S_{11}$ | $S_{12}$ | $S_{13}$ | $S_{14}$ | $S_{15}$ |
| $Q_4^{n+1} Q_3^{n+1}$<br>$Q_2^{n+1} Q_1^{n+1}$ | $S_1$ | $S_3$ | $S_5$ | $S_7$ | $S_8$ | $S_{11}$ | $S_{12}$ | $S_{15}$ | $S_0$ | $S_2$ | $S_4$    | $S_6$    | $S_8$    | $S_{10}$ | $S_{12}$ | $S_{14}$ |



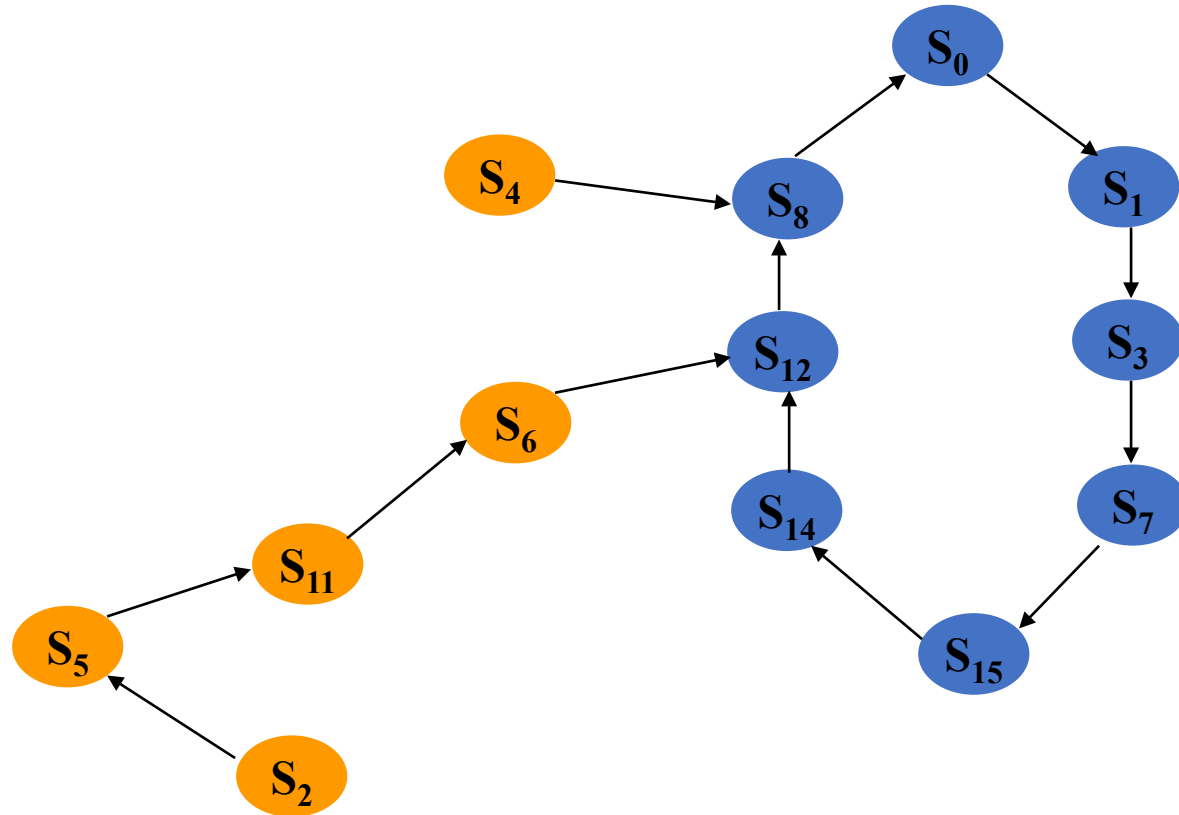
|  |       |       |       |       |       |          |          |          |       |       |          |          |          |          |          |          |
|--|-------|-------|-------|-------|-------|----------|----------|----------|-------|-------|----------|----------|----------|----------|----------|----------|
| $Q_4 Q_3$<br>$Q_2 Q_1$                         | $S_0$ | $S_1$ | $S_2$ | $S_3$ | $S_4$ | $S_5$    | $S_6$    | $S_7$    | $S_8$ | $S_9$ | $S_{10}$ | $S_{11}$ | $S_{12}$ | $S_{13}$ | $S_{14}$ | $S_{15}$ |
| $Q_4^{n+1} Q_3^{n+1}$<br>$Q_2^{n+1} Q_1^{n+1}$ | $S_1$ | $S_3$ | $S_5$ | $S_7$ | $S_8$ | $S_{11}$ | $S_{12}$ | $S_{15}$ | $S_0$ | $S_2$ | $S_4$    | $S_6$    | $S_8$    | $S_{10}$ | $S_{12}$ | $S_{14}$ |



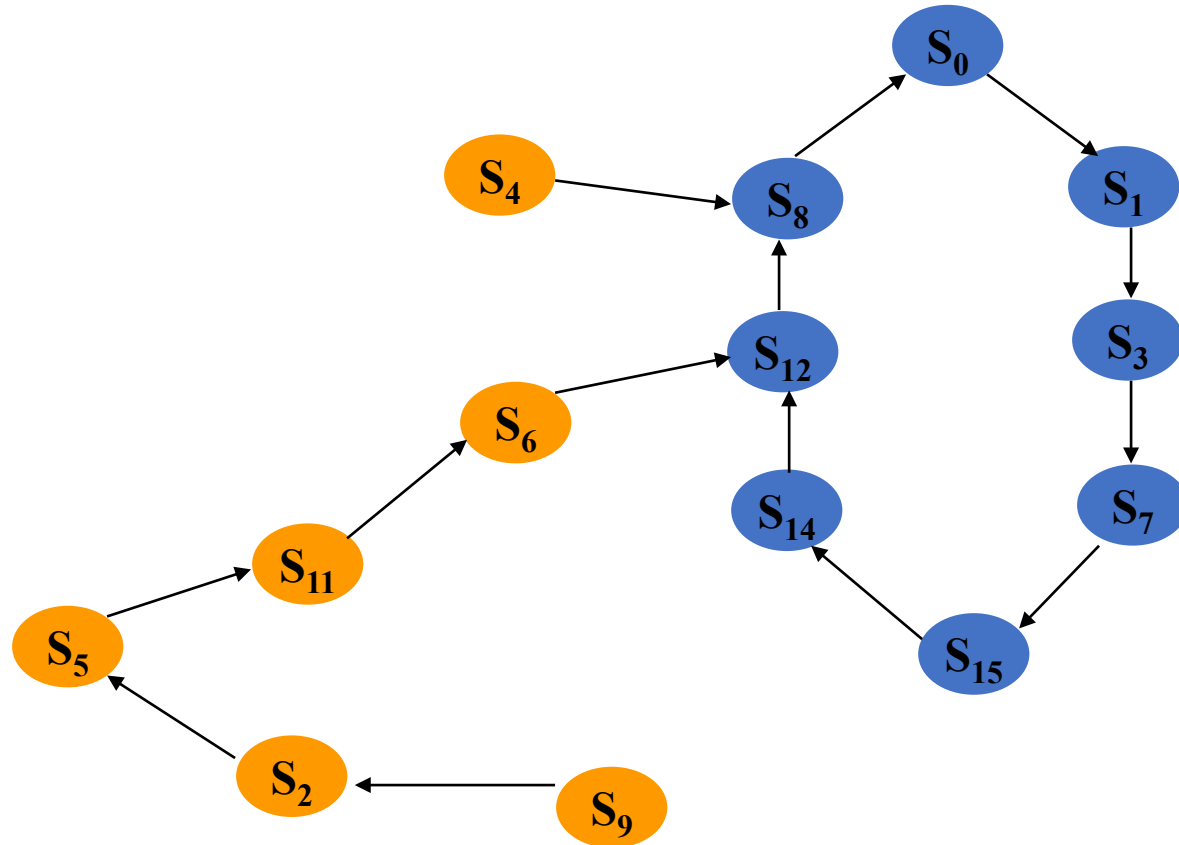
|  |       |       |       |       |       |          |          |          |       |       |          |          |          |          |          |          |
|--|-------|-------|-------|-------|-------|----------|----------|----------|-------|-------|----------|----------|----------|----------|----------|----------|
| $Q_4 Q_3$<br>$Q_2 Q_1$                         | $S_0$ | $S_1$ | $S_2$ | $S_3$ | $S_4$ | $S_5$    | $S_6$    | $S_7$    | $S_8$ | $S_9$ | $S_{10}$ | $S_{11}$ | $S_{12}$ | $S_{13}$ | $S_{14}$ | $S_{15}$ |
| $Q_4^{n+1} Q_3^{n+1}$<br>$Q_2^{n+1} Q_1^{n+1}$ | $S_1$ | $S_3$ | $S_5$ | $S_7$ | $S_8$ | $S_{11}$ | $S_{12}$ | $S_{15}$ | $S_0$ | $S_2$ | $S_4$    | $S_6$    | $S_8$    | $S_{10}$ | $S_{12}$ | $S_{14}$ |



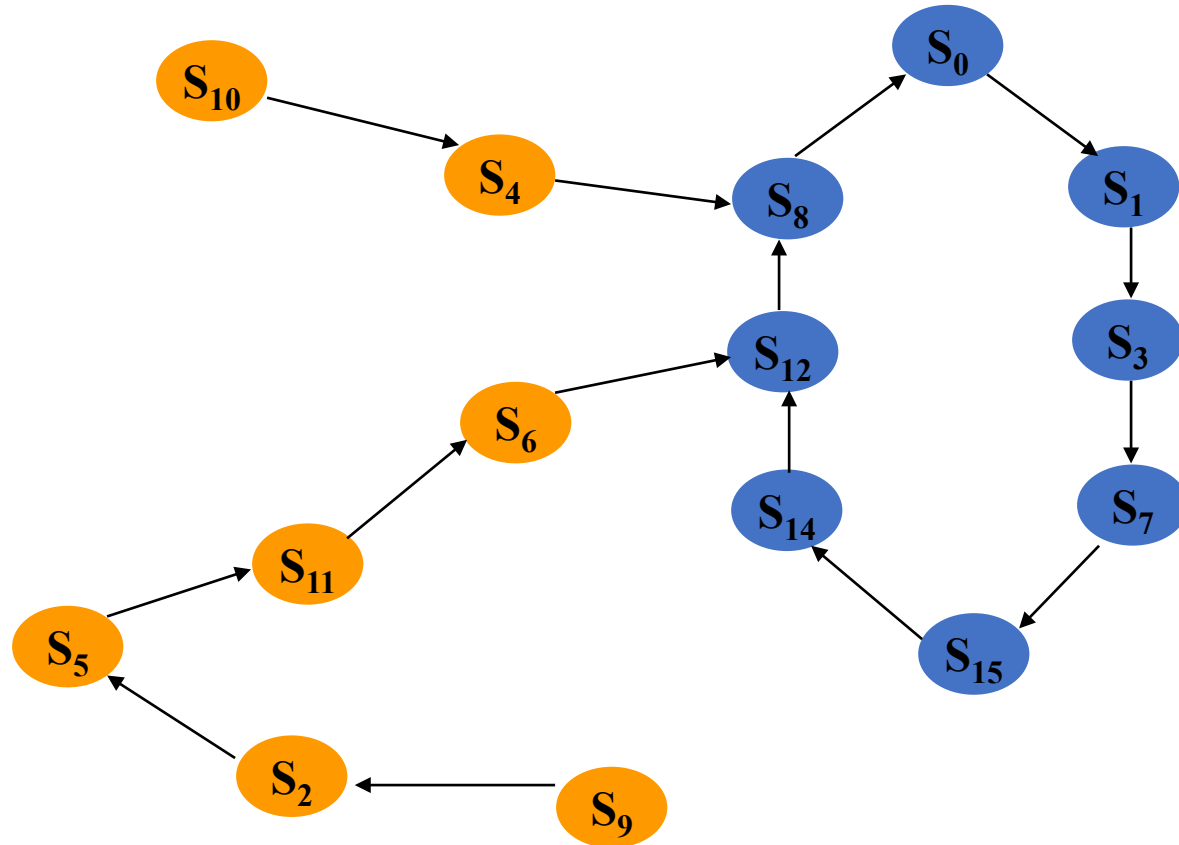
|  |       |       |       |       |       |          |          |          |       |       |          |          |          |          |          |          |
|--|-------|-------|-------|-------|-------|----------|----------|----------|-------|-------|----------|----------|----------|----------|----------|----------|
| $Q_4 Q_3$<br>$Q_2 Q_1$                         | $S_0$ | $S_1$ | $S_2$ | $S_3$ | $S_4$ | $S_5$    | $S_6$    | $S_7$    | $S_8$ | $S_9$ | $S_{10}$ | $S_{11}$ | $S_{12}$ | $S_{13}$ | $S_{14}$ | $S_{15}$ |
| $Q_4^{n+1} Q_3^{n+1}$<br>$Q_2^{n+1} Q_1^{n+1}$ | $S_1$ | $S_3$ | $S_5$ | $S_7$ | $S_8$ | $S_{11}$ | $S_{12}$ | $S_{15}$ | $S_0$ | $S_2$ | $S_4$    | $S_6$    | $S_8$    | $S_{10}$ | $S_{12}$ | $S_{14}$ |



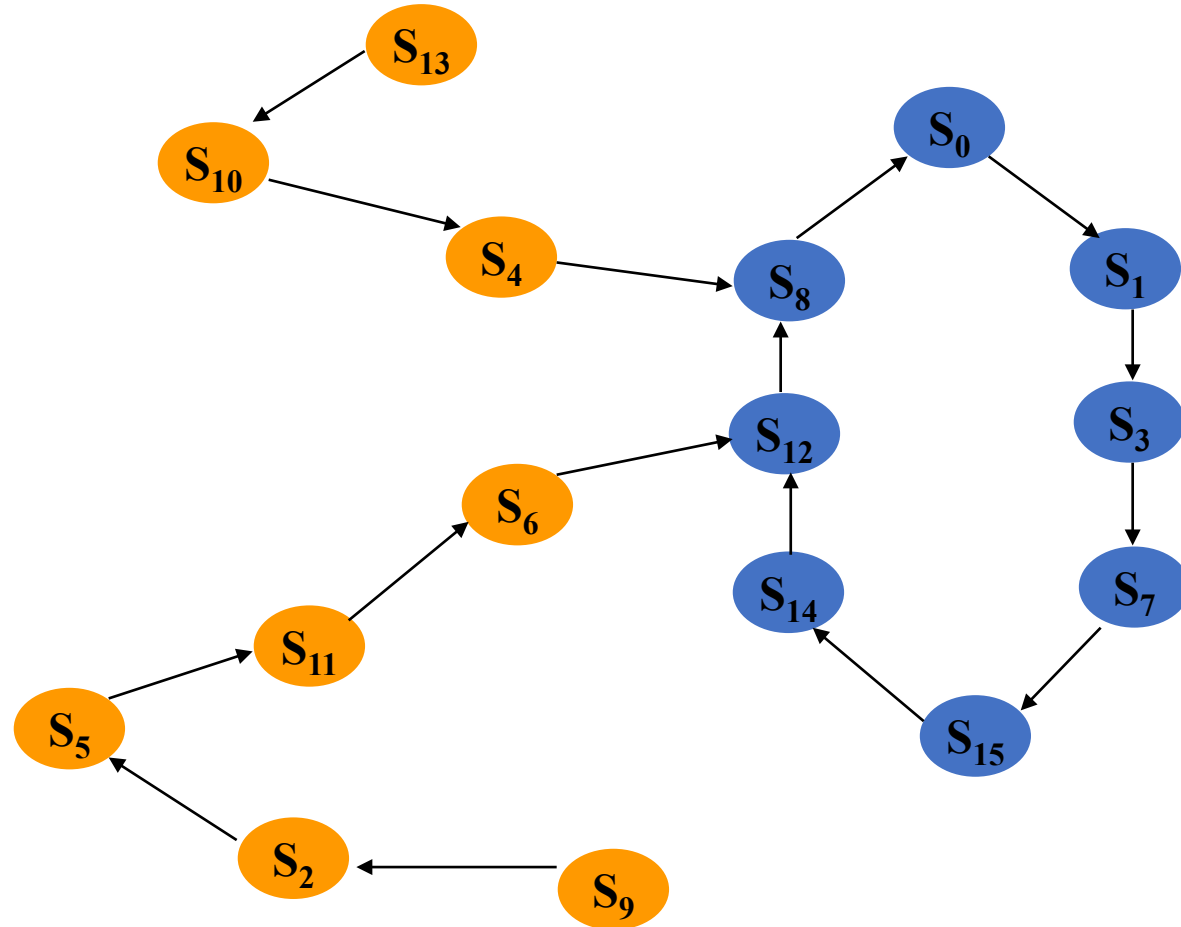
|  |       |       |       |       |       |          |          |          |       |       |          |          |          |          |          |          |
|--|-------|-------|-------|-------|-------|----------|----------|----------|-------|-------|----------|----------|----------|----------|----------|----------|
| $Q_4 Q_3$<br>$Q_2 Q_1$                         | $S_0$ | $S_1$ | $S_2$ | $S_3$ | $S_4$ | $S_5$    | $S_6$    | $S_7$    | $S_8$ | $S_9$ | $S_{10}$ | $S_{11}$ | $S_{12}$ | $S_{13}$ | $S_{14}$ | $S_{15}$ |
| $Q_4^{n+1} Q_3^{n+1}$<br>$Q_2^{n+1} Q_1^{n+1}$ | $S_1$ | $S_3$ | $S_5$ | $S_7$ | $S_8$ | $S_{11}$ | $S_{12}$ | $S_{15}$ | $S_0$ | $S_2$ | $S_4$    | $S_6$    | $S_8$    | $S_{10}$ | $S_{12}$ | $S_{14}$ |



|  |       |       |       |       |       |          |          |          |       |       |          |          |          |          |          |          |
|--|-------|-------|-------|-------|-------|----------|----------|----------|-------|-------|----------|----------|----------|----------|----------|----------|
| $Q_4 Q_3$<br>$Q_2 Q_1$                         | $S_0$ | $S_1$ | $S_2$ | $S_3$ | $S_4$ | $S_5$    | $S_6$    | $S_7$    | $S_8$ | $S_9$ | $S_{10}$ | $S_{11}$ | $S_{12}$ | $S_{13}$ | $S_{14}$ | $S_{15}$ |
| $Q_4^{n+1} Q_3^{n+1}$<br>$Q_2^{n+1} Q_1^{n+1}$ | $S_1$ | $S_3$ | $S_5$ | $S_7$ | $S_8$ | $S_{11}$ | $S_{12}$ | $S_{15}$ | $S_0$ | $S_2$ | $S_4$    | $S_6$    | $S_8$    | $S_{10}$ | $S_{12}$ | $S_{14}$ |



|  |       |       |       |       |       |          |          |          |       |       |          |          |          |          |          |          |
|--|-------|-------|-------|-------|-------|----------|----------|----------|-------|-------|----------|----------|----------|----------|----------|----------|
| $Q_4 Q_3$<br>$Q_2 Q_1$                         | $S_0$ | $S_1$ | $S_2$ | $S_3$ | $S_4$ | $S_5$    | $S_6$    | $S_7$    | $S_8$ | $S_9$ | $S_{10}$ | $S_{11}$ | $S_{12}$ | $S_{13}$ | $S_{14}$ | $S_{15}$ |
| $Q_4^{n+1} Q_3^{n+1}$<br>$Q_2^{n+1} Q_1^{n+1}$ | $S_1$ | $S_3$ | $S_5$ | $S_7$ | $S_8$ | $S_{11}$ | $S_{12}$ | $S_{15}$ | $S_0$ | $S_2$ | $S_4$    | $S_6$    | $S_8$    | $S_{10}$ | $S_{12}$ | $S_{14}$ |

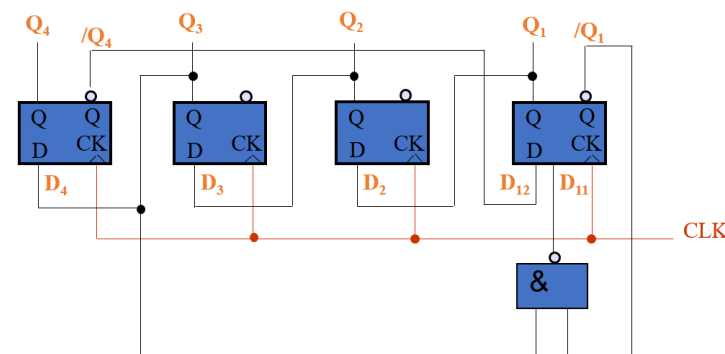
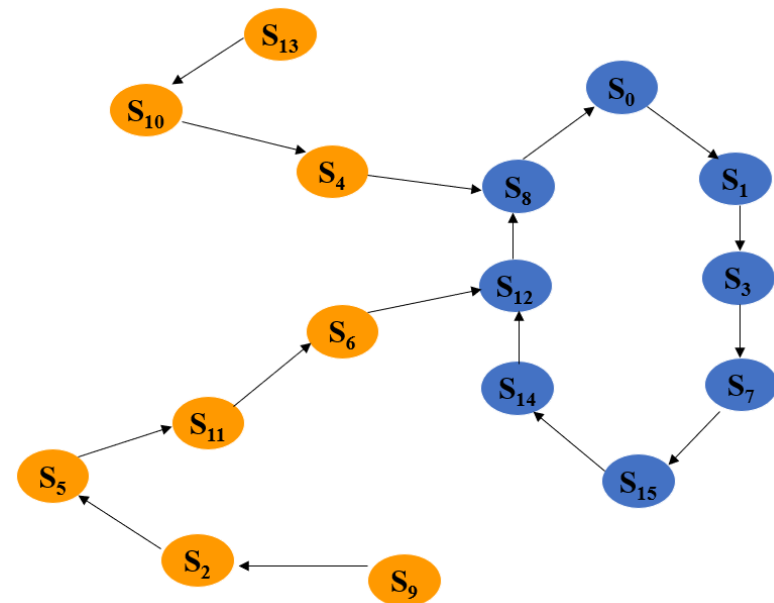
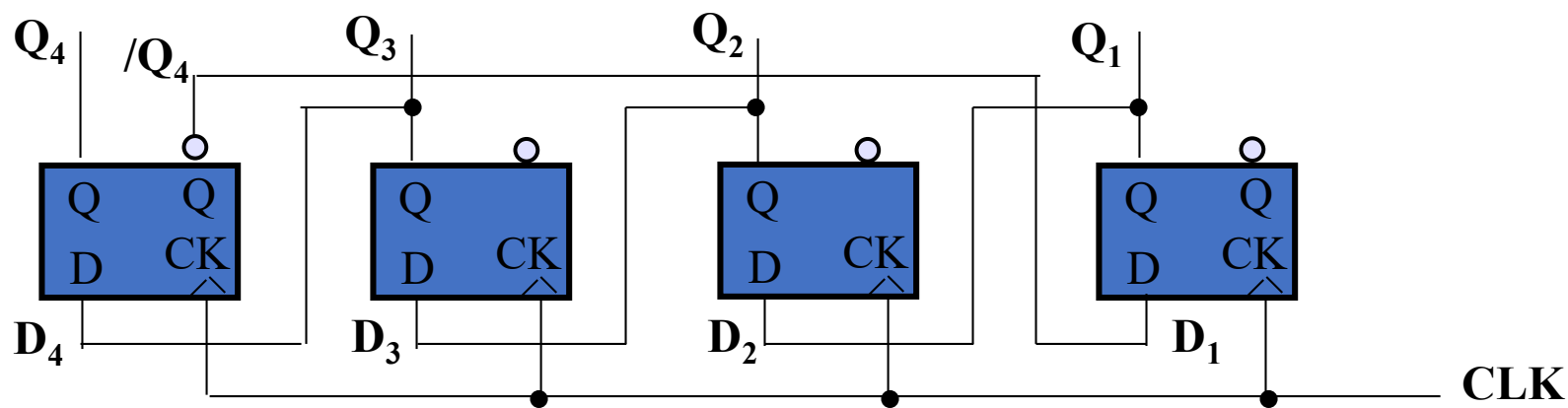




## (5) 电路特性描述：

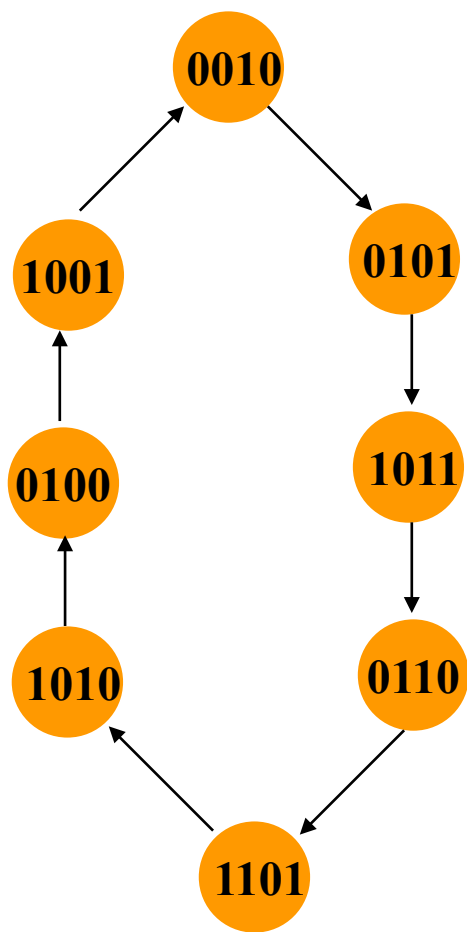
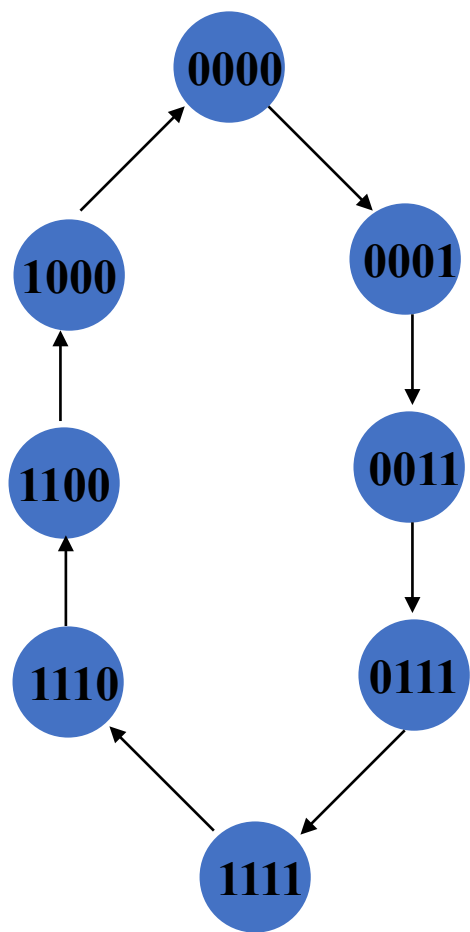
初始态为闭合环中某一状态，电路将按箭头方向在环内循环（模8步进码计数器），这8个状态称为“有效序列”。其他8个状态称为“无效序列”。这种电路称为格雷码计数器或 Johnson 计数器，也叫“自恢复扭环移位寄存器”。

如果将电路改动为： $D_1 = \overline{Q_4}$ ，电路如图所示：



状态图（左）的状态循环符合格雷码编码，为有效序列；右图中状态循环为无效序列。无效序列也是一个独立的闭合环。

若电路一旦进入无效序列就无法退出，此现象称为“挂起”。



## (6) 电路“挂起”的根本原因

若  $n$  个触发器所表示的  $2^n$  个状态没有全部都用作“有效状态”，则存在多余状态，在真值表中就会出现无关项。

## (7) 电路“挂起”现象的解决办法

采取强制措施，如：通过对触发器的置位或复位使电路状态处于有效序列状态之一；设计与此有关的控制线路，使电路状态进入有效序列状态之一，这种控制线路称为“校正网络”。

- ① 无效序列的次态无关项全部指向0。
- ② 打断一处“无效序列链”，令其指向有效序列。
- ③ 根据真值表和卡诺图研究无效序列的生成规律，改变最少触发器的输入网络，进行最简设计。

例：设计八进制步进码计数器。

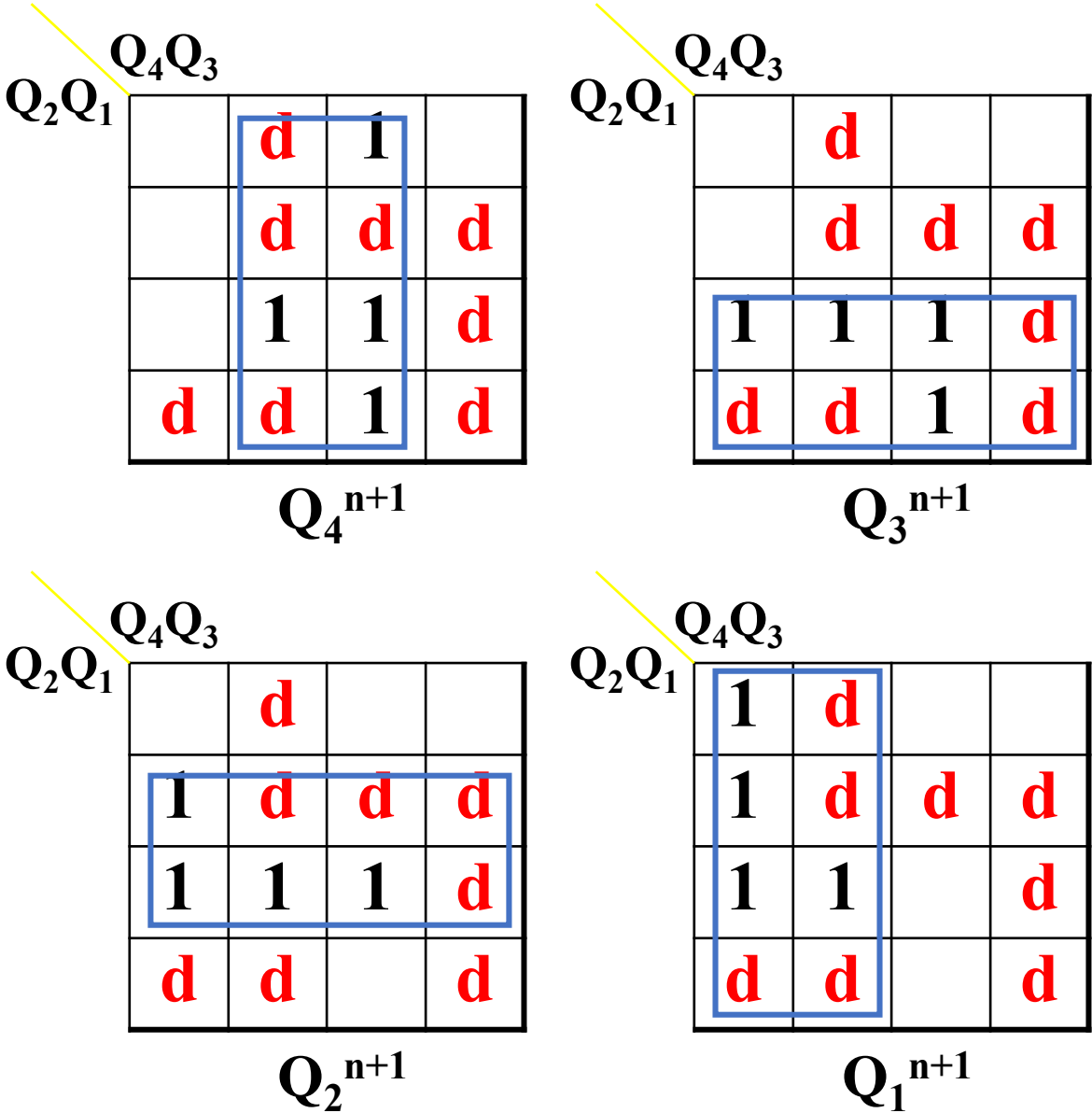
需要用 4 个触发器：  $Q_4, Q_3, Q_2, Q_1$

构成的 16 个组合中：8 个有效码、8 个无效码(无关项)

第一步：列出次态真值表，如右表所示。

| $Q_4$ | $Q_3$ | $Q_2$ | $Q_1$ | $Q_4^{n+1}$ | $Q_3^{n+1}$ | $Q_2^{n+1}$ | $Q_1^{n+1}$ |
|-------|-------|-------|-------|-------------|-------------|-------------|-------------|
| 0     | 0     | 0     | 0     | 0           | 0           | 0           | 1           |
| 0     | 0     | 0     | 1     | 0           | 0           | 1           | 1           |
| 0     | 0     | 1     | 0     | d           | d           | d           | d           |
| 0     | 0     | 1     | 1     | 0           | 1           | 1           | 1           |
| 0     | 1     | 0     | 0     | d           | d           | d           | d           |
| 0     | 1     | 0     | 1     | d           | d           | d           | d           |
| 0     | 1     | 1     | 0     | d           | d           | d           | d           |
| 0     | 1     | 1     | 1     | 1           | 1           | 1           | 1           |
| 1     | 0     | 0     | 0     | 0           | 0           | 0           | 0           |
| 1     | 0     | 0     | 1     | d           | d           | d           | d           |
| 1     | 0     | 1     | 0     | d           | d           | d           | d           |
| 1     | 0     | 1     | 1     | d           | d           | d           | d           |
| 1     | 1     | 0     | 0     | 1           | 0           | 0           | 0           |
| 1     | 1     | 0     | 1     | d           | d           | d           | d           |
| 1     | 1     | 1     | 0     | 1           | 1           | 0           | 0           |
| 1     | 1     | 1     | 1     | 1           | 1           | 1           | 0           |

第二步：根据次态真值表，画出计数器的卡诺图。



第三步：

$$Q_4^{n+1} = Q_3$$

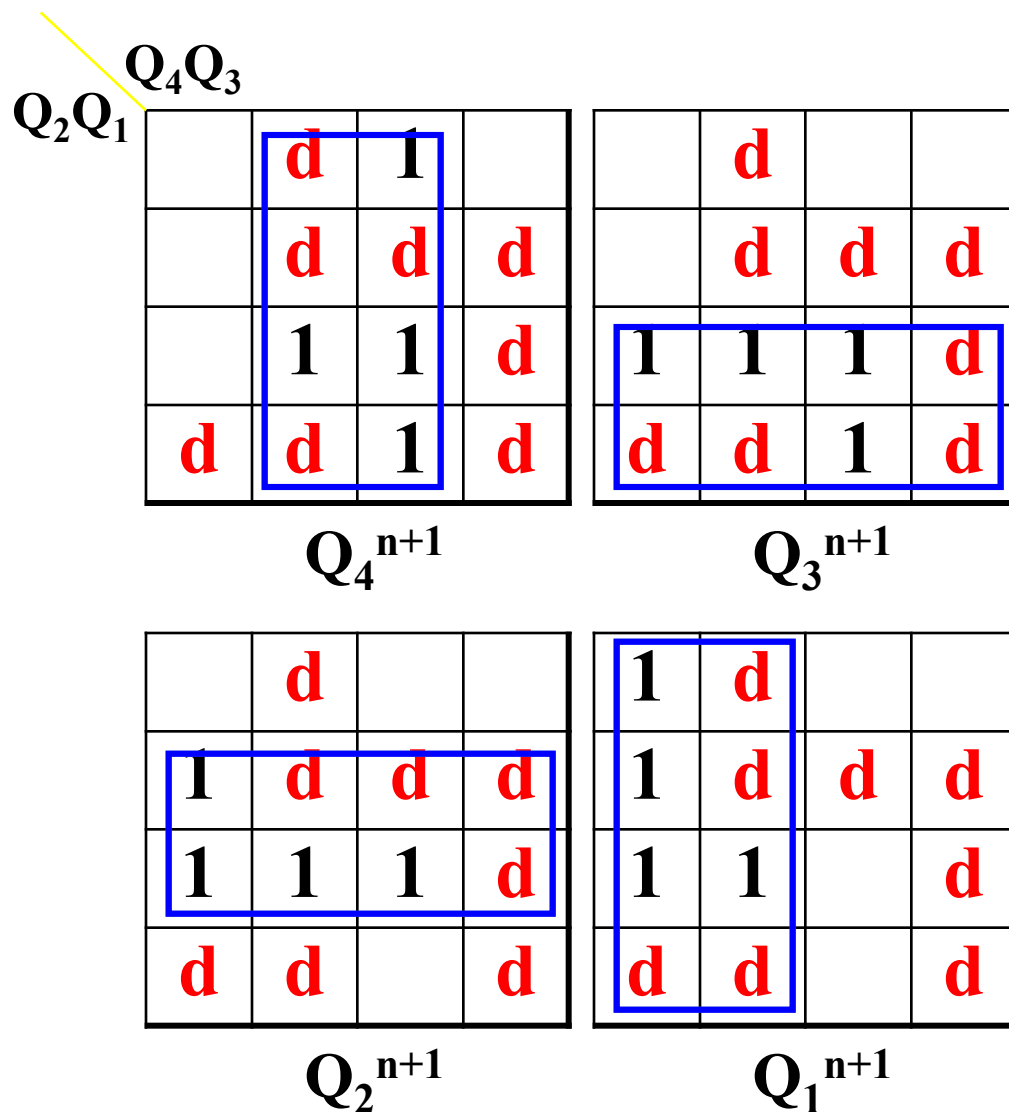
$$Q_3^{n+1} = Q_2$$

$$Q_2^{n+1} = Q_1$$

$$Q_1^{n+1} = Q_4$$

| $Q_4$ | $Q_3$ | $Q_2$ | $Q_1$ | $Q_4^{n+1}$ | $Q_3^{n+1}$ | $Q_2^{n+1}$ | $Q_1^{n+1}$ |
|-------|-------|-------|-------|-------------|-------------|-------------|-------------|
| 0     | 0     | 0     | 0     | 0           | 0           | 0           | 1           |
| 0     | 0     | 0     | 1     | 0           | 0           | 1           | 1           |
| 0     | 0     | 1     | 0     | d           | d           | d           | d           |
| 0     | 0     | 1     | 1     | 0           | 1           | 1           | 1           |
| 0     | 1     | 0     | 0     | d           | d           | d           | d           |
| 0     | 1     | 0     | 1     | d           | d           | d           | d           |
| 0     | 1     | 1     | 0     | d           | d           | d           | d           |
| 0     | 1     | 1     | 1     | 1           | 1           | 1           | 1           |
| 1     | 0     | 0     | 0     | 0           | 0           | 0           | 0           |
| 1     | 0     | 0     | 1     | d           | d           | d           | d           |
| 1     | 0     | 1     | 0     | d           | d           | d           | d           |
| 1     | 0     | 1     | 1     | d           | d           | d           | d           |
| 1     | 1     | 0     | 0     | 1           | 0           | 0           | 0           |
| 1     | 1     | 0     | 1     | d           | d           | d           | d           |
| 1     | 1     | 1     | 0     | 1           | 1           | 0           | 0           |
| 1     | 1     | 1     | 1     | 1           | 1           | 1           | 0           |

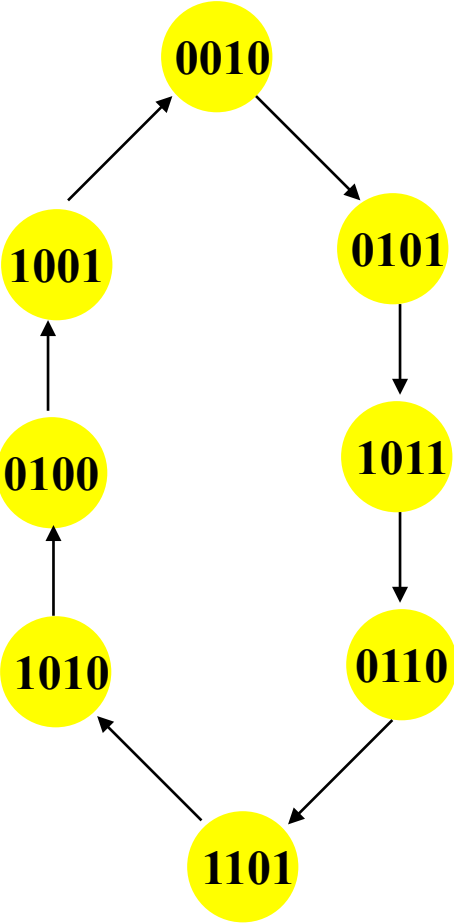
第四步：根据卡诺图确定次态真值表的无关项。



| $Q_4Q_3Q_2Q_1$ |   |   |   | $Q_4^{n+1}Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}$ |   |   |   |
|----------------|---|---|---|--|---|---|---|
| 0              | 0 | 0 | 0 | 0                                      | 0 | 0 | 1 |
| 0              | 0 | 0 | 1 | 0                                      | 0 | 1 | 1 |
| 0              | 0 | 1 | 0 | 0                                      | 1 | 0 | 1 |
| 0              | 0 | 1 | 1 | 0                                      | 1 | 1 | 1 |
| 0              | 1 | 0 | 0 | 1                                      | 0 | 0 | 1 |
| 0              | 1 | 0 | 1 | 1                                      | 0 | 1 | 1 |
| 0              | 1 | 1 | 0 | 1                                      | 1 | 0 | 1 |
| 0              | 1 | 1 | 1 | 1                                      | 1 | 1 | 1 |
| 1              | 0 | 0 | 0 | 0                                      | 0 | 0 | 0 |
| 1              | 0 | 0 | 1 | 0                                      | 0 | 1 | 0 |
| 1              | 0 | 1 | 0 | 0                                      | 1 | 0 | 0 |
| 1              | 0 | 1 | 1 | 0                                      | 1 | 1 | 0 |
| 1              | 1 | 0 | 0 | 1                                      | 0 | 0 | 0 |
| 1              | 1 | 0 | 1 | 1                                      | 0 | 1 | 0 |
| 1              | 1 | 1 | 0 | 1                                      | 1 | 0 | 0 |
| 1              | 1 | 1 | 1 | 1                                      | 1 | 1 | 0 |

第五步：分析存在挂起现象的状态表和状态图。

无效序列：



| $Q_4Q_3Q_2Q_1$ |   |   |   | $Q_4^{n+1}Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}$ |   |   |   |
|----------------|---|---|---|--|---|---|---|
| 0              | 0 | 0 | 0 | 0                                      | 0 | 0 | 1 |
| 0              | 0 | 0 | 1 | 0                                      | 0 | 1 | 1 |
| 0              | 0 | 1 | 0 | 0                                      | 1 | 0 | 1 |
| 0              | 0 | 1 | 1 | 0                                      | 1 | 1 | 1 |
| 0              | 1 | 0 | 0 | 1                                      | 0 | 0 | 1 |
| 0              | 1 | 0 | 1 | 1                                      | 0 | 1 | 1 |
| 0              | 1 | 1 | 0 | 1                                      | 1 | 0 | 1 |
| 0              | 1 | 1 | 1 | 1                                      | 1 | 1 | 1 |
| 1              | 0 | 0 | 0 | 0                                      | 0 | 0 | 0 |
| 1              | 0 | 0 | 1 | 0                                      | 0 | 1 | 0 |
| 1              | 0 | 1 | 0 | 0                                      | 1 | 0 | 0 |
| 1              | 0 | 1 | 1 | 0                                      | 1 | 1 | 0 |
| 1              | 1 | 0 | 0 | 1                                      | 0 | 0 | 0 |
| 1              | 1 | 0 | 1 | 1                                      | 0 | 1 | 0 |
| 1              | 1 | 1 | 0 | 1                                      | 1 | 0 | 0 |
| 1              | 1 | 1 | 1 | 1                                      | 1 | 1 | 0 |

## 第六步：解决挂起问题

试改变触发器 $Q_1$ 的输入控制函数D来解决挂起问题。

可改变的只是 $Q_1$ 输入端的原无关项部分，而且并不是改变每个无关项都能完全解决“挂起”问题。能解决挂起问题的是“\*”部分。

并不要求把所有“\*”的部分都改变，那么应当改哪些最好？

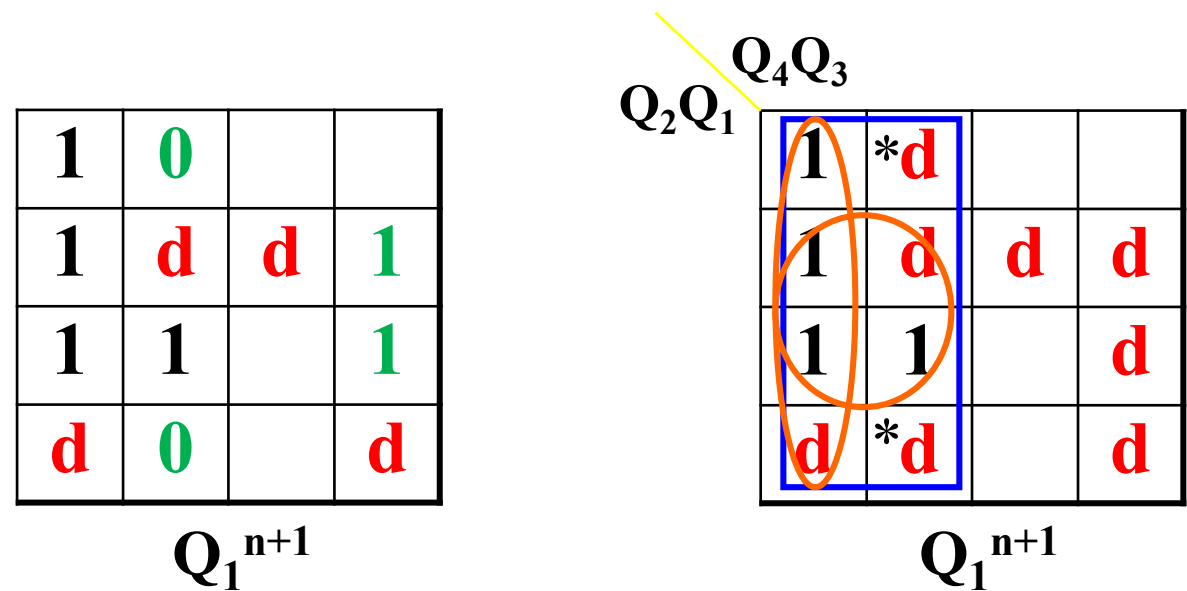
根据卡诺图来判断。

| Q <sub>4</sub> Q <sub>3</sub> Q <sub>2</sub> Q <sub>1</sub> |   |   |   | Q <sub>4</sub> <sup>n+1</sup> Q <sub>3</sub> <sup>n+1</sup><br>Q <sub>2</sub> <sup>n+1</sup> Q <sub>1</sub> <sup>n+1</sup> |   |   |   |   |
|---|---|---|---|--|---|---|---|---|
| 0   | 0 | 0 | 0 | 0  | 0 | 0 | 1 |   |
| 0   | 0 | 0 | 1 | 0  | 0 | 1 | 1 |   |
| 0   | 0 | 1 | 0 | 0  | 1 | 0 | 1 |   |
| 0   | 0 | 1 | 1 | 0  | 1 | 1 | 1 |   |
| 0   | 1 | 0 | 0 | 1  | 0 | 0 | 1 | * |
| 0   | 1 | 0 | 1 | 1  | 0 | 1 | 1 |   |
| 0   | 1 | 1 | 0 | 1  | 1 | 0 | 1 | * |
| 0   | 1 | 1 | 1 | 1  | 1 | 1 | 1 |   |
| 1   | 0 | 0 | 0 | 0  | 0 | 0 | 0 |   |
| 1   | 0 | 0 | 1 | 0  | 0 | 1 | 0 | * |
| 1   | 0 | 1 | 0 | 0  | 1 | 0 | 0 |   |
| 1   | 0 | 1 | 1 | 0  | 1 | 1 | 0 | * |
| 1   | 1 | 0 | 0 | 1  | 0 | 0 | 0 |   |
| 1   | 1 | 0 | 1 | 1  | 0 | 1 | 0 |   |
| 1   | 1 | 1 | 0 | 1  | 1 | 0 | 0 |   |
| 1   | 1 | 1 | 1 | 1  | 1 | 1 | 0 |   |



修改 $Q_1$ 的输入来解决挂起问题。

方案1:  $Q_1^{n+1} = \overline{Q_4} \overline{Q_3} + \overline{Q_4} Q_1$

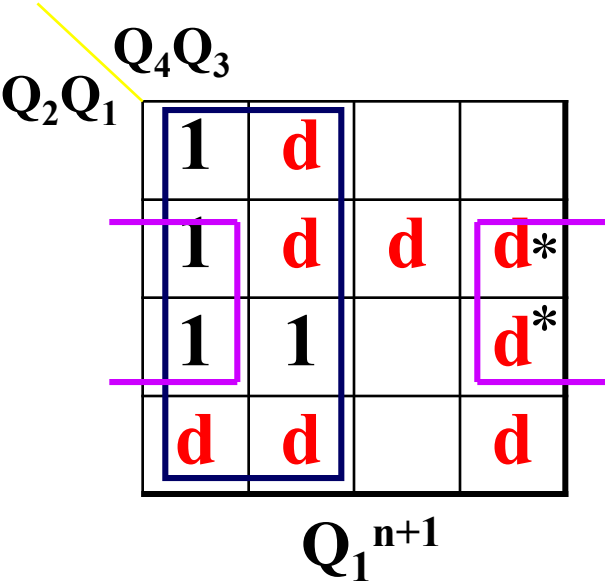


这就是Johnson计数器的设计方案

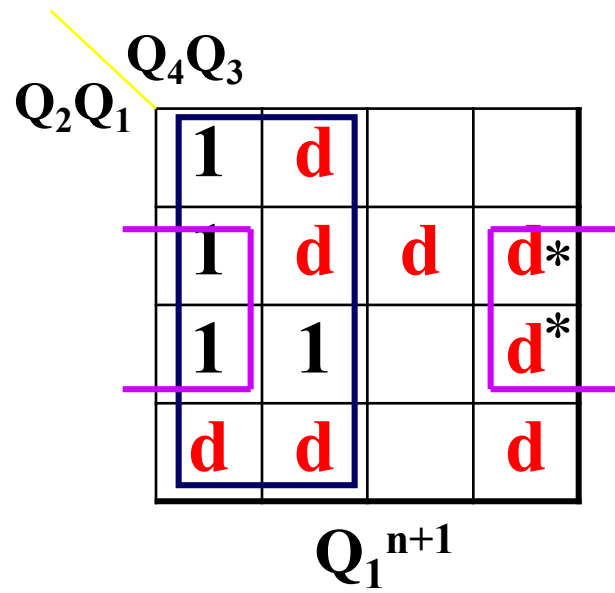
| $Q_4 Q_3 Q_2 Q_1$ | $Q_4^{n+1} Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$ |
|-------------------|---|
| 0 0 0 0           | 0 0 0 1                                   |
| 0 0 0 1           | 0 0 1 1                                   |
| 0 0 1 0           | 0 1 0 1                                   |
| 0 0 1 1           | 0 1 1 1                                   |
| 0 1 0 0           | 1 0 0 1 *                                 |
| 0 1 0 1           | 1 0 1 1                                   |
| 0 1 1 0           | 1 1 0 1 *                                 |
| 0 1 1 1           | 1 1 1 1                                   |
| 1 0 0 0           | 0 0 0 0                                   |
| 1 0 0 1           | 0 0 1 0 *                                 |
| 1 0 1 0           | 0 1 0 0                                   |
| 1 0 1 1           | 0 1 1 0 *                                 |
| 1 1 0 0           | 1 0 0 0                                   |
| 1 1 0 1           | 1 0 1 0                                   |
| 1 1 1 0           | 1 1 0 0                                   |
| 1 1 1 1           | 1 1 1 0                                   |



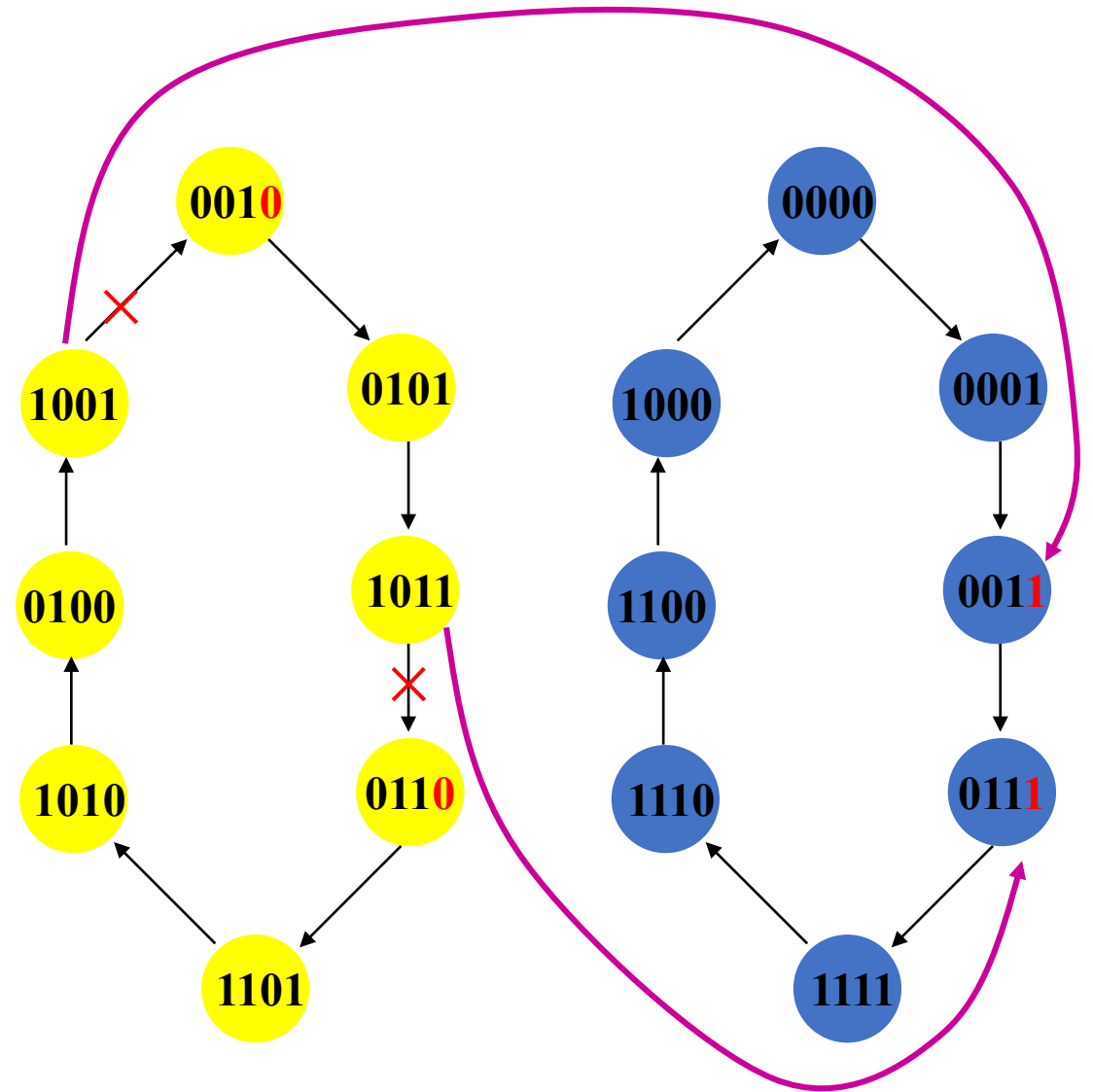
方案2:  $Q_1^{n+1} = \bar{Q}_4 + \bar{Q}_3 Q_1$



| $Q_4Q_3Q_2Q_1$ | $Q_4^{n+1}Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}$ |
|----------------|--|
| 0 0 0 0        | 0 0 0 1                                |
| 0 0 0 1        | 0 0 1 1                                |
| 0 0 1 0        | 0 1 0 1                                |
| 0 0 1 1        | 0 1 1 1                                |
| 0 1 0 0        | 1 0 0 1 *                              |
| 0 1 0 1        | 1 0 1 1                                |
| 0 1 1 0        | 1 1 0 1 *                              |
| 0 1 1 1        | 1 1 1 1                                |
| 1 0 0 0        | 0 0 0 0                                |
| 1 0 0 1        | 0 0 1 0 *                              |
| 1 0 1 0        | 0 1 0 0                                |
| 1 0 1 1        | 0 1 1 0 *                              |
| 1 1 0 0        | 1 0 0 0                                |
| 1 1 0 1        | 1 0 1 0                                |
| 1 1 1 0        | 1 1 0 0                                |
| 1 1 1 1        | 1 1 1 0                                |



| $Q_4Q_3Q_2Q_1$ | $Q_4^{n+1}Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}$ |   |
|----------------|--|---|
| 0 0 0 0        | 0 0 0 1                                |   |
| 0 0 0 1        | 0 0 1 1                                |   |
| 0 0 1 0        | 0 1 0 1                                |   |
| 0 0 1 1        | 0 1 1 1                                |   |
| 0 1 0 0        | 1 0 0 1                                | * |
| 0 1 0 1        | 1 0 1 1                                |   |
| 0 1 1 0        | 1 1 0 1                                | * |
| 0 1 1 1        | 1 1 1 1                                |   |
| 1 0 0 0        | 0 0 0 0                                |   |
| 1 0 0 1        | 0 0 1 0                                | * |
| 1 0 1 0        | 0 1 0 0                                |   |
| 1 0 1 1        | 0 1 1 0                                | * |
| 1 1 0 0        | 1 0 0 0                                |   |
| 1 1 0 1        | 1 0 1 0                                |   |
| 1 1 1 0        | 1 1 0 0                                |   |
| 1 1 1 1        | 1 1 1 0                                |   |



修改 $Q_2$ 的输入来解决挂起问题。

方案1:

$Q_4Q_3$   
 $Q_2Q_1$

|   |   |   |   |
|---|---|---|---|
|   | d |   |   |
| 1 | d | d | d |
| 1 | 1 | 1 | d |
| d | d |   | d |

$Q_2^{n+1}$

$Q_4Q_3$   
 $Q_2Q_1$

|   |   |    |    |
|---|---|----|----|
|   | d |    |    |
| 1 | d | *d | *d |
| 1 | 1 | 1  | d  |
| d | d |    | d  |

$Q_2^{n+1}$

$$Q_2^{n+1} = \overline{Q_4} Q_1 + Q_2 Q_1$$

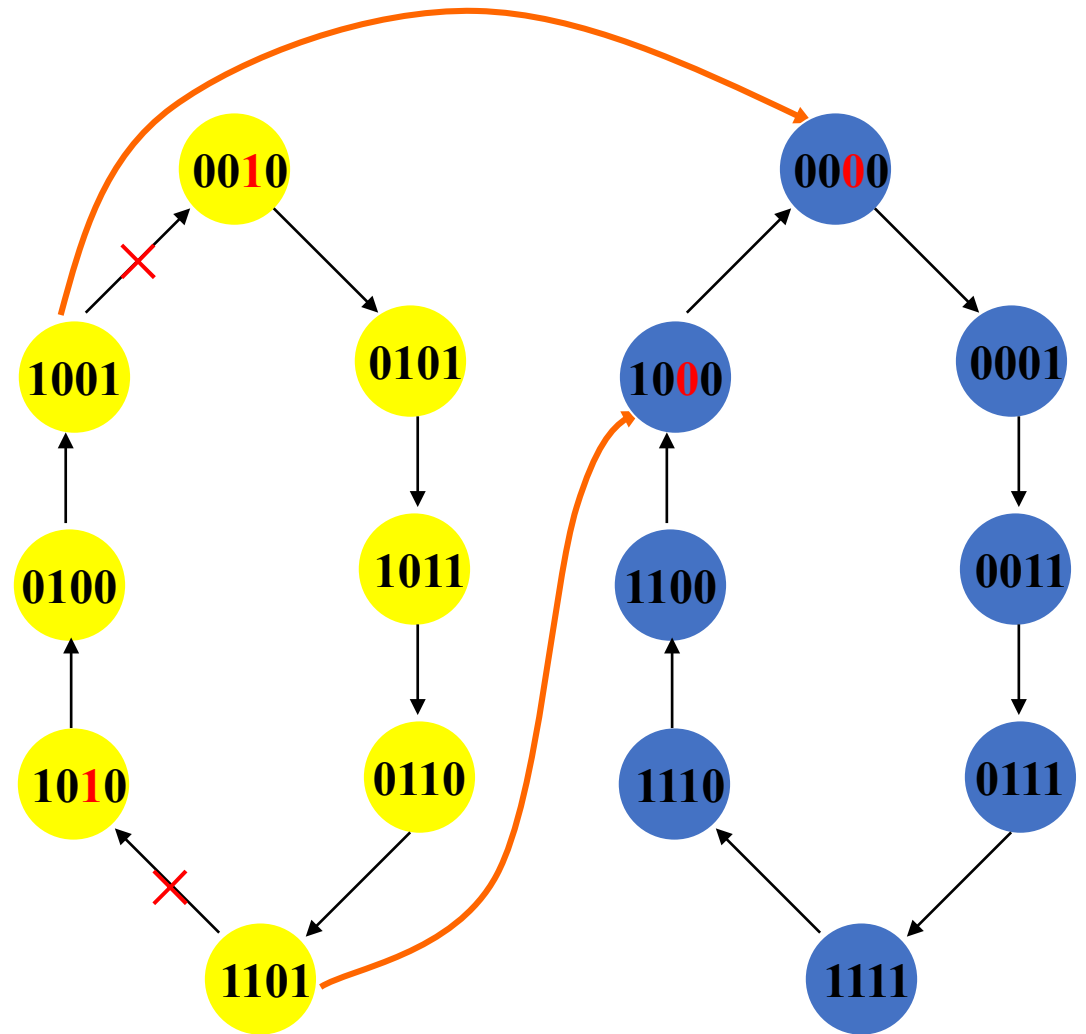
| $Q_4Q_3Q_2Q_1$ |   |   |   | $Q_4^{n+1}Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}$ |   |   |    |
|----------------|---|---|---|--|---|---|----|
| 0              | 0 | 0 | 0 | 0                                      | 0 | 0 | 1  |
| 0              | 0 | 0 | 1 | 0                                      | 0 | 1 | 1  |
| 0              | 0 | 1 | 0 | 0                                      | 1 | 0 | *1 |
| 0              | 0 | 1 | 1 | 0                                      | 1 | 1 | 1  |
| 0              | 1 | 0 | 0 | 1                                      | 0 | 0 | 1  |
| 0              | 1 | 0 | 1 | 1                                      | 0 | 1 | 1  |
| 0              | 1 | 1 | 0 | 1                                      | 1 | 0 | *1 |
| 0              | 1 | 1 | 1 | 1                                      | 1 | 1 | 1  |
| 1              | 0 | 0 | 0 | 0                                      | 0 | 0 | 0  |
| 1              | 0 | 0 | 1 | 0                                      | 0 | 1 | *0 |
| 1              | 0 | 1 | 0 | 0                                      | 1 | 0 | 0  |
| 1              | 0 | 1 | 1 | 0                                      | 1 | 1 | 0  |
| 1              | 1 | 0 | 0 | 1                                      | 0 | 0 | 0  |
| 1              | 1 | 0 | 1 | 1                                      | 0 | 1 | *0 |
| 1              | 1 | 1 | 0 | 1                                      | 1 | 0 | 0  |
| 1              | 1 | 1 | 1 | 1                                      | 1 | 1 | 0  |

$$Q_2^{n+1} = \overline{Q_4} Q_1 + Q_2 Q_1$$

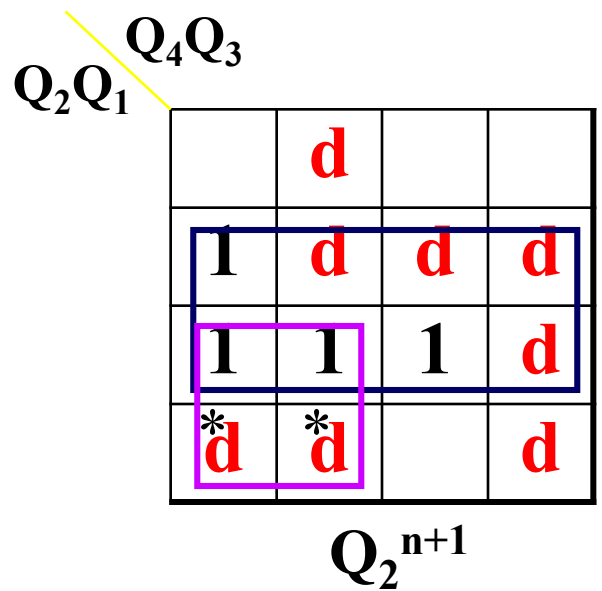
$Q_4 Q_3$  \  $Q_2 Q_1$

|   |   |    |    |
|---|---|----|----|
|   | d |    |    |
| 1 | d | *d | *d |
| 1 | 1 | 1  | d  |
| d | d |    | d  |

$Q_2^{n+1}$



方案2:



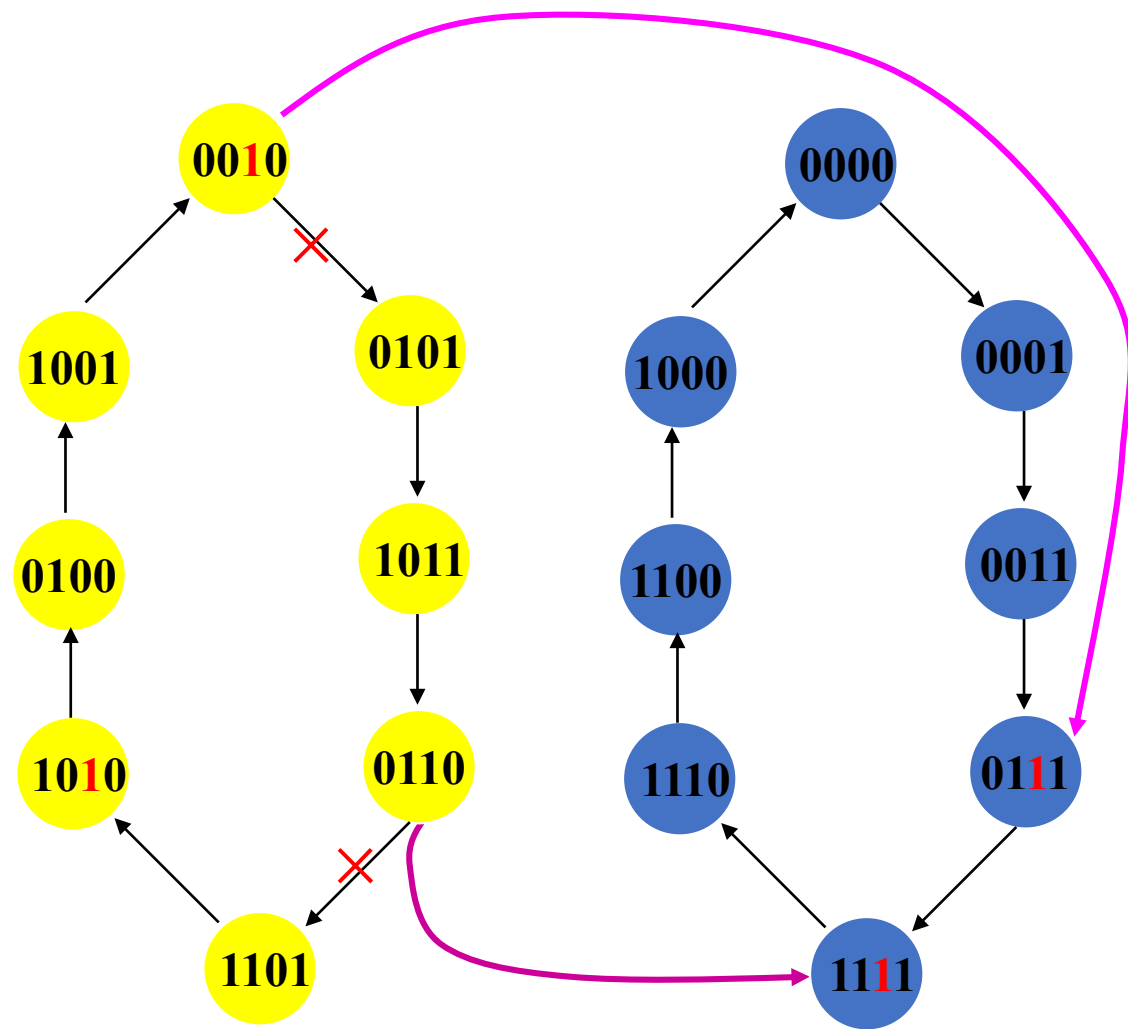
$$Q_2^{n+1} = Q_1 + \overline{Q_4} Q_2$$

| $Q_4 Q_3 Q_2 Q_1$ |   |   |   | $Q_4^{n+1} Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$ |   |   |     |
|-------------------|---|---|---|---|---|---|-----|
| 0                 | 0 | 0 | 0 | 0   | 0 | 0 | 1   |
| 0                 | 0 | 0 | 1 | 0   | 0 | 1 | 1   |
| 0                 | 0 | 1 | 0 | 0   | 1 | 0 | * 1 |
| 0                 | 0 | 1 | 1 | 0   | 1 | 1 | 1   |
| 0                 | 1 | 0 | 0 | 1   | 0 | 0 | 1   |
| 0                 | 1 | 0 | 1 | 1   | 0 | 1 | 1   |
| 0                 | 1 | 1 | 0 | 1   | 1 | 0 | * 1 |
| 0                 | 1 | 1 | 1 | 1   | 1 | 1 | 1   |
| 1                 | 0 | 0 | 0 | 0   | 0 | 0 | 0   |
| 1                 | 0 | 0 | 1 | 0   | 0 | 1 | * 0 |
| 1                 | 0 | 1 | 0 | 0   | 1 | 0 | 0   |
| 1                 | 0 | 1 | 1 | 0   | 1 | 1 | 0   |
| 1                 | 1 | 0 | 0 | 1   | 0 | 0 | 0   |
| 1                 | 1 | 0 | 1 | 1   | 0 | 1 | * 0 |
| 1                 | 1 | 1 | 0 | 1   | 1 | 0 | 0   |
| 1                 | 1 | 1 | 1 | 1   | 1 | 1 | 0   |

$Q_4 Q_3$   
 $Q_2 Q_1$

|           |           |          |          |
|-----------|-----------|----------|----------|
|           | <b>d</b>  |          |          |
| <b>1</b>  | <b>d</b>  | <b>d</b> | <b>d</b> |
| <b>1</b>  | <b>1</b>  | <b>1</b> | <b>d</b> |
| <b>*d</b> | <b>*d</b> |          | <b>d</b> |

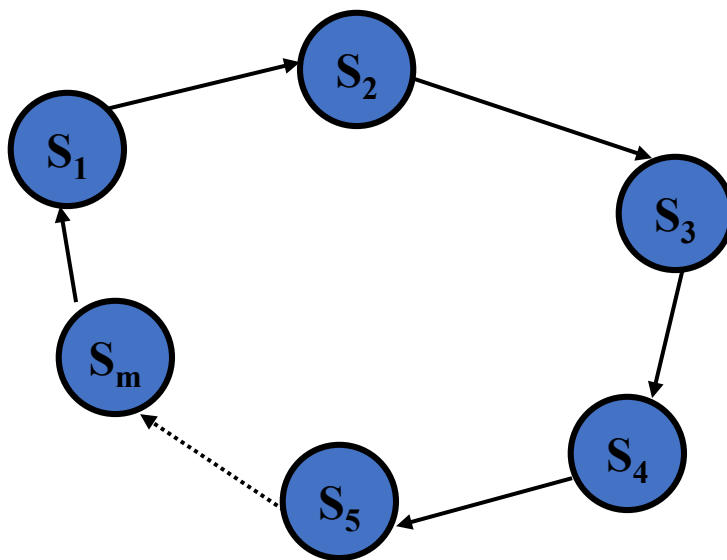
$Q_2^{n+1}$





## 4.4 计数器

计数器的状态个数称为计数器的模。如图所示为模  $m$  计数器。



计数器状态图的一般结构

## 计数器的分类：

① 按功能：加法计数器，减法计数器，可逆计数器

② 按进位方式：

    串行计数器（异步计数器）

    并行计数器（同步计数器）

③ 按进位基数：二进制计数器

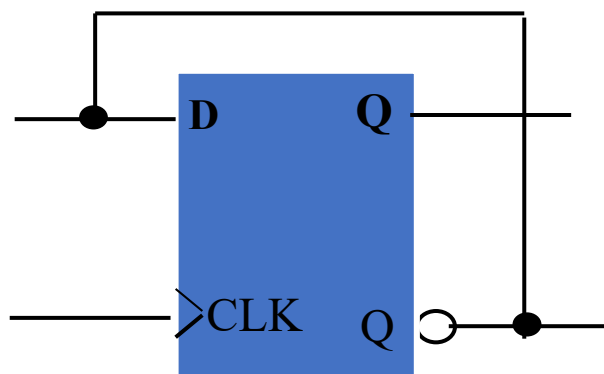
    十进制计数器

    任意进制计数器

$n$  个触发器可以构成模  $m$  的计数器，其中： $m \leq 2^n$ 。

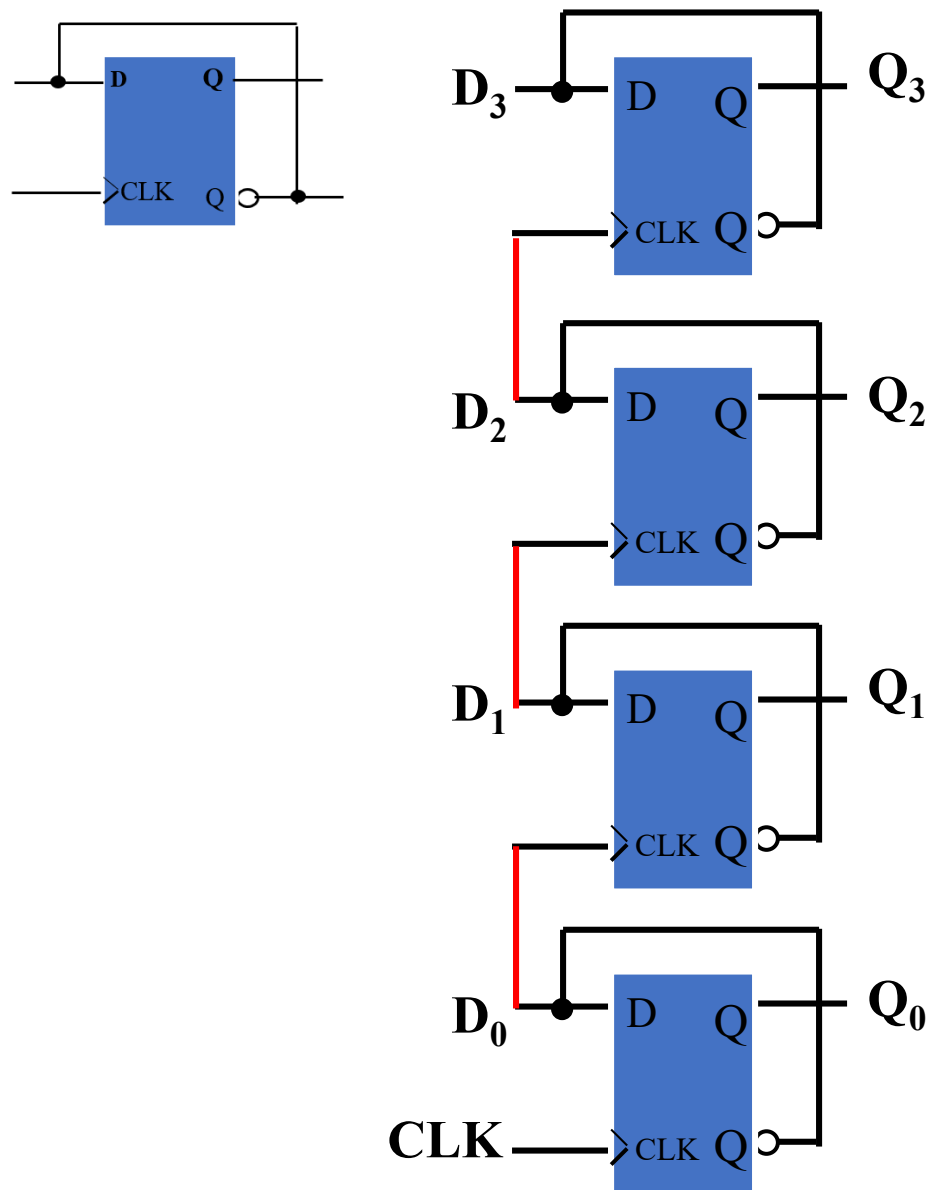
### 4.4.1 二进制串行计数器

n位二进制串行计数器可直接由n个边沿触发器构成。各个基本单元的次态方程为： $Q^{n+1} = \bar{Q}$  (计数状态)



D 触发器

## 串行计数器的连接结构

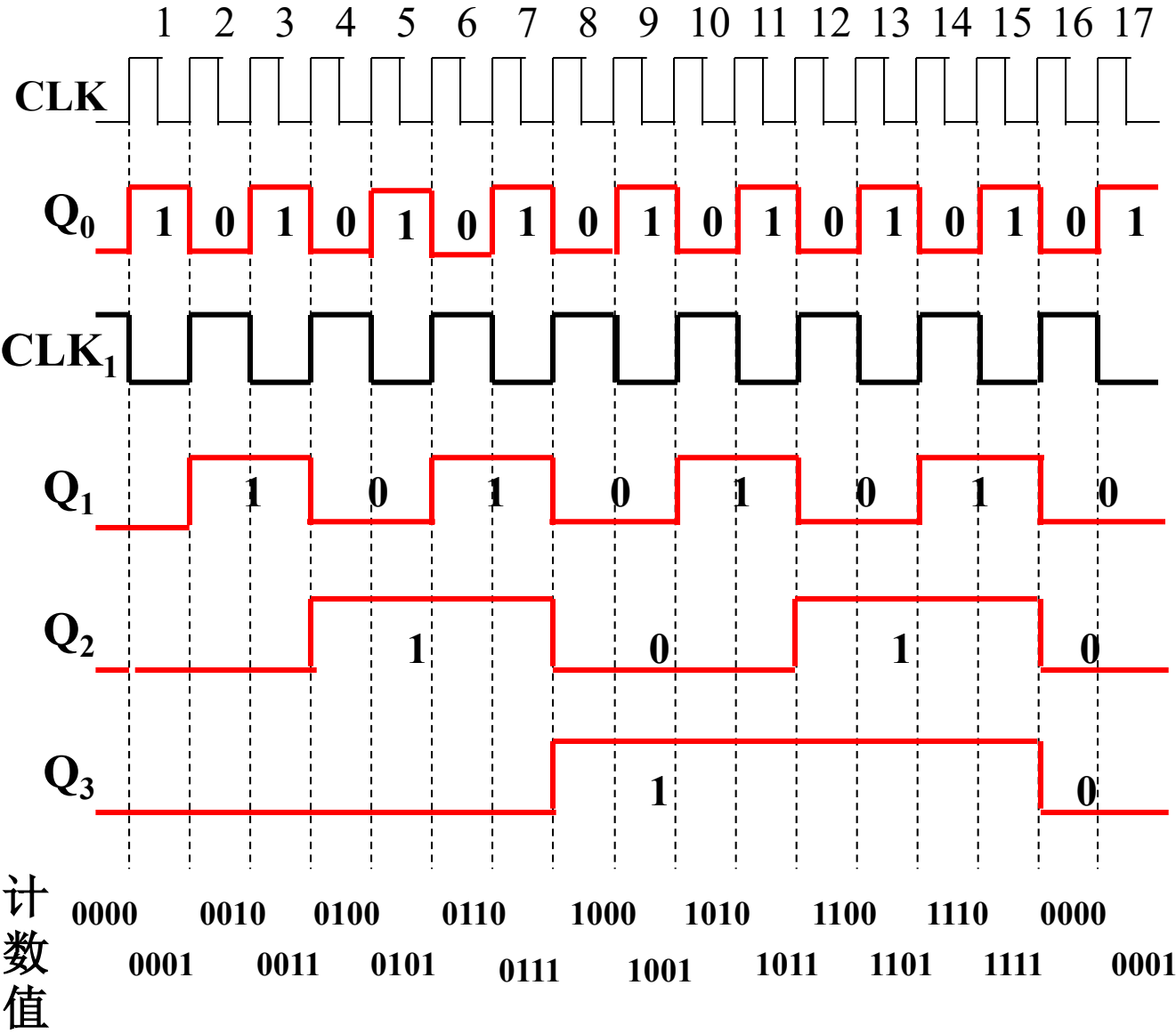
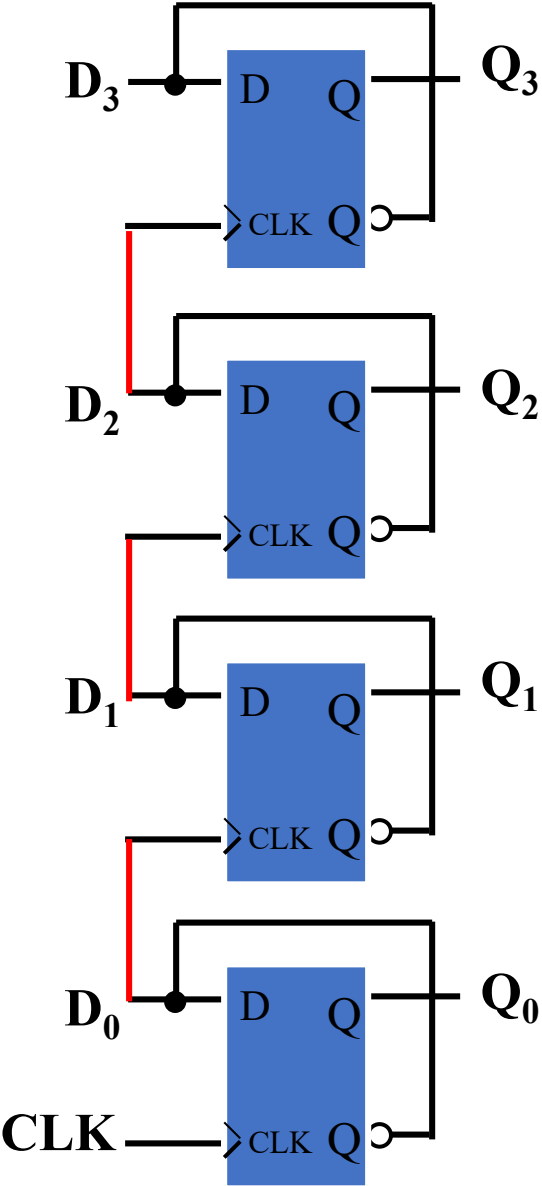


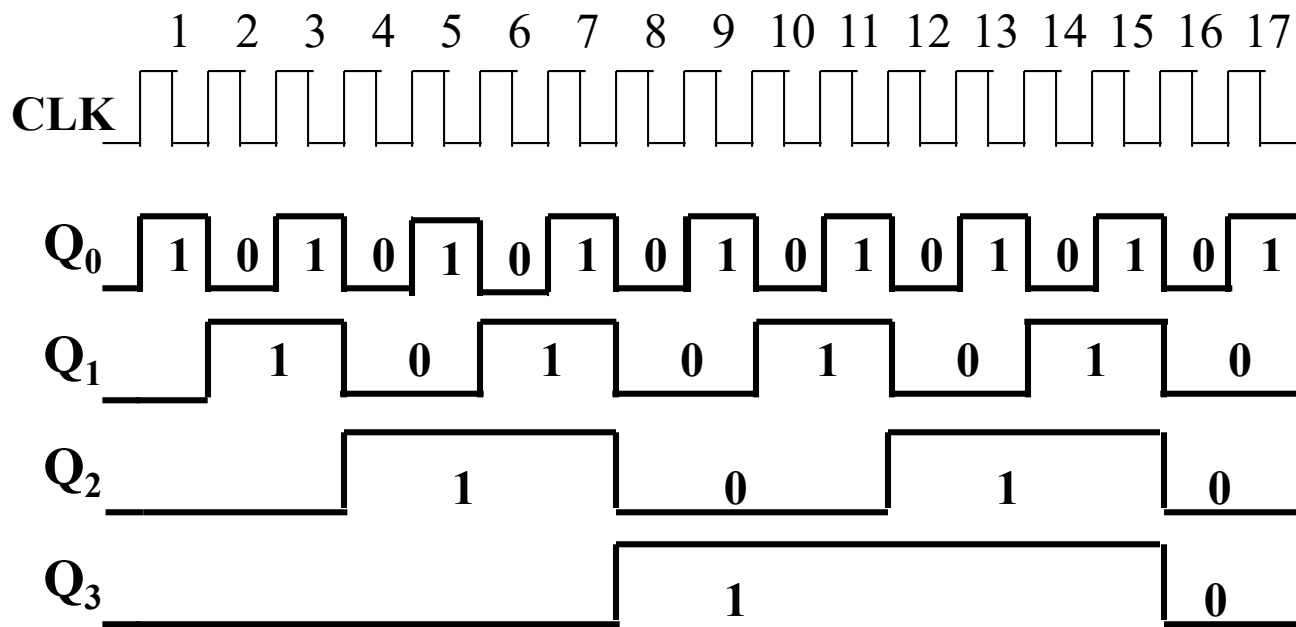
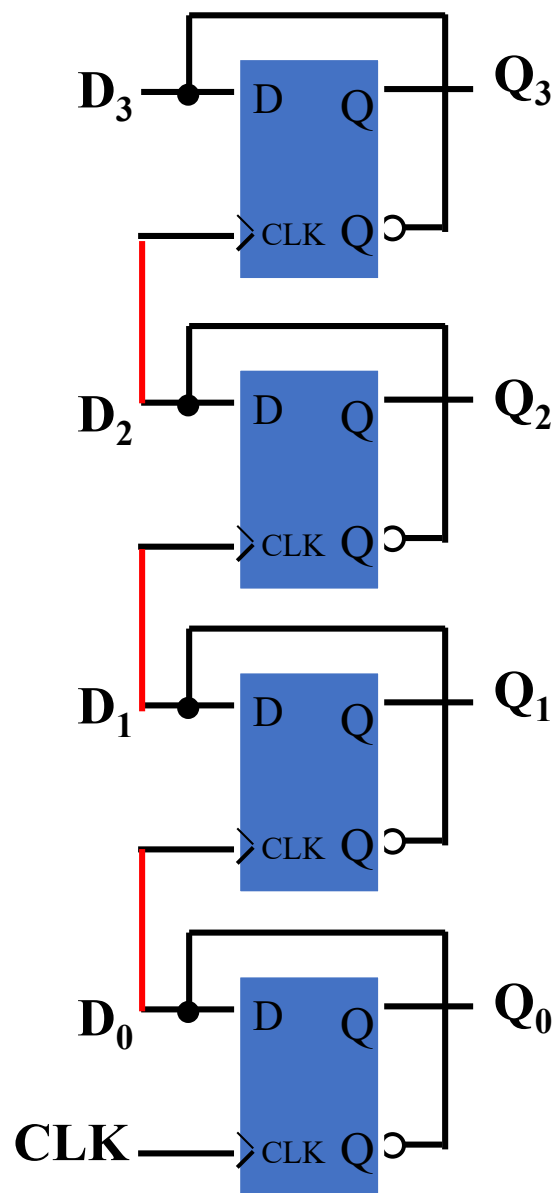
计数器中的每一位触发器的状态变化只同它低一位的触发器状态变化有关，即：

$Q_i$  的变化  $\rightarrow$   $CLK_{i+1}$  的变化  
 $CLK_{i+1}$  的变化  $\rightarrow$   $Q_{i+1}$  的变化

$$\begin{aligned} Q_3^{n+1} &= \overline{Q_3} & Q_1^{n+1} &= \overline{Q_1} \\ Q_2^{n+1} &= \overline{Q_2} & Q_0^{n+1} &= \overline{Q_0} \end{aligned}$$

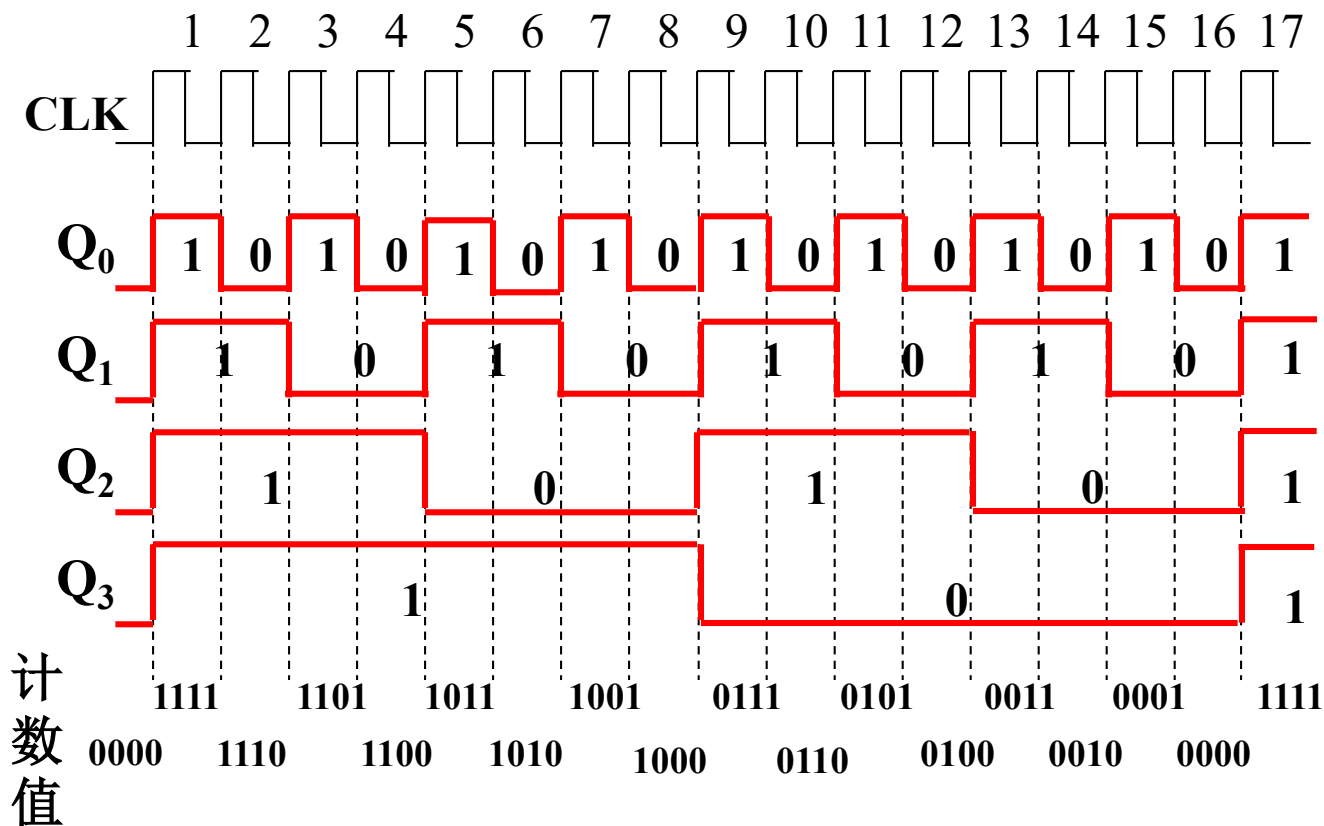
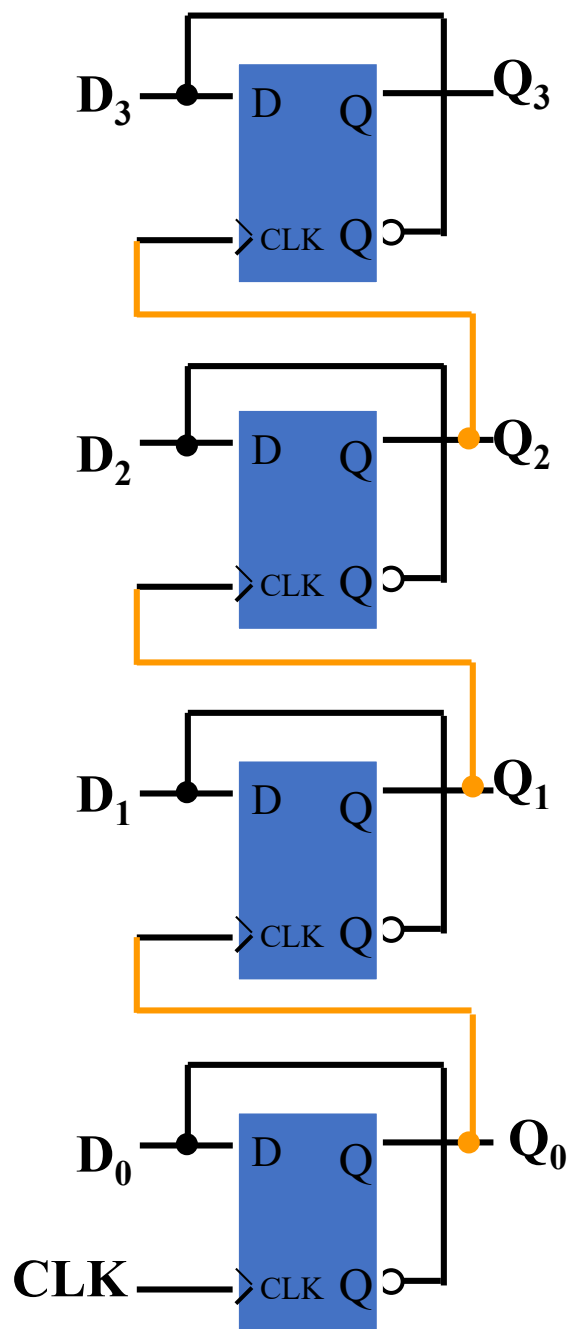
设：初态  $Q_3 Q_2 Q_1 Q_0 = 0000$





状态变化规律：

- 当 $Q_{i-1}$ 由 $1 \rightarrow 0$  ( $CLK_i$ 由 $0 \rightarrow 1$ )时， $Q_i$ 跳变，此时，表明 $Q_{i-1}$ 产生了进位，使本位 $Q_i$ 变化。
- $n = 4$ ，电路为模 16 加 1 计数器。



- 当 $Q_{i-1}$ 由 $0 \rightarrow 1$  ( $CLK_i$ 由 $0 \rightarrow 1$ )时,  $Q_i$ 跳变, 此时, 表明 $Q_{i-1}$ 产生了借位, 使本位  $Q_i$  变化。  $CLK_i = Q_{i-1}$ 。
- $n = 4$ , 电路为模 16 减 1 计数器。

## 4.4.2 二进制同步计数器

例1 D触发器组成4 位二进制加1计数器。

### ① 激励函数

$$D_1 = \overline{Q_1}$$

$$D_2 = Q_1 \oplus Q_2$$

$$D_3 = (Q_2 Q_1) \oplus Q_3$$

$$D_4 = (Q_3 Q_2 Q_1) \oplus Q_4$$

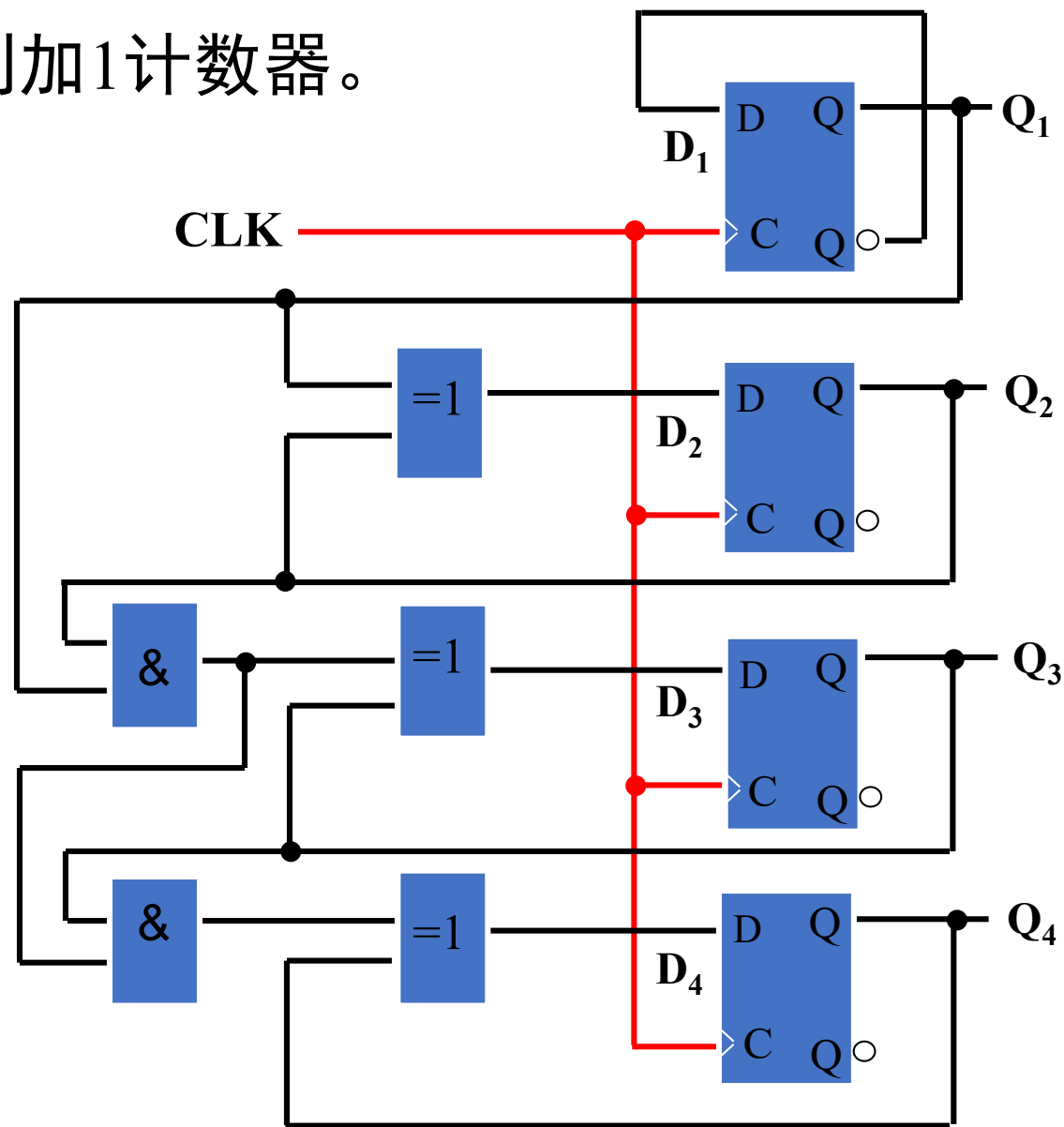
### ② 次态方程

$$Q_1^{n+1} = \overline{Q_1}$$

$$Q_2^{n+1} = Q_1 \oplus Q_2$$

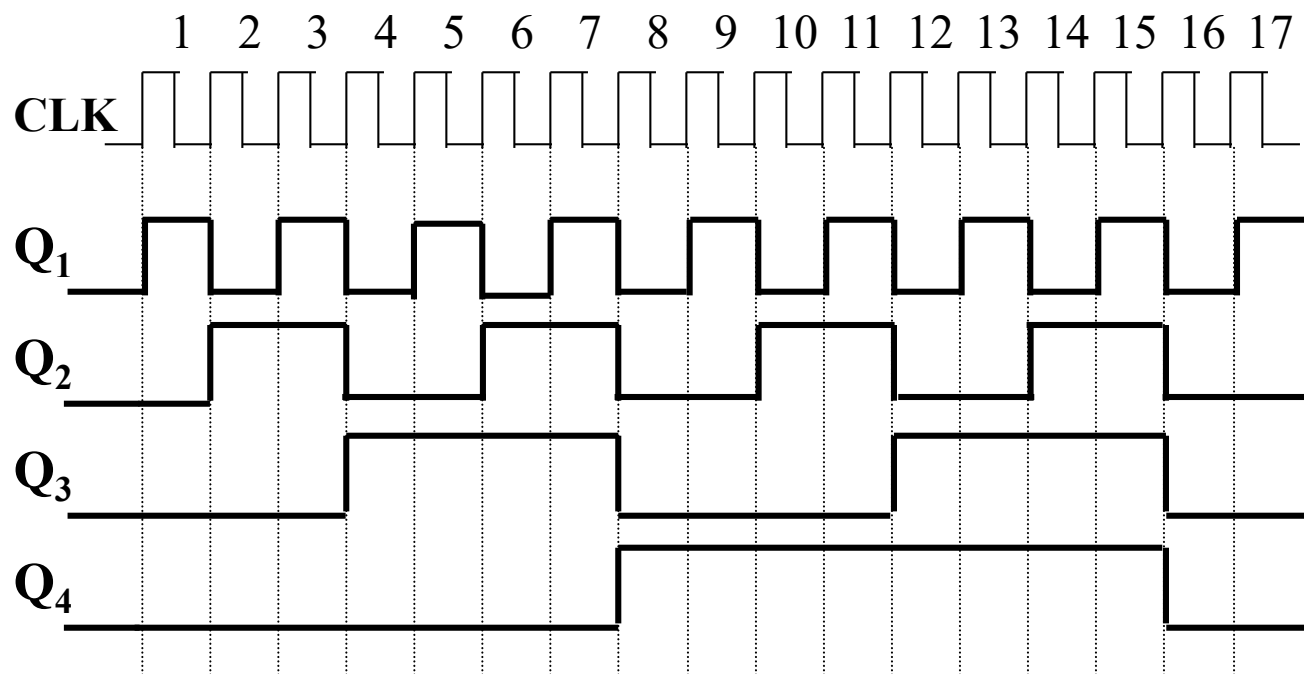
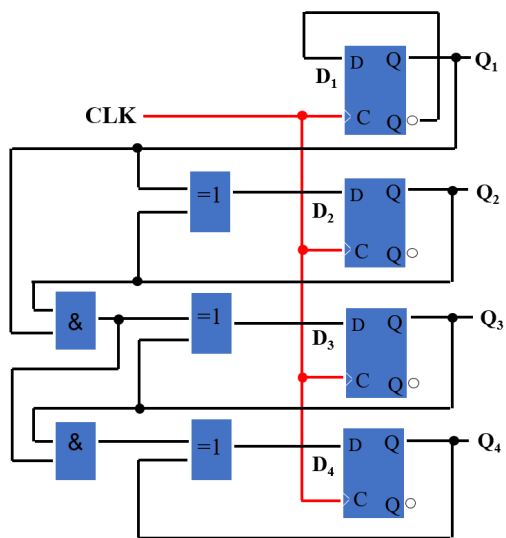
$$Q_3^{n+1} = (Q_2 Q_1) \oplus Q_3$$

$$Q_4^{n+1} = (Q_3 Q_2 Q_1) \oplus Q_4$$





### ③ 时间图



### ② 次态方程

$$Q_1^{n+1} = \bar{Q}_1$$

$$Q_2^{n+1} = Q_1 \oplus Q_2$$

$$Q_3^{n+1} = (Q_2 Q_1) \oplus Q_3$$

$$Q_4^{n+1} = (Q_3 Q_2 Q_1) \oplus Q_4$$

### ④ 状态变化规律:

(1) 当  $Q_{i-1} \cdot Q_{i-2} \cdots \cdot Q_1 = 1$  时, 低位有进位  $\rightarrow Q_i^{n+1} = \bar{Q}_i$ , 本位翻转

(2) 当  $Q_{i-1} \cdot Q_{i-2} \cdots \cdot Q_1 = 0$  时, 低位无进位  $\rightarrow Q_i^{n+1} = Q_i$ , 本位维持

⑤ 由D触发器构成的 n 位二进制同步加 1 计数器的连接规律

$$D_i = (Q_{i-1} \cdot Q_{i-2} \cdot \cdots \cdot Q_1) \oplus Q_i \quad (i \neq 1)$$

$$D_1 = \overline{Q_1}$$

其中：  $Q_{i-1} \cdot Q_{i-2} \cdot \cdots \cdot Q_1$ ——进位传递函数

例2 用D触发器组成4 位二进制减 1计数器。

① 次态方程：按照“借位”的概念

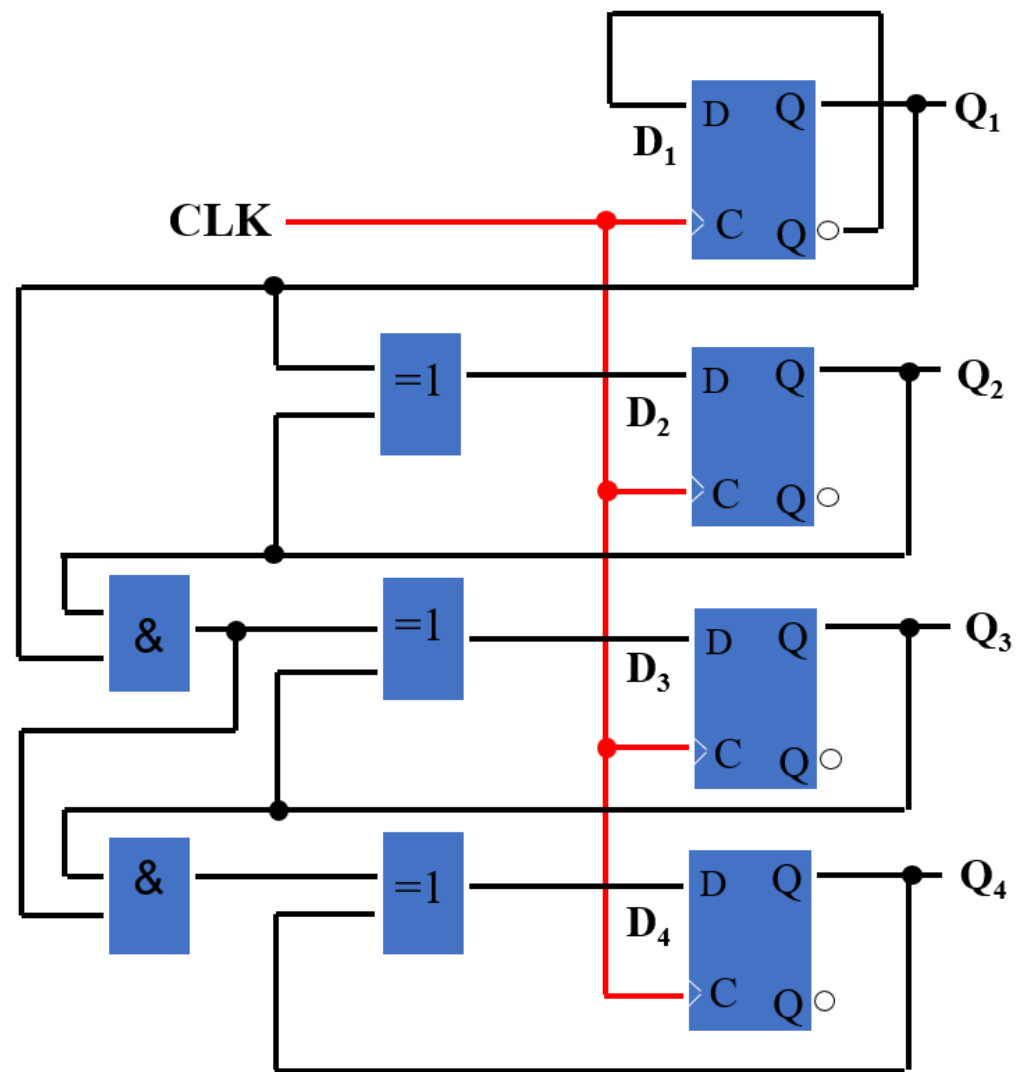
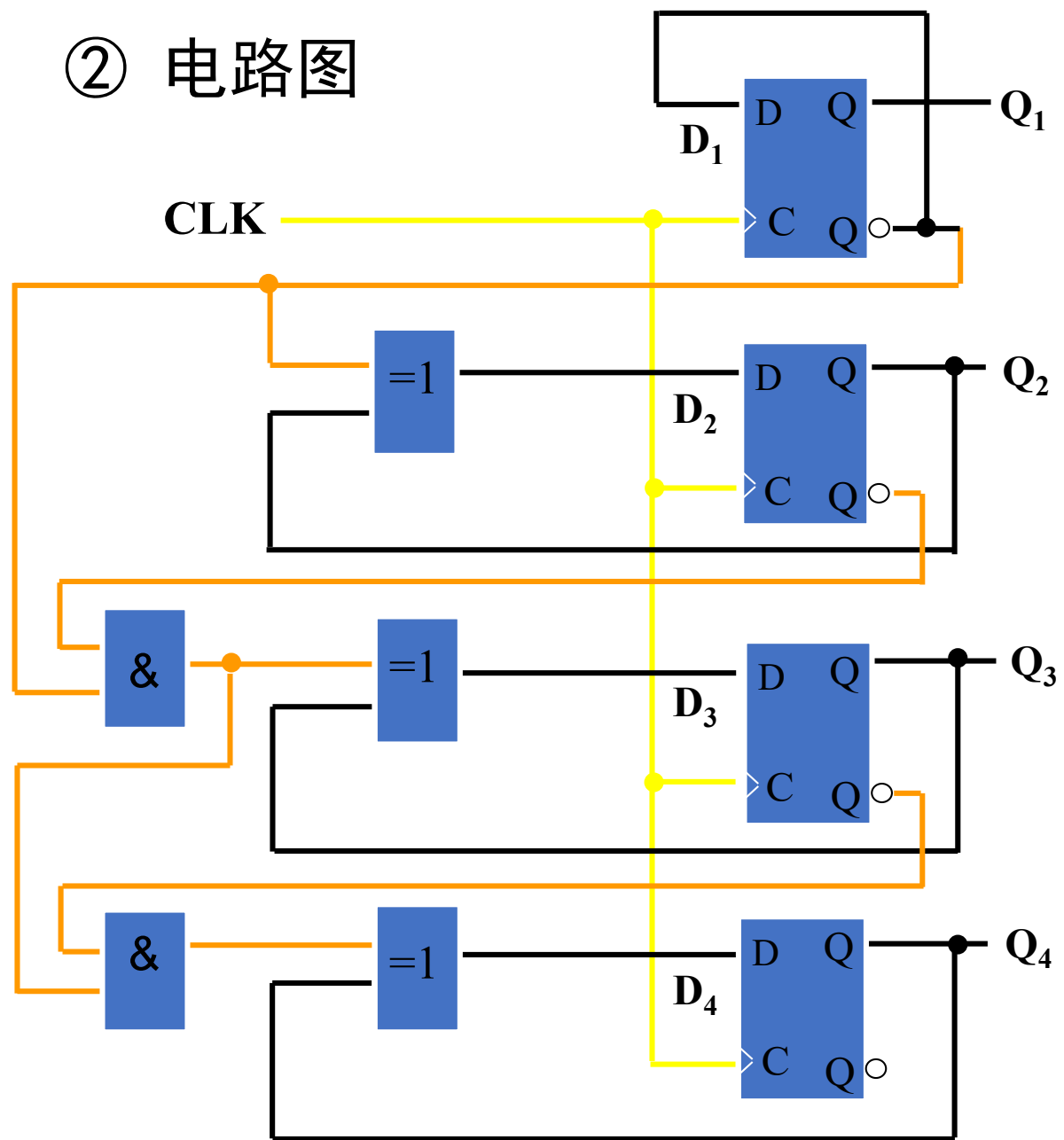
$Q_1^{n+1} = \overline{Q_1}$ , 最低位根据时钟信号的到来进行减 1 计数

$Q_2^{n+1} = \overline{Q_1} \oplus Q_2$ , 当 $Q_1=0$ 时, 低位向本位借位 $\rightarrow \overline{Q_2}^{n+1} = Q_2$

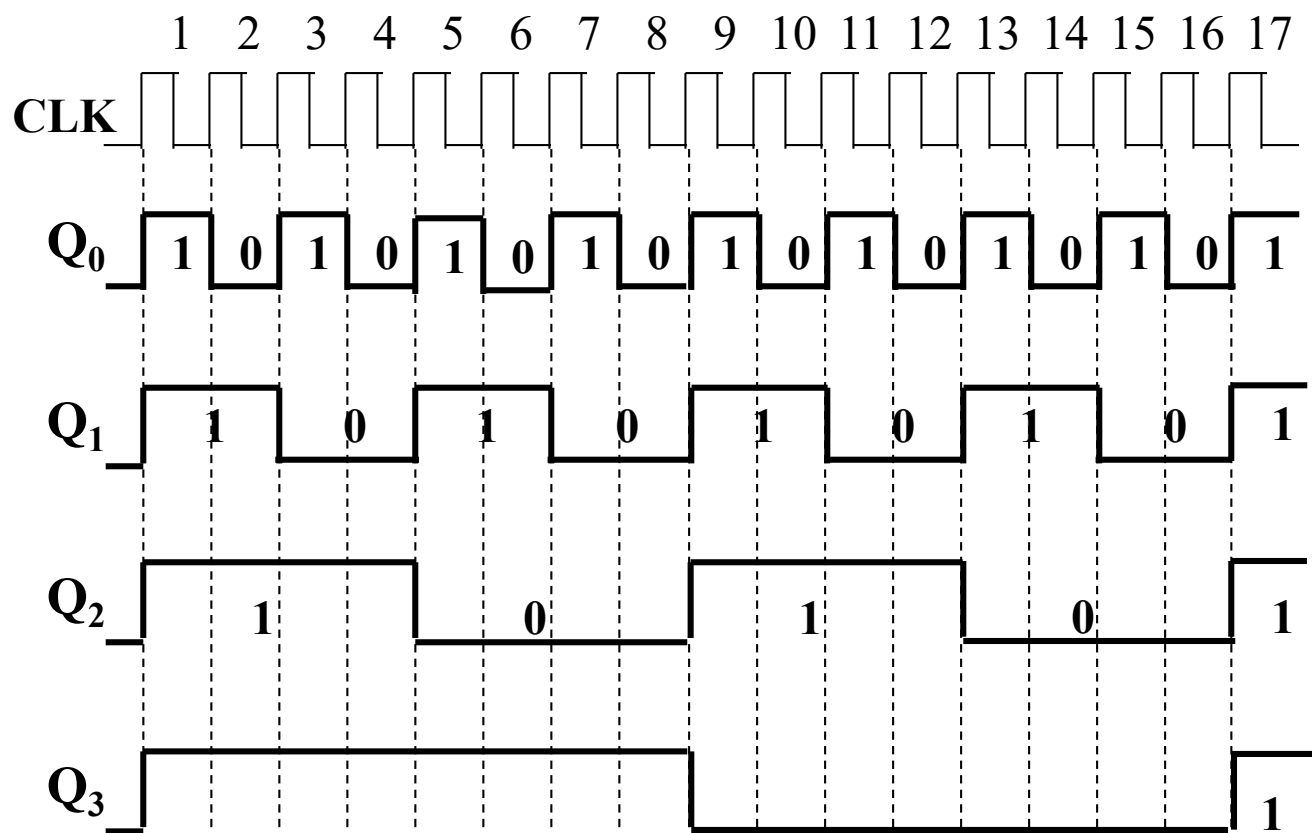
$Q_3^{n+1} = (\overline{Q_2} \overline{Q_1}) \oplus Q_3$ , 当 $Q_2$ 、 $Q_1$ 同时为 0 时, 低位向本位借位 $\rightarrow \overline{Q_3}^{n+1} = Q_3$

$Q_4^{n+1} = (\overline{Q_3} \overline{Q_2} \overline{Q_1}) \oplus Q_4$ , 当 $Q_3$ 、 $Q_2$ 、 $Q_1$ 均为 0 时, 低位向本位借位 $\rightarrow$   
 $\overline{Q_4}^{n+1} = Q_4$

## ② 电路图



### ③ 时间图



### ④ 由D触发器构成的 n 位二进制同步减 1 计数器的

连接规律  $D_i = (\bar{Q}_{i-1} \cdot \bar{Q}_{i-2} \cdot \cdots \cdot \bar{Q}_1) \oplus Q_i \quad (i \neq 1)$

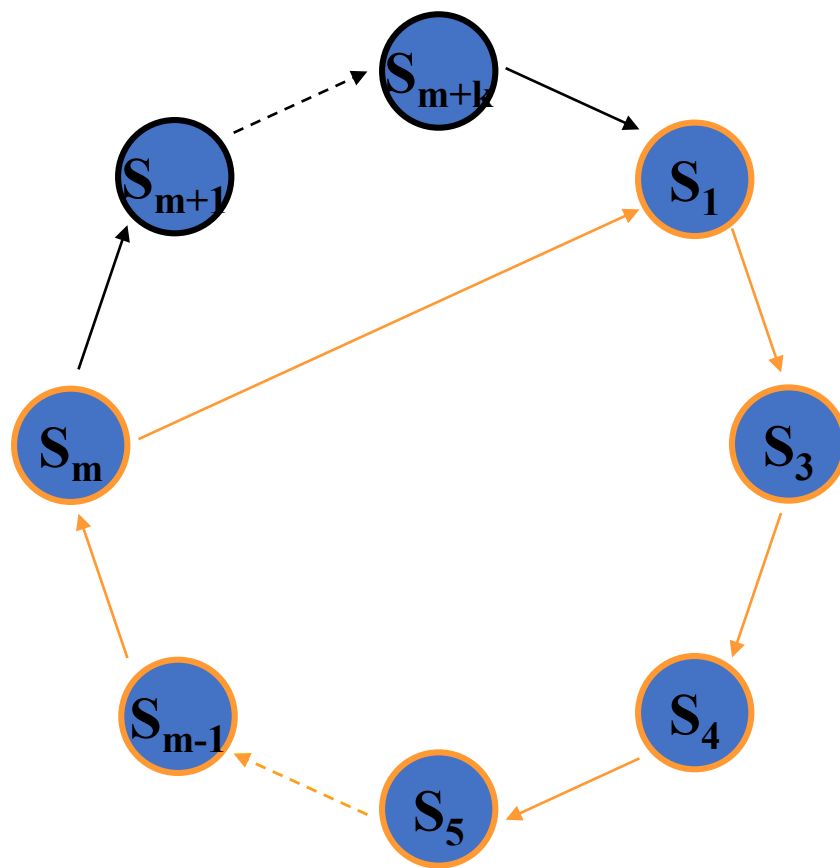
$$D_1 = \bar{Q}_1$$

其中：  $\bar{Q}_{i-1} \cdot \bar{Q}_{i-2} \cdot \cdots \cdot \bar{Q}_1$ ——借位传递函数

### 4.4.3 用跳越的方法实现任意模数的计数器

跳越的概念：在实际应用中，往往计数器的模  $m \neq 2^n$ ，为了能用模为  $2^n$  的二进制计数器实现模为  $m$  的计数器：即  $2^{n-1} < m < 2^n$

电路从  $2^n$  个状态中跳越过  $K = 2^n - m$  个状态，使计数器以  $m$  为周期循环，而在正常循环中不出现跳过的  $K$  个状态。

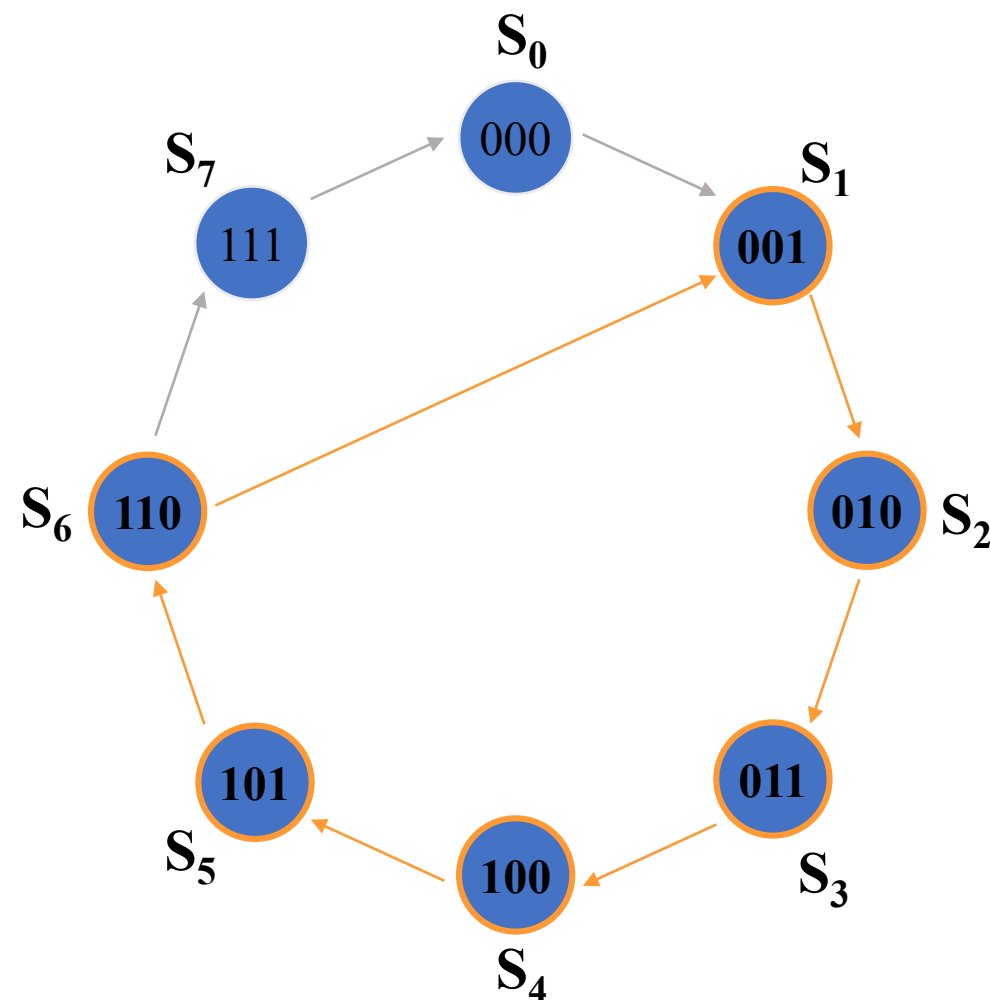


例 设计一个  $m = 6$  的计数器。

选择模 8 的 二进制计数器实现模 6 计数器，即： $S_1 \rightarrow S_2 \rightarrow S_3 \rightarrow S_4 \rightarrow S_5 \rightarrow S_6 \rightarrow S_1$ 。需要从 8 个状态中跳越过  $S_7$ 、 $S_0$  两个状态， $S_6$  为起跳状态。

多余状态：电路中要跳跃过的状态，正常工作循环中不出现的状态，如  $S_7$ 、 $S_0$ 。

电路的随机状态可以是无用状态。



8个状态中跳越过2个状态

## 多余状态的处理

随机出现的无用状态应当经过有限节拍后自动进入有用状态(也称有效状态), 不允许停在无用状态或在无用状态中循环。

通常采用的措施是:

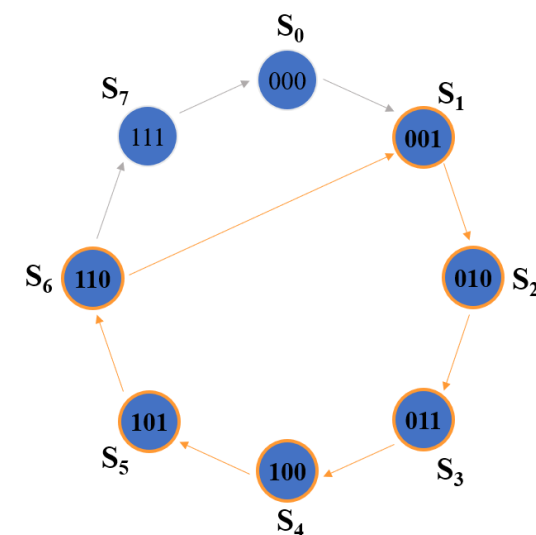
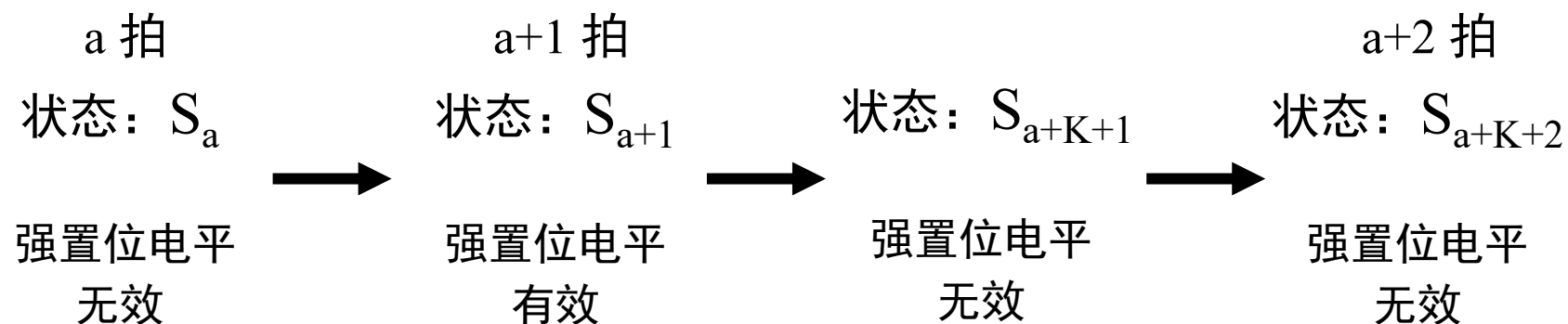
- ①从动式起动电路: 通过人工按键置位/复位、或设计一个电源启动的能输出强置位信号的电路、或由其他电路提供初始化信号。
- ② 主动式电路: 由状态测试电路识别计数器是否处于无用状态, 若是则该电路输出一个有效电平, 强置使计数器进入、或创造条件使计数器进入有用状态。



## 4.4.4 强置位计数器

先设计一个二进制计数器，再加入强置位电路。

假设起跳状态为 $S_a$ ，则有：(1) 在没有出现 $S_{a+1}$ 时，不影响二进制计数器的状态转换规律，强置位的逻辑电平为无效。(2) 在出现 $S_{a+1}$ 时，强置位电平有效，从而对预定的某些位触发器实行预定的强置置位或复位。



1、异步式强置置位或复位

2、有一个短暂的状态  $S_{a+1}$ ，使  $S_{a+K+1}$  变窄。

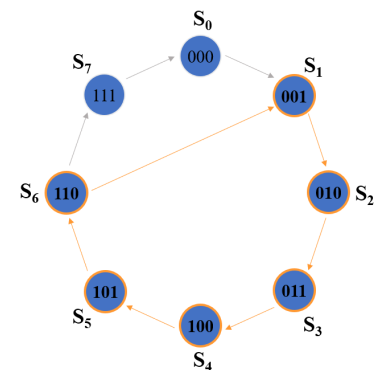
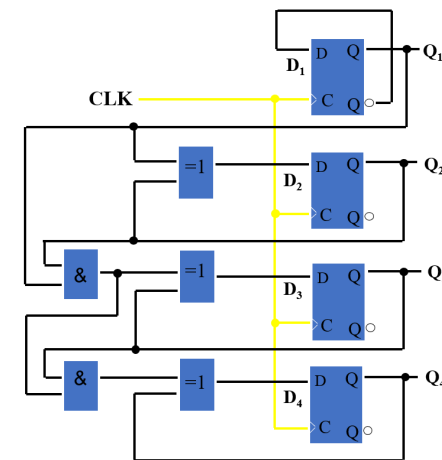
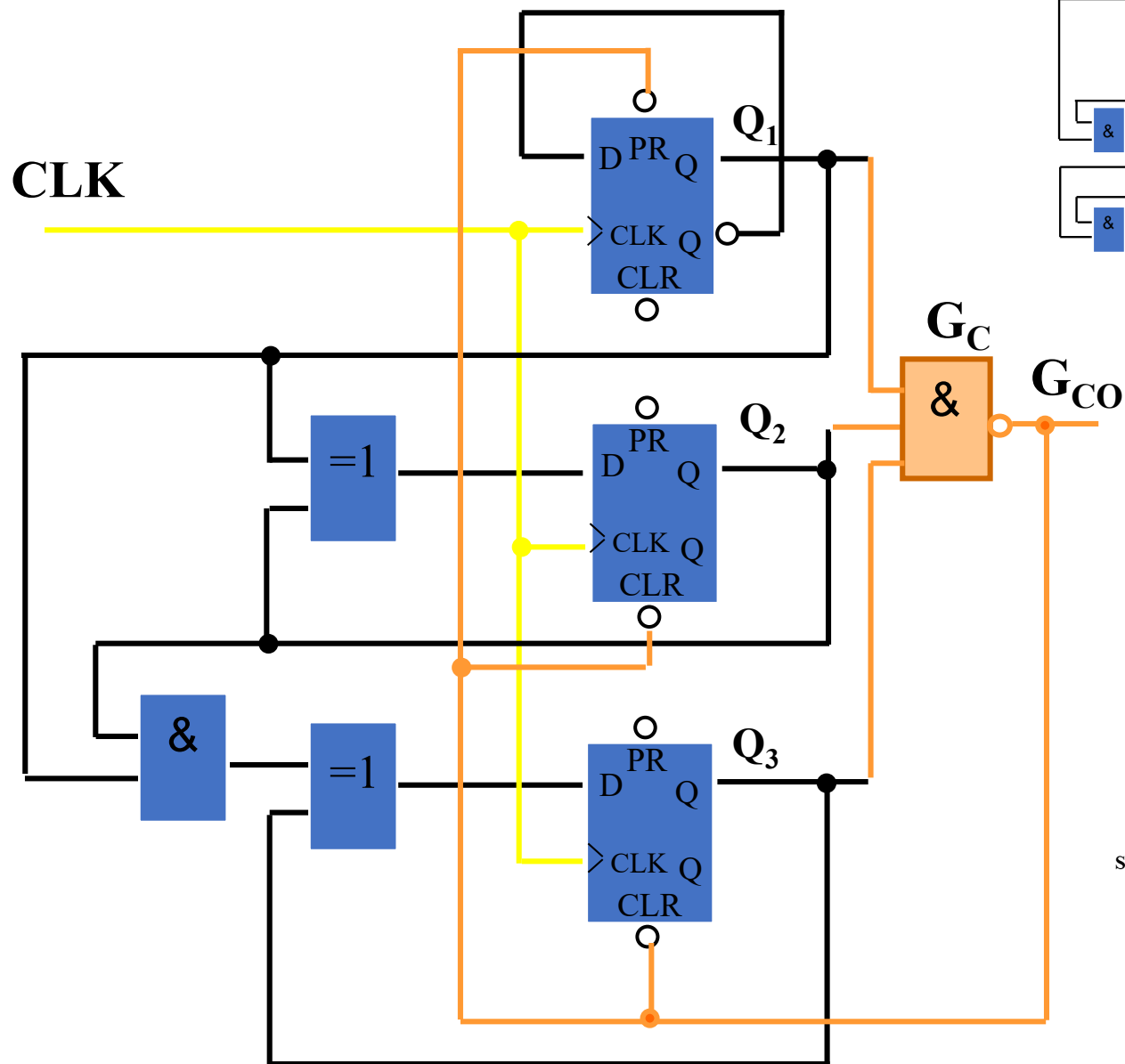
例 分析图示的六进制计数器。

由三个D 触发器构成  
模8加1计数器。

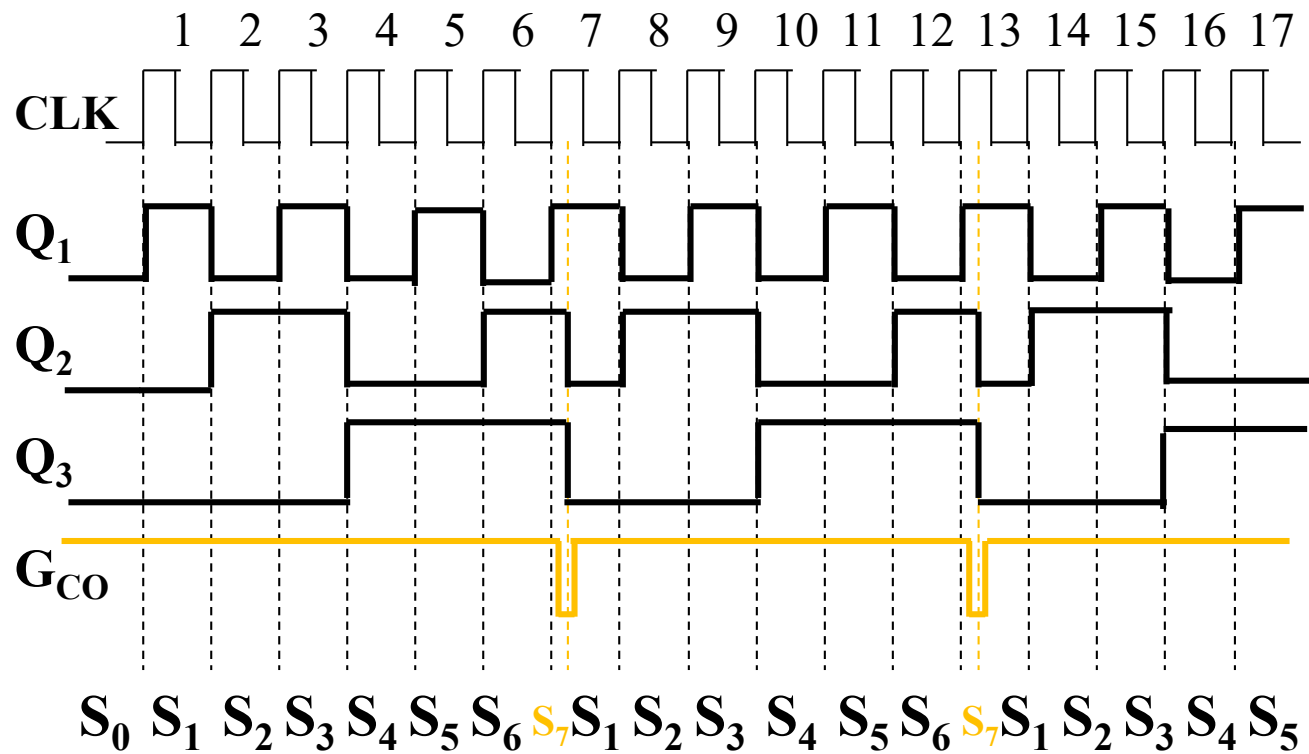
考虑门 $G_C$ 及信号  
 $G_{CO}$ 的作用：

$$G_{CO} = \overline{Q_3 Q_2 Q_1}$$

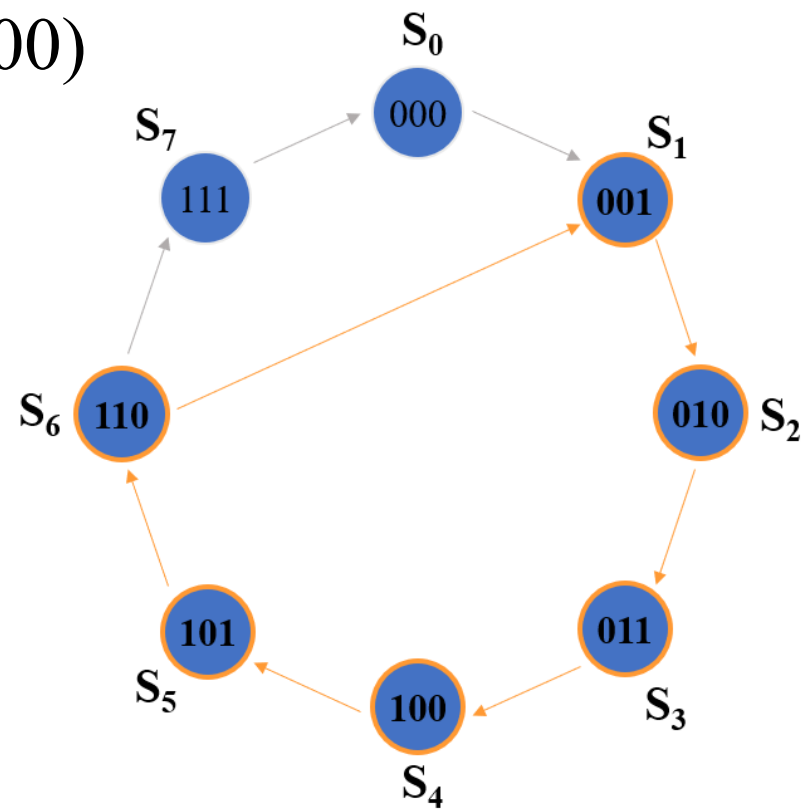
当电路状态为 $S_7$  (111)  
时,  $G_{CO} = 0 \rightarrow S_1(001)$



## 六进制计数器的时间图 初态 $Q_3 Q_2 Q_1 = S_0 (000)$



$$G_{CO} = \overline{Q_3 Q_2 Q_1}$$



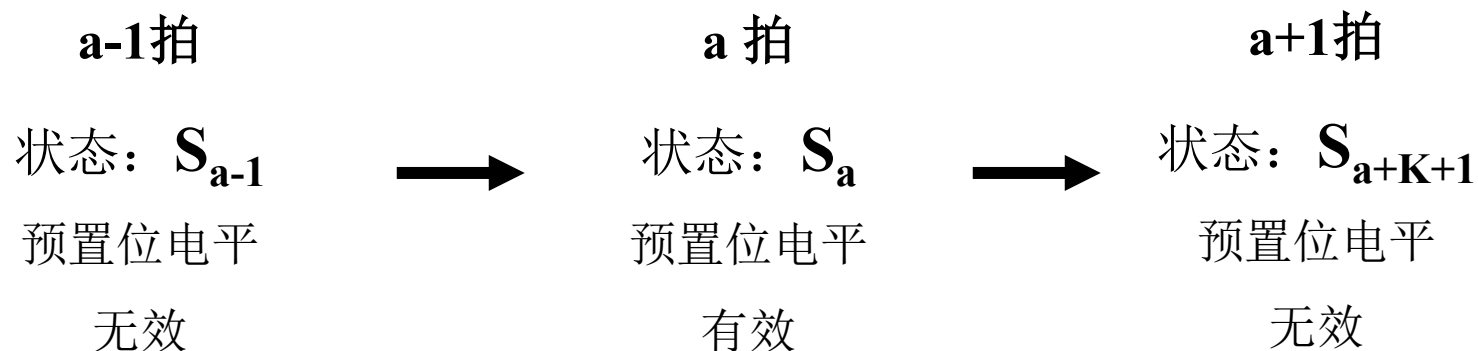
当状态为  $S_7 (111)$  时,  $G_{CO} = 0 \rightarrow S_1 (001)$

电路在时钟脉冲序列 CLK 作用下, 将在  $S_1$  至  $S_6$  中循环, 电路的起跳状态为  $S_6 (110)$ , 跳过的状态为  $S_7$ 、 $S_0$ 。

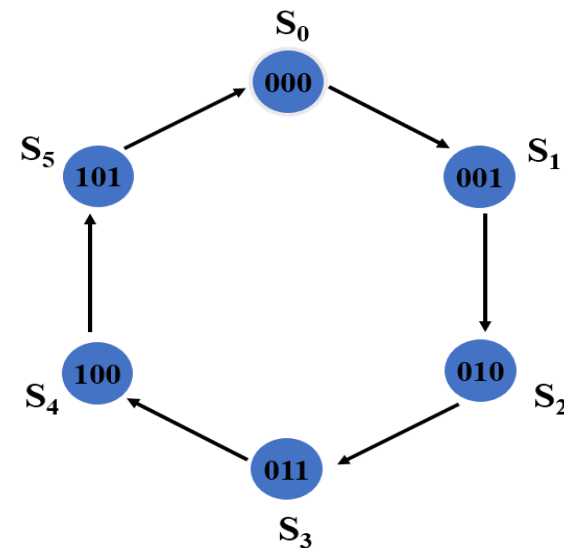
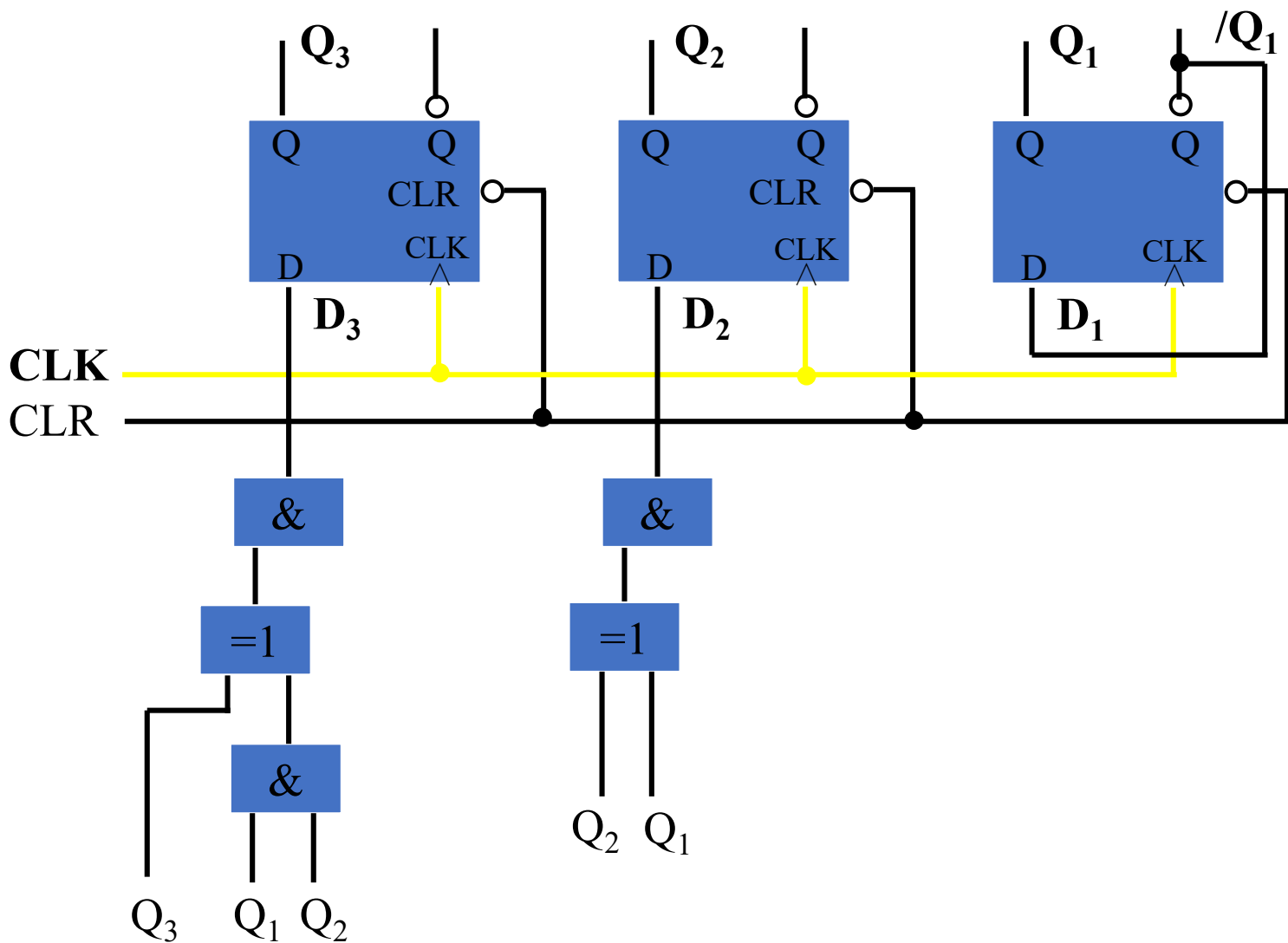
### 4.4.5 预置位计数器

先设计二进制计数器，再加入预置位电路。

假设起跳状态为 $S_a$ ：(1) 非 $S_a$ 状态时，保持计数器的状态转换，预置位电平无效。(2) 在起跳状态 $S_a$ 时，预先做好跳越准备，预置位电平有效，使预定的某些位触发器数据端加上预置数(1或0)，在下一拍时钟有效沿到达时，该触发器处于 $S_{a+K+1}$ 的对应位中的状态。



例 用预置位法设计六进制计数器。



起跳状态:  $S_a = S_5 (101)$

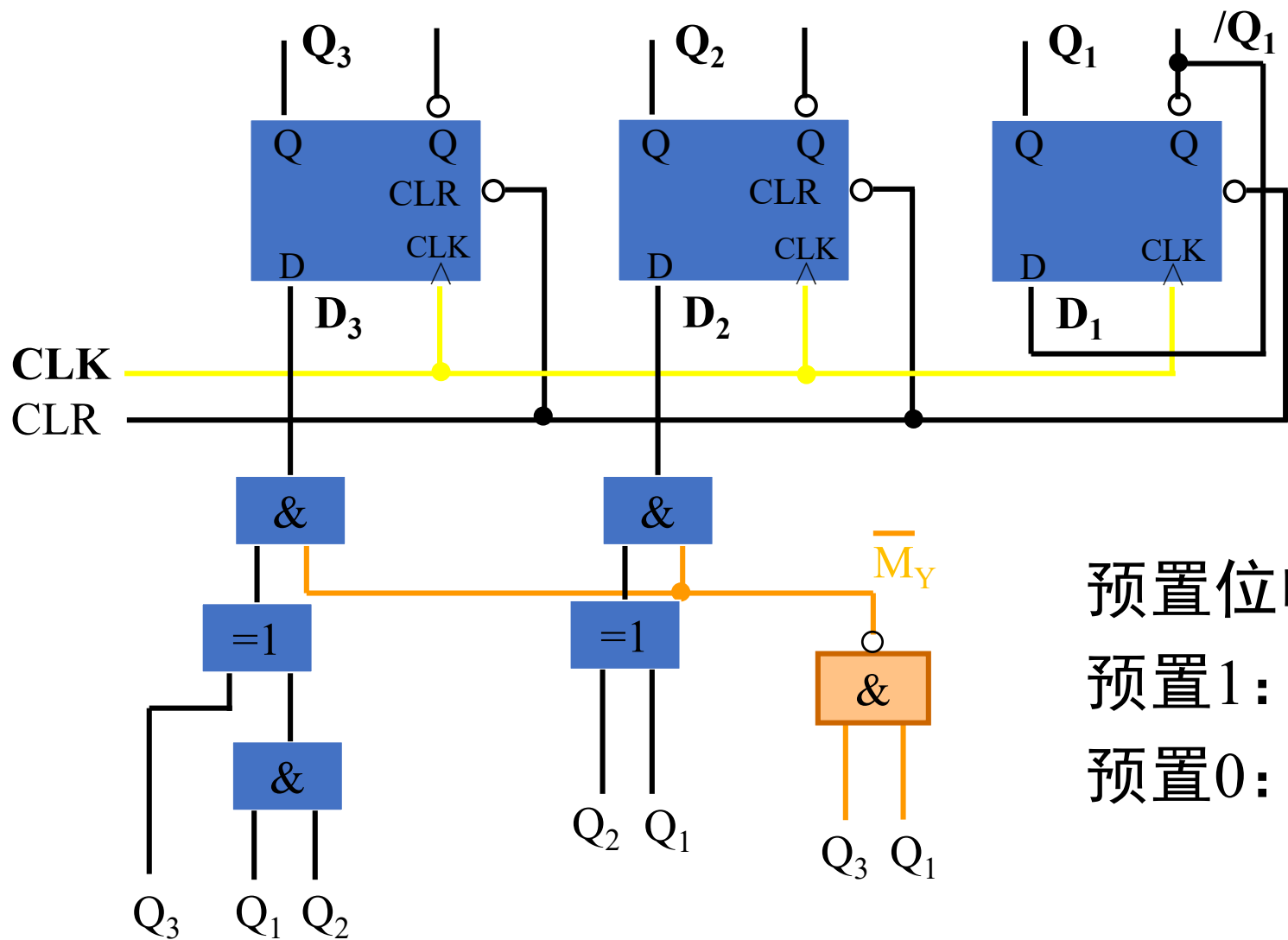
预置位电路:  $M_Y = Q_3 Q_1$   
 $\overline{M}_Y = \overline{Q_3} \overline{Q_1}$

$S_{a+1} = S_6 (110)$ ;  $S_0 = S_0 (000)$

对  $D_3$ 、 $D_2$  进行预置:

$$D_2 = (Q_1 \oplus Q_2) \cdot \overline{M}_Y$$

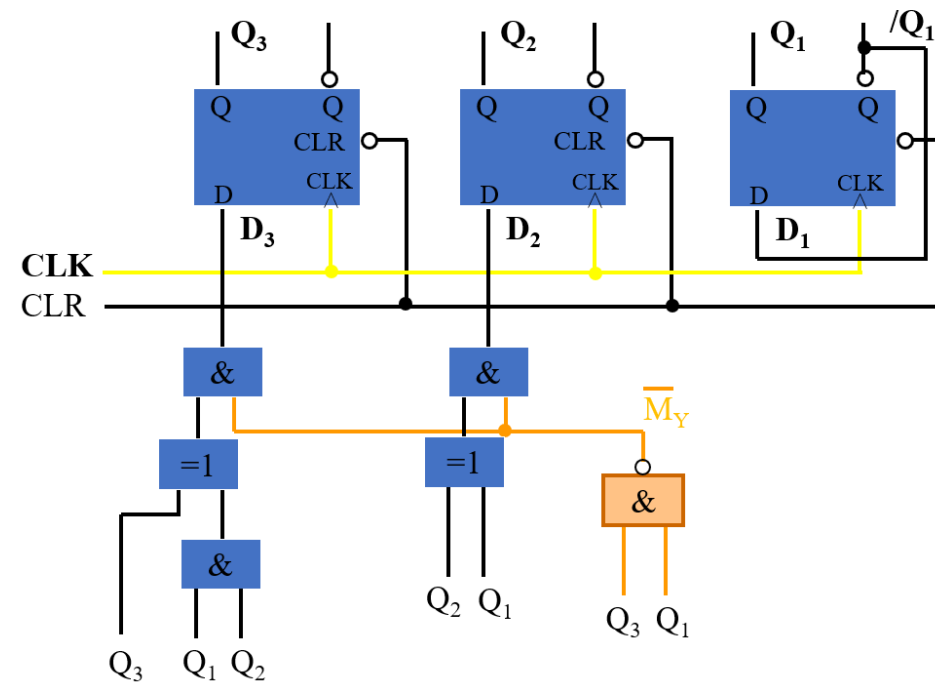
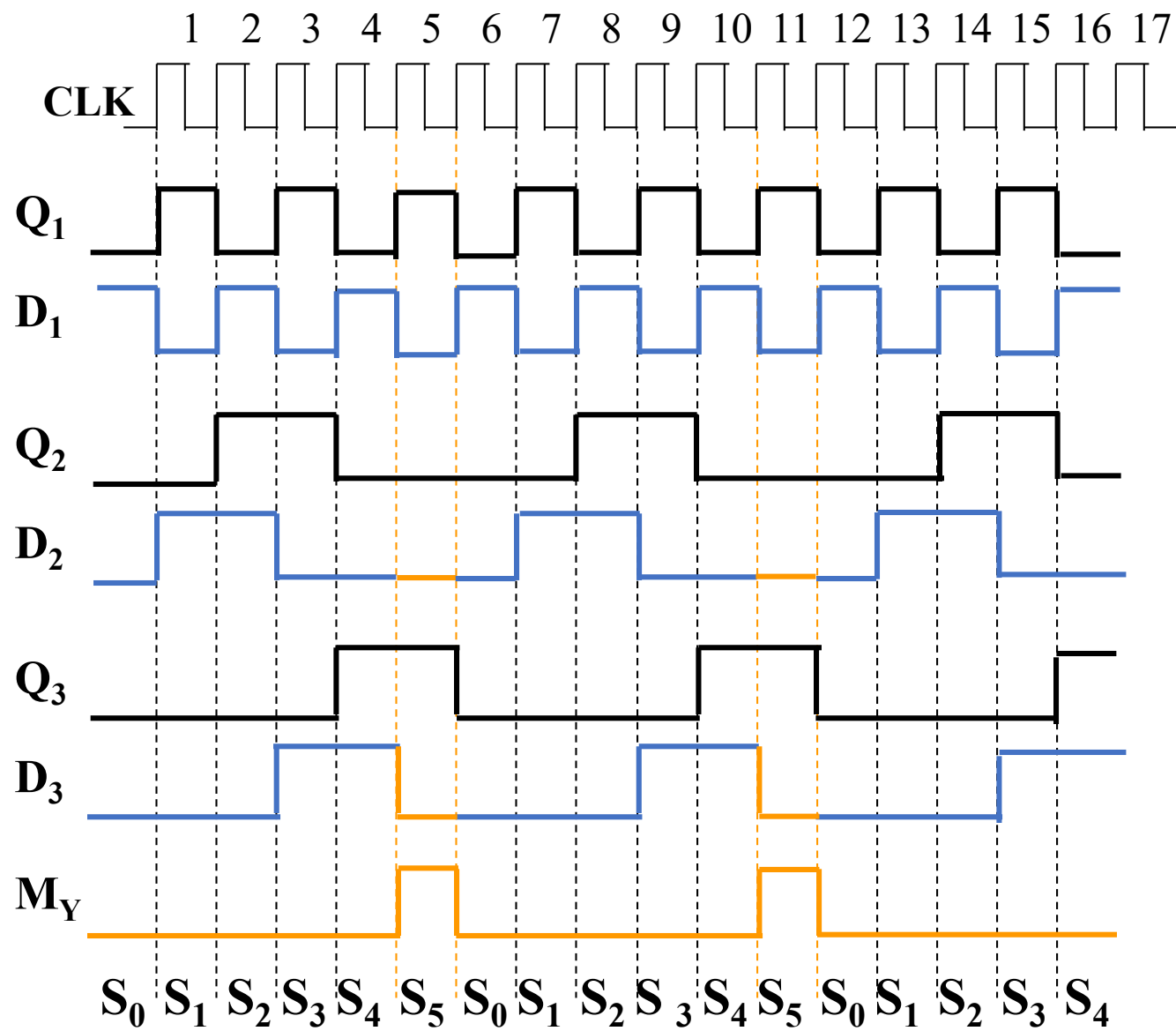
$$D_3 = ((Q_2 \oplus Q_1) \oplus Q_3) \cdot \overline{M}_Y$$



预置位电平 $M_Y$ （高电平）：

预置1：  $D_i = (Q_{i-1} \cdot Q_{i-2} \cdots Q_1) \oplus Q_i + M_Y$

预置0：  $D_i = (Q_{i-1} \cdot Q_{i-2} \cdots Q_1) \oplus Q_i \cdot \overline{M_Y}$



## 4.4.6 修正式计数器

预置位计数器保持原二进制计数器的连接方式

修正式对原二进制计数器的输入端作适当修正

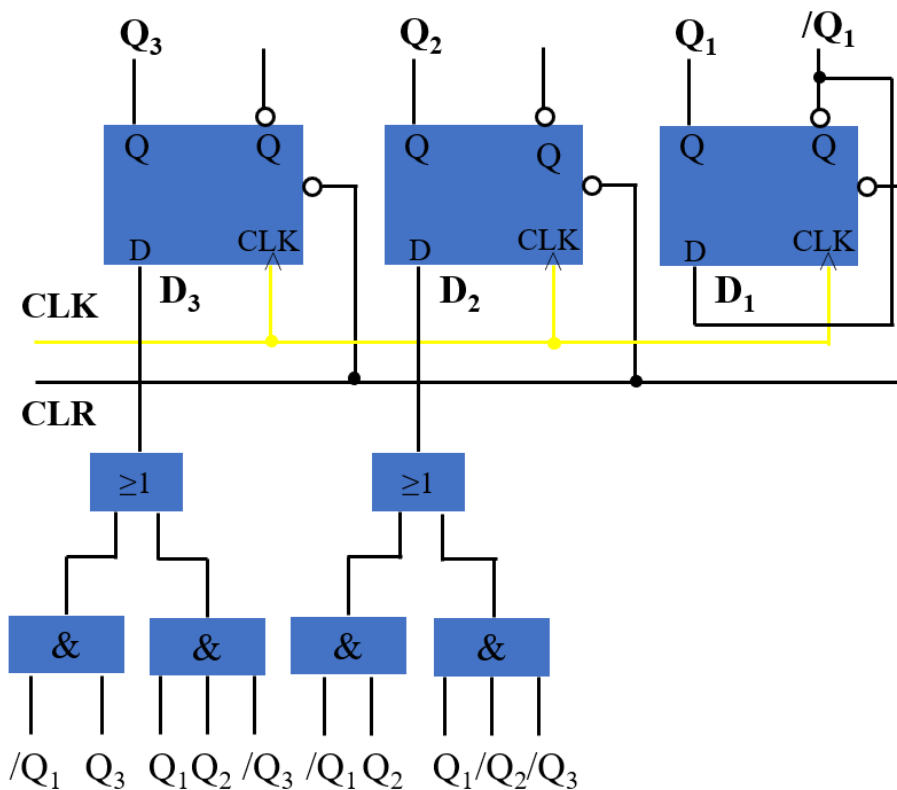
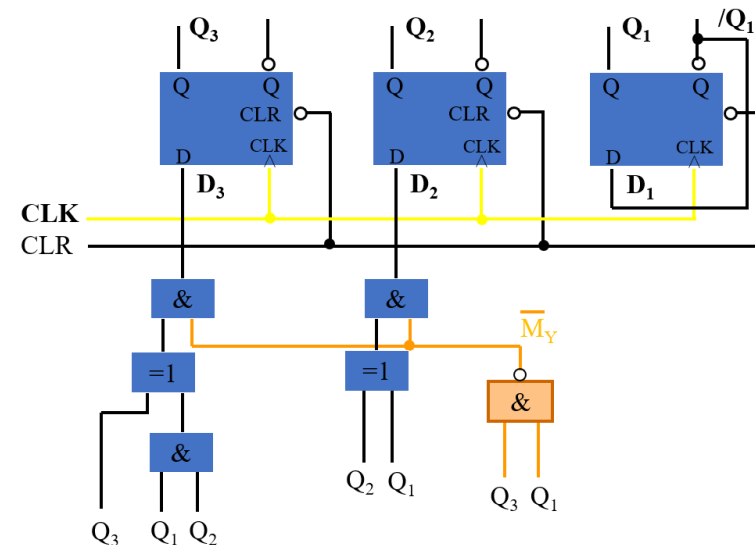
由预置位法得到：

$$M_Y = Q_3 Q_1$$

$$D_1 = \bar{Q}_1$$

$$\begin{aligned} D_2 &= (Q_1 \oplus Q_2) \cdot \bar{M}_Y \\ &= \bar{Q}_1 Q_2 + Q_1 \bar{Q}_2 \bar{Q}_3 \end{aligned}$$

$$\begin{aligned} D_3 &= ((Q_2 Q_1) \oplus Q_3) \cdot \bar{M}_Y \\ &= \bar{Q}_1 Q_3 + Q_1 Q_2 \bar{Q}_3 \end{aligned}$$





## 4.4.7 MSI 计数器及应用

74LS163四位同步二进制计数器：

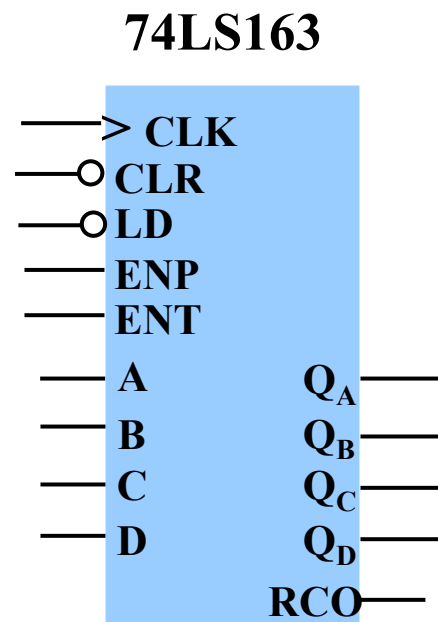
由 D 触发器组成的，输出在时钟CLK的上升沿改变。

/CLR输入有效，输出为0；

/LD有效、/CLR无效，输入ABCD送到输出端；

/CLR和/LD无效，ENP、ENT有效，加1计数。

RCO：最高位的进位，当计数位都是1且ENT有效时，RCO为1（多个74LS163级联）。



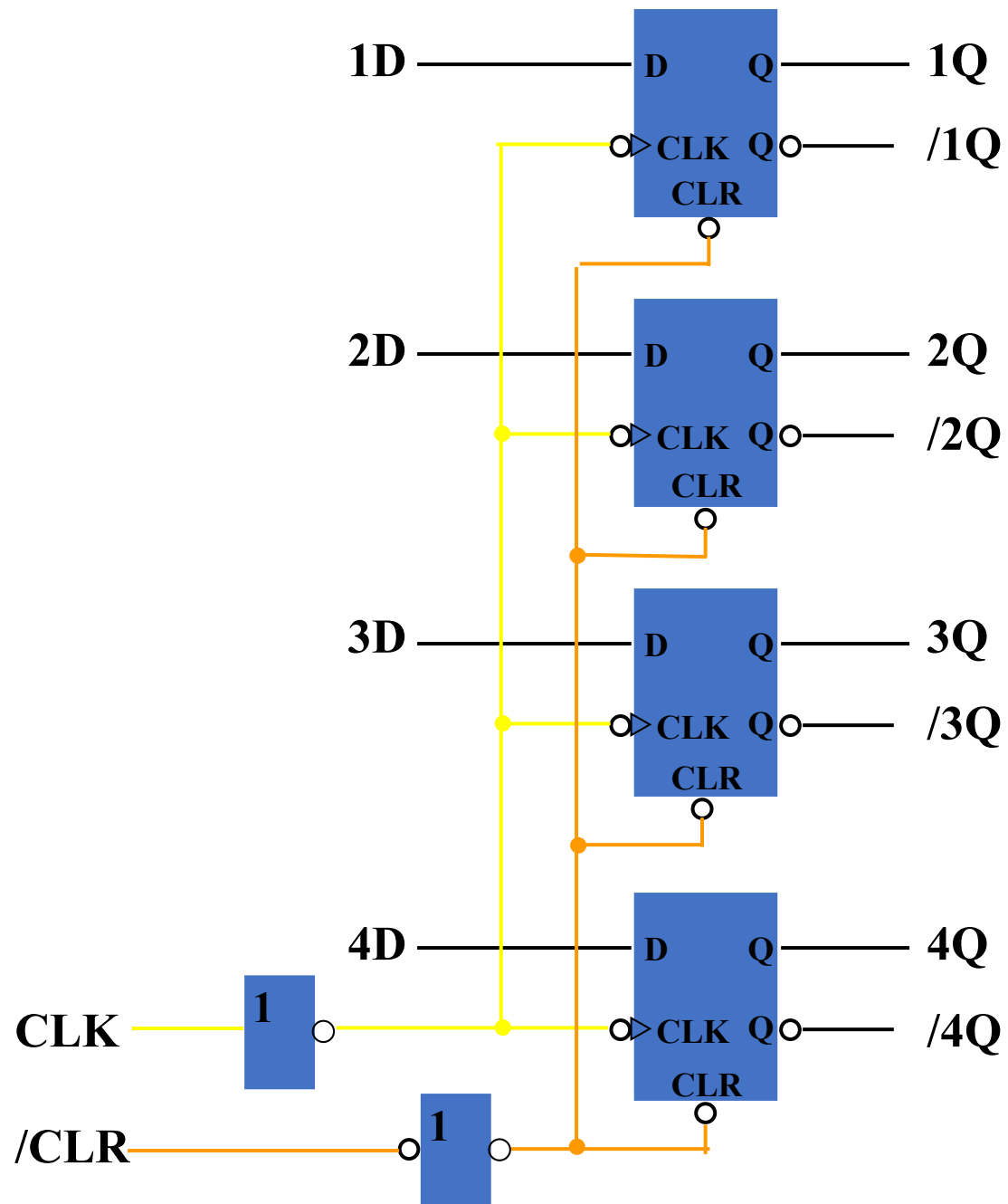
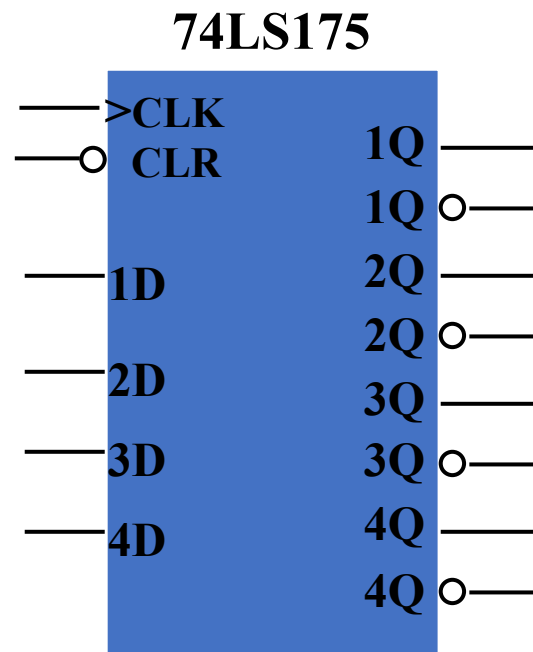
## 4.5 寄存器 Registers

用于暂时存放二进制代码的逻辑器件称为寄存器。寄存器按功能分为并行寄存器、串行寄存器及串并行寄存器。

并行寄存器没有移位功能，通常简称为寄存器 Registers ；

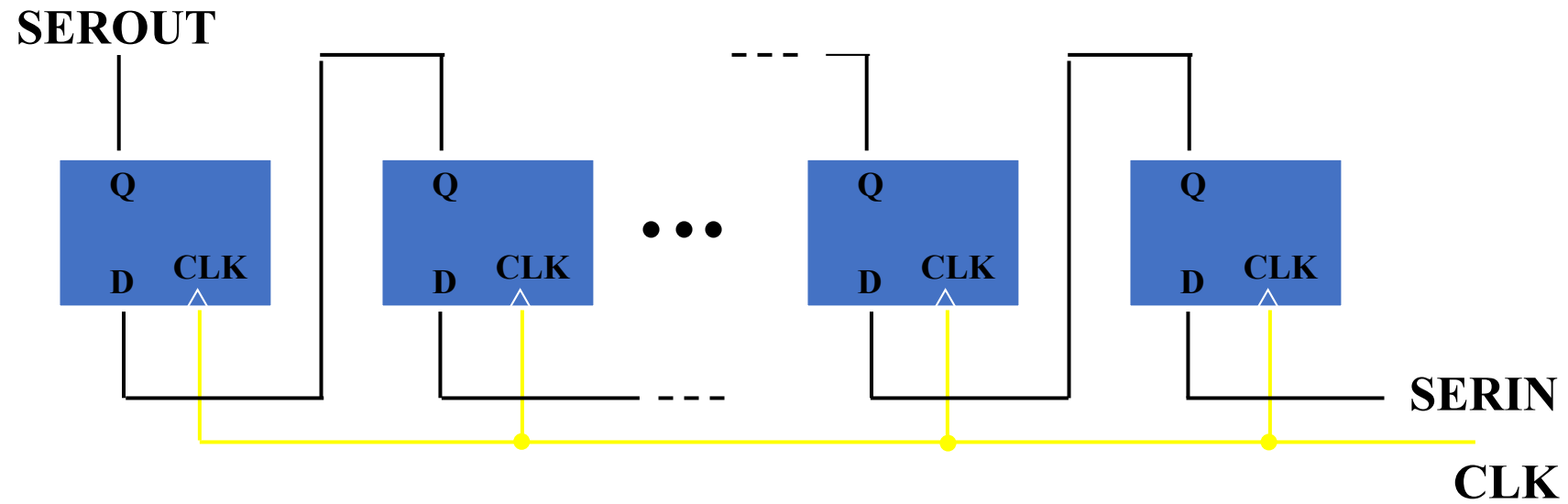
串行及串并行寄存器具有移位功能，通常称为移位寄存器 Shift Registers 。

## 4.5.1 并行寄存器

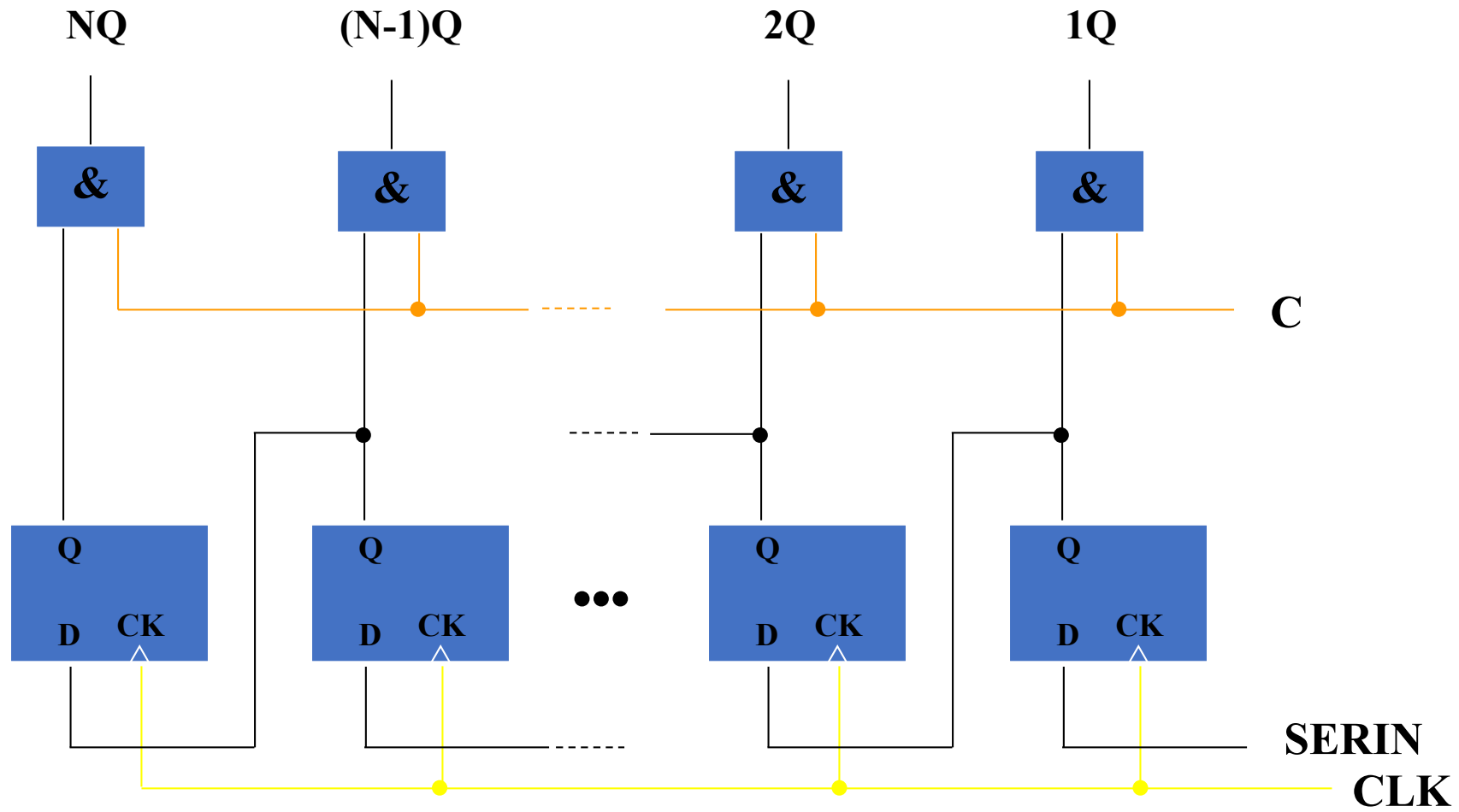


## 4.5.2 移位寄存器

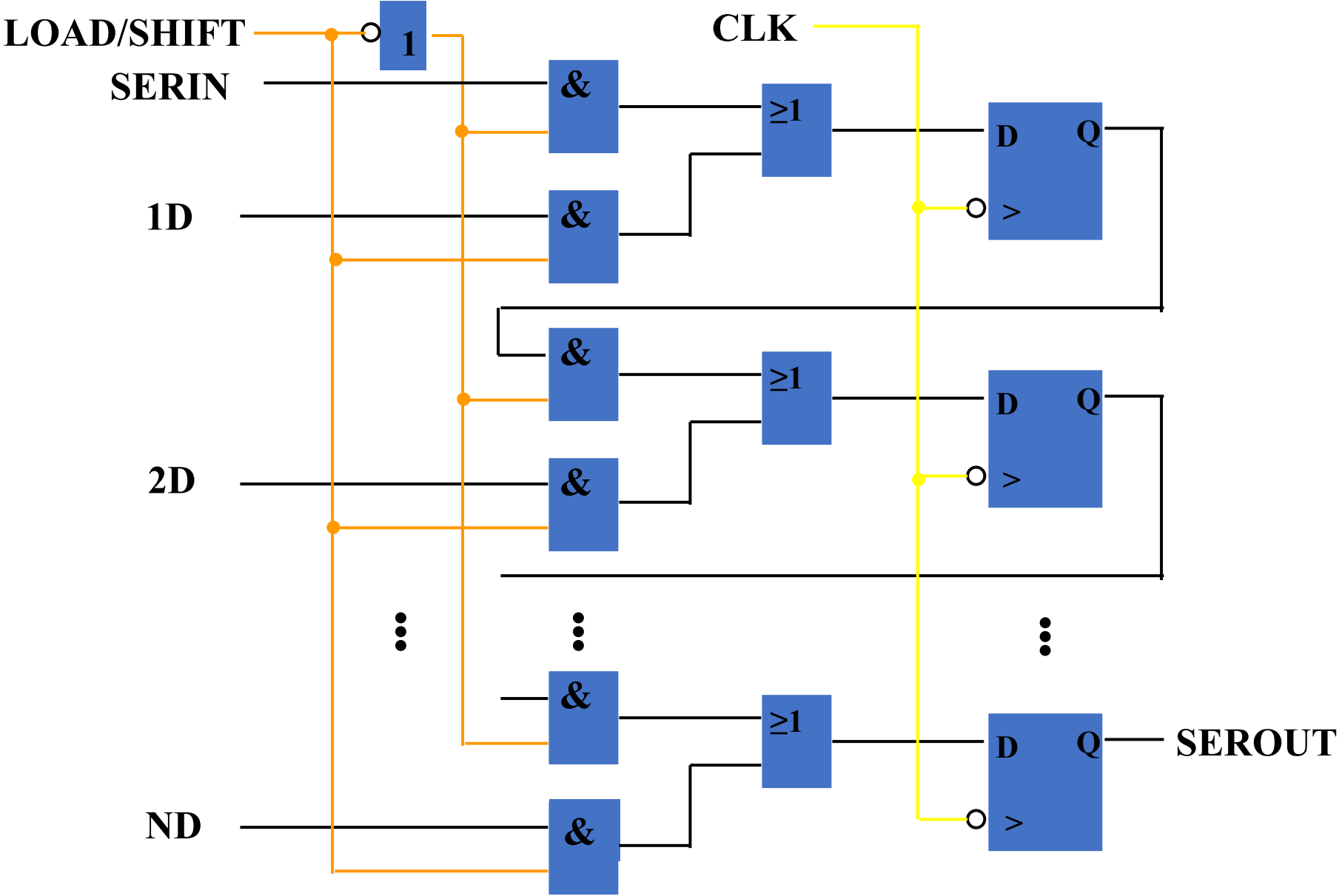
### 1、串入-串出结构



## 2、串入-并出结构



### 3、并入-串出结构



## 4、并入-并出结构

该结构即是将上页图中的各个触发器Q端均引出，其它部分完全相同。

当需要并行输出功能时，只需要外加读出控制门，在读出控制脉冲的作用下将寄存器中数据并行输出。

这种结构的移位寄存器的功能覆盖了前三种，因此通用性更强。逻辑图如下：

LOAD/SHIFT

CLK

外加读出控制门

SERIN

1D

2D

ND

1

&

$\geq 1$

D Q

1Q

&

&

&

$\geq 1$

D Q

2Q

&

&

$\geq 1$

D Q

NQ

&

⋮

⋮

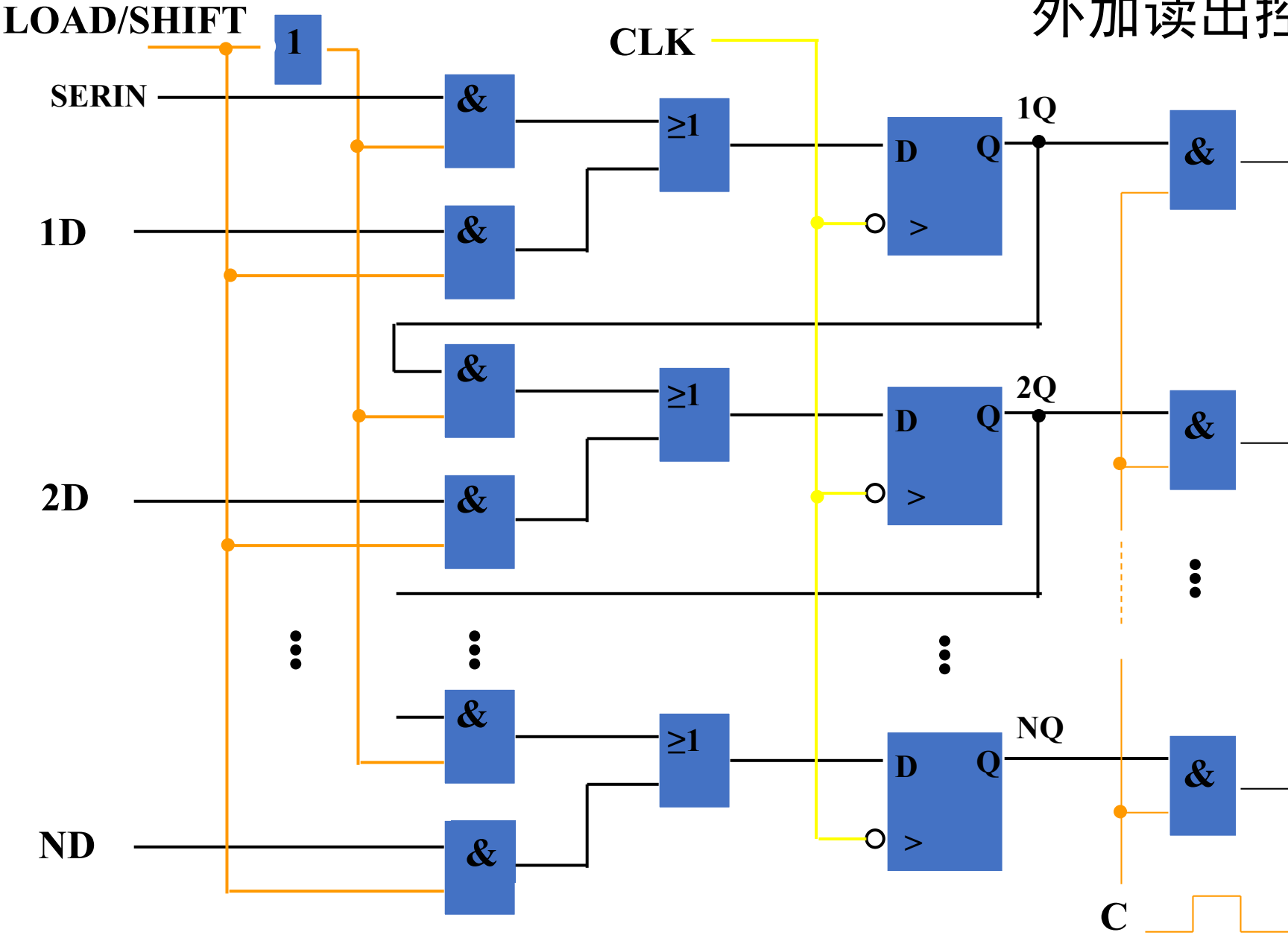
⋮

⋮

O

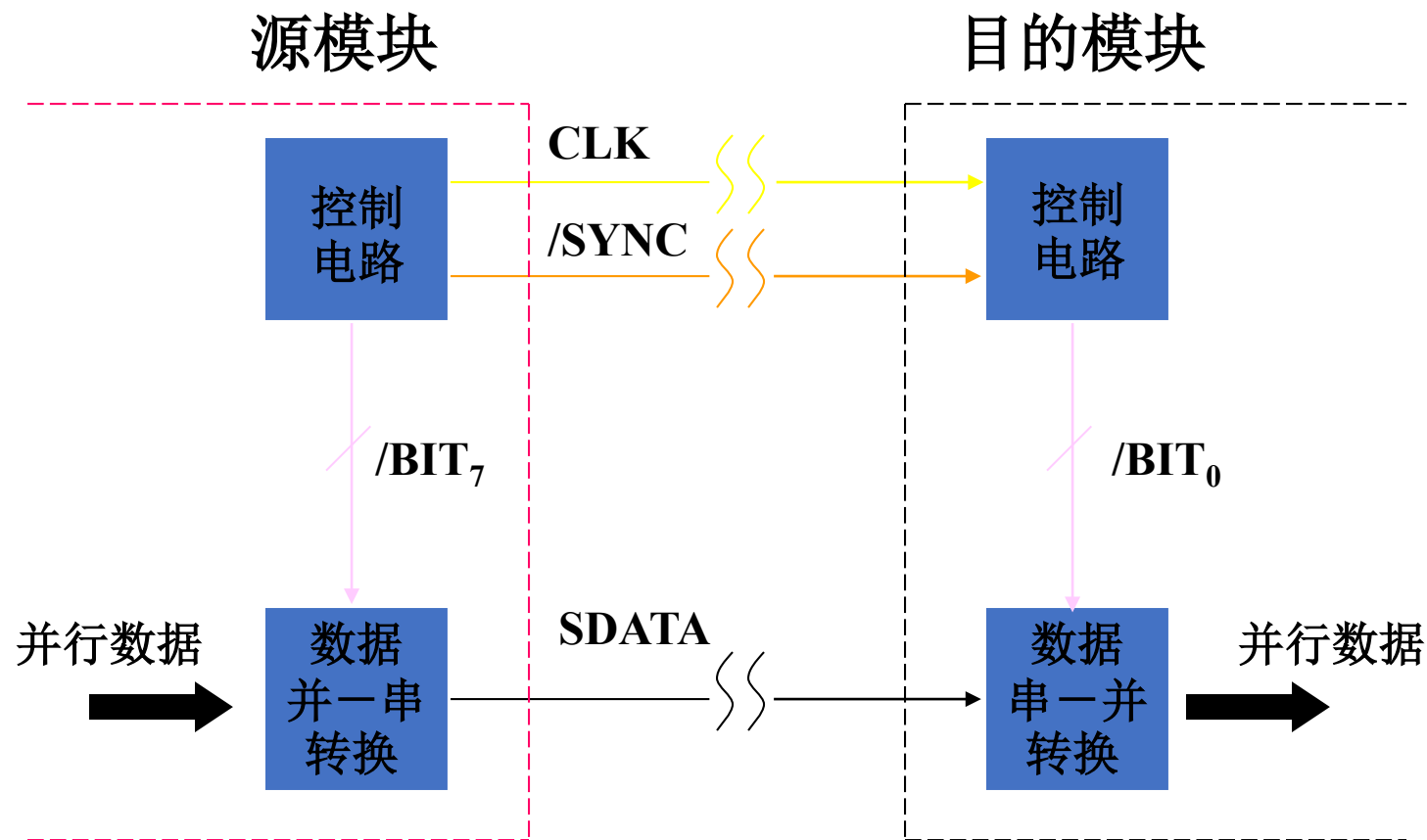
>

C



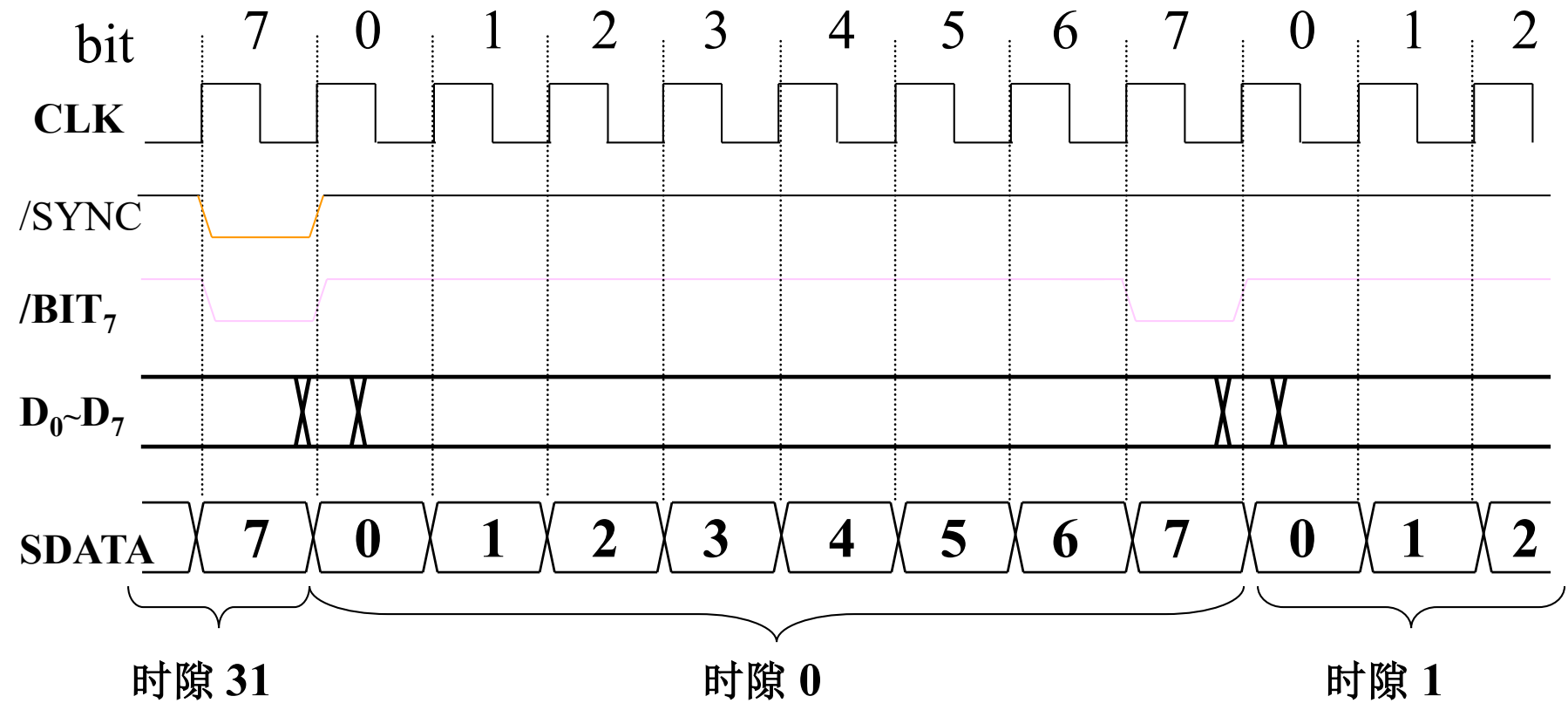


### 4.5.3 寄存器应用举例— 数据串并行的转换



两个模块间数据传送图

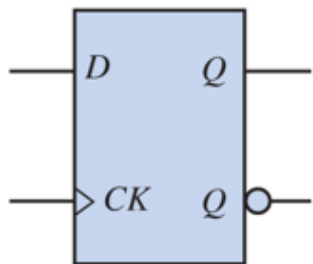
# 并 — 串转换时序图



# 时序逻辑电路的HDL描述

- 1、D触发器
- 2、寄存器
- 3、计数器
- 4、设计实例

# 1 D触发器



```
module dff
(
    input clk,
    input d,
    output reg q
);
always @(posedge clk)
    q <= d;
endmodule
```

敏感列表中的`posedge clk` 检测时钟的上升沿。这表明状态变化总是在clk信号的上升沿触发，反应出触发器边沿触发的特性。

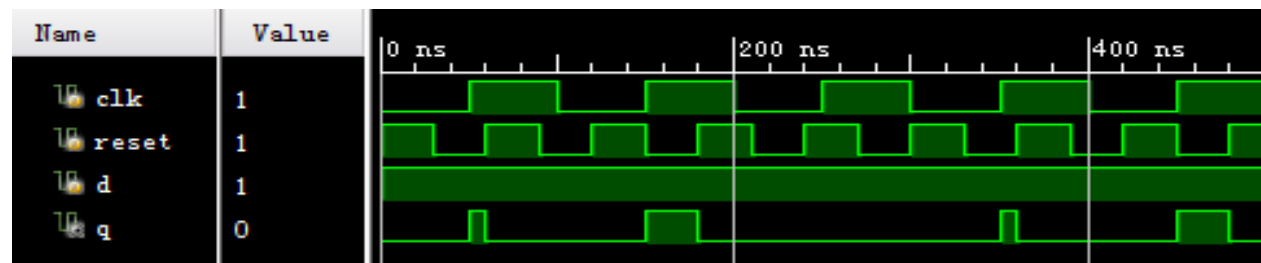
与posedge对应的还有`negedge`。

输入信号d不包含在敏感列表中，说明d只在时钟信号的上升沿进行采样，其值的改变并不会立即改变输出信号。

## 含异步复位的D触发器

D触发器可以包含异步复位信号，从时序波形可以看出，reset高电平时能够在任意时刻复位D触发器，而不受时钟信号控制。

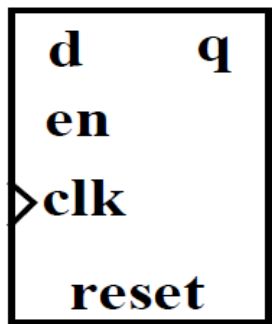
使用异步复位信号违反了同步设计方法，因此应该在正常操作中避免。主要用于初始化。



```
module dff_reset
(
    input clk,reset,
    input d,
    output reg q
);
    always @ (negedge reset or posedge clk)
    begin
        if (!reset)
            q <= 1'b0;
        else
            q <= d;
        end
    endmodule
```

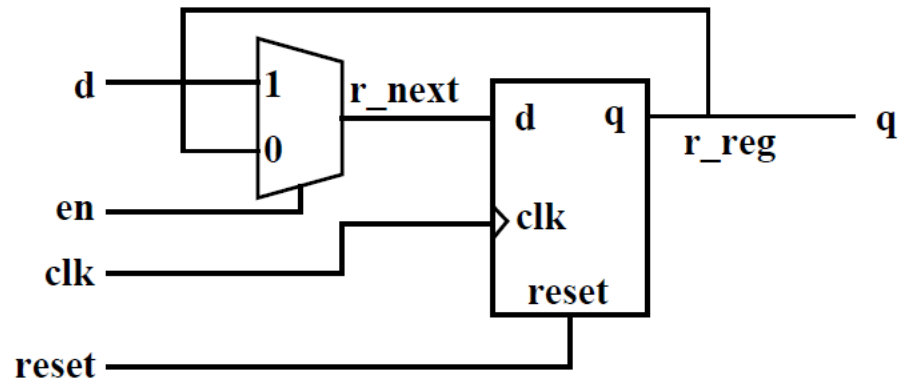
## 含异步复位和同步使能的D触发器

D触发器包含控制信号en，能够控制触发器进行输入值采样。使能信号en只有在时钟上升沿来临时才会生效，所以它是同步信号。如果en没有置1，触发器将保持先前的值。



| reset | clk        | en | q* |
|-------|------------|----|----|
| 1     | -          | -  | 0  |
| 0     | 0          | -  | q  |
| 0     | 1          | -  | q  |
| 0     | $\uparrow$ | 0  | q  |
| 0     | $\uparrow$ | 1  | d  |

```
module dff_reset_en_1seg
(
    input clk, reset,
    input en,
    input d,
    output reg q
);
always @(posedge clk, posedge reset)
begin
    if (reset)
        q <= 1'b0;
    else if(en)
        q <= d;
end
endmodule
```



```

module dff_reset_en_2seg
(
  input clk, reset,
  input en,
  input d,
  output reg q
);
reg r_reg, r_next;
always @(posedge clk, posedge reset)
begin
  if (reset)
    r_reg <= 1'b0;
  else
    r_reg <= r_next;
end

```

```

  //next-state logic
always @*
  begin
    if (en)
      r_next = d;
    else
      r_next = r_reg;
  end

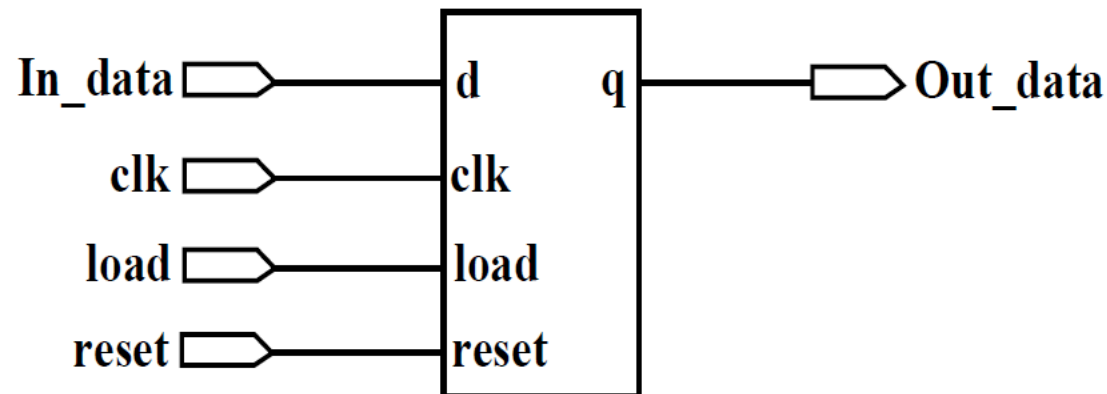
  //output logic
  always @*
    q = r_reg;
endmodule

```

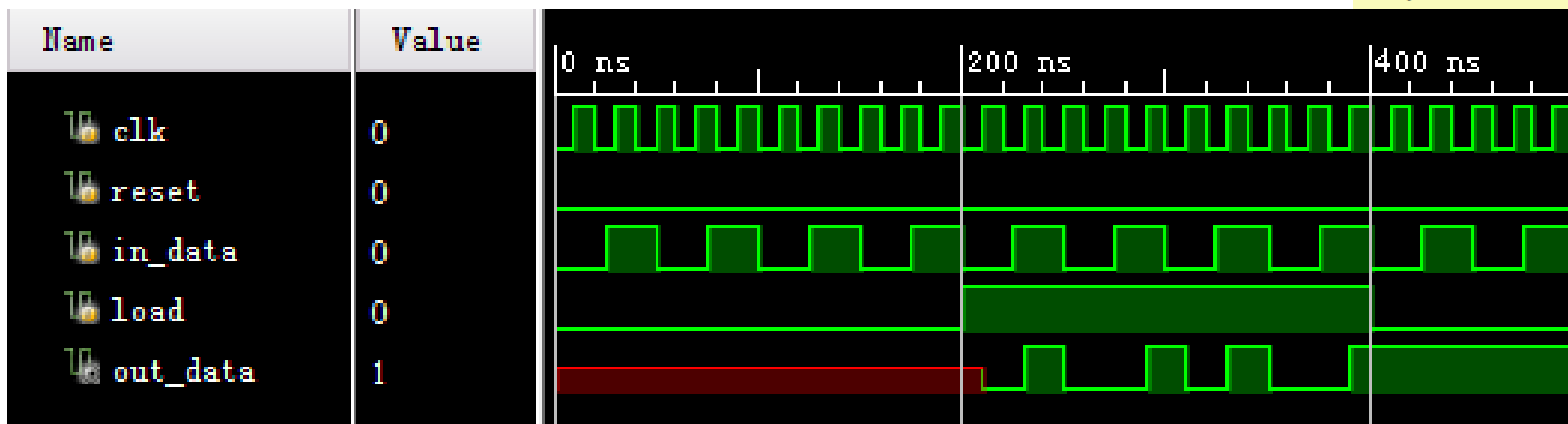
## 2 寄存器

D触发器可以用于信号的存储。如果d为1/0，在时钟的上升沿，D触发器的输出q将变为1/0。

1位寄存器：D触发器增加load，当load为1时，在下一个时钟上升沿，in\_data的值将被存储在q中，out\_data等于in\_data；load为0时，out\_data保持



```
module reg_1
(
    input clk, reset,
    input in_data,
    input load,
    output reg out_data
);
```



```
(posedge clk, posedge reset)
```

```
out_data <= 0;
```

```
load == 1)
```

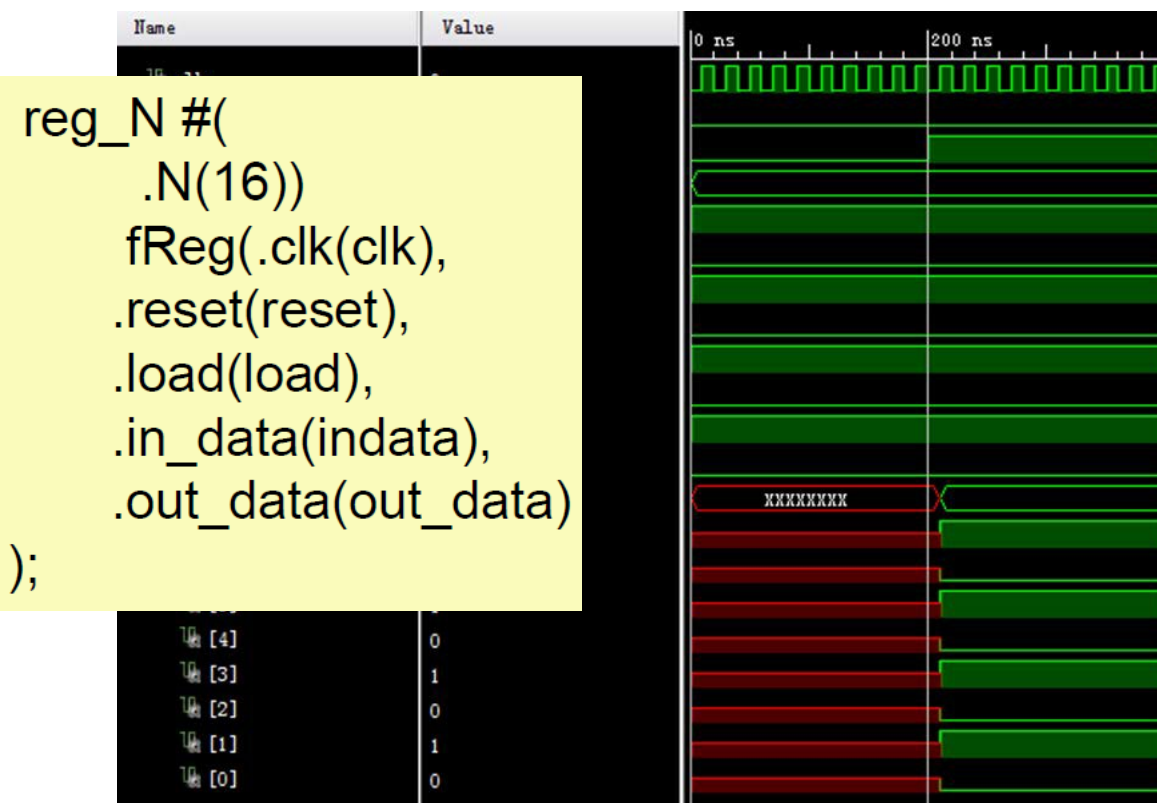
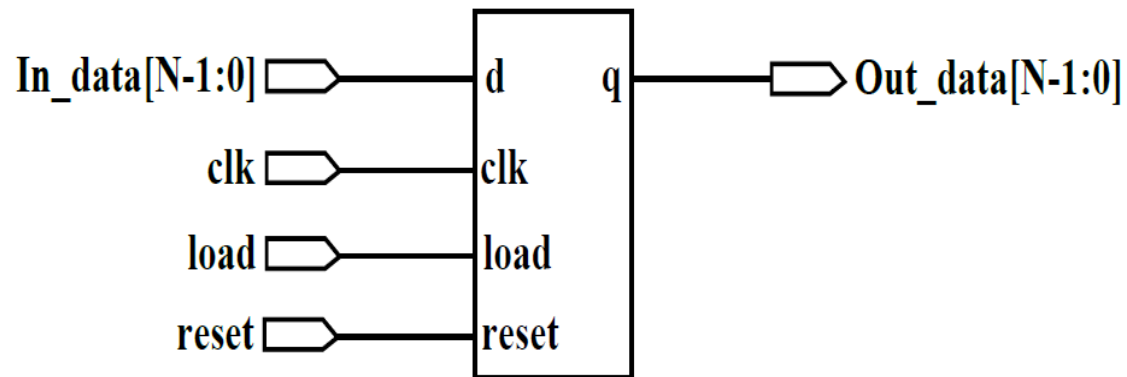
```
out_data <= in_data;
```

```
e
```



N个1位寄存器组合成一个N位寄存器。  
in\_data和out\_data为N位的数组。

```
module reg_N
#(parameter N = 8)
(
    input clk,
    input reset,
    input [N-1:0] in_data,
    input load,
    output reg [N-1:0] out_data
);
always @(posedge clk, posedge reset)
    if(reset)
        out_data <= 0;
    else if(load == 1)
        out_data <= in_data;
endmodule
```



寄存器组由一组拥有同一个输入端口和一个或多个输出端口的寄存器组成。写地址信号w\_addr指定了数据存储位置，读取地址信号r\_addr指定数据检索位置。寄存器组通常用于快速、临时存储。

参数W指定了地址线的位数，表明在这个寄存器组中有 $2^W$ 个字。参数N指定了一个字的位数。

```
module reg_file
  #(
    parameter N = 8, //比特数
    W = 2) //地址比特数
  (
    input clk,
    input wr_en,
    input [W-1:0] w_addr, r_addr,
    input [ N-1:0] w_data,
    output [ N-1:0] r_data
  );
  reg [ N-1:0] array_reg[2**W-1:0];

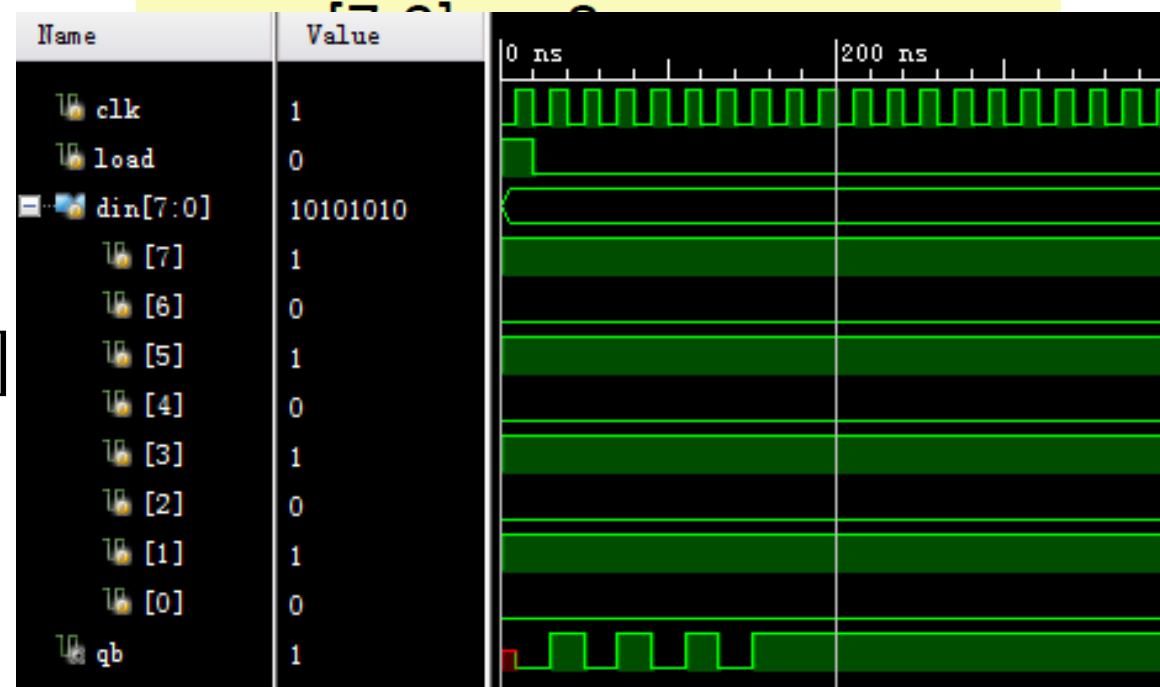
  always @(posedge clk)
    if(wr_en)
      array_reg[w_addr] <= w_data;
    assign r_data = array_reg[r_addr];
endmodule
```

具有同步预置功能的8位移位寄存器

一个N位的移位寄存器包含N个触发器。在每个时钟脉冲作用下，数据从一个触发器移到另一个触发器。

当clk的上升沿到来时，如果load为高电平，则输入端口din的8位二进制数被同步并行移入移位寄存器，用作串行右移的初始值；如果load为低电平，则执行赋值语句： $\text{reg8}[6:0] \leq \text{reg8}[7:1]$

```
module shift_reg8
(
    input clk,
    input load,
    input [7:0] din,
    output qb
);
```



# 8位通用移位寄存器

```
module univ_shift_reg
    #(parameter N = 8)
    (
        input clk, reset ;
        input [1:0] ctrl ;
        input [N-1:0] d ;
        output [N-1:0] q
    );
    //信号声明
    reg [N-1:0] r_reg, r_next;
    //寄存器
    always @(posedge clk, posedge reset)
```

```
    if (reset)
        r_reg <= 0;
    else
        r_reg <= r_next;           //next-state logic
    always @*
        case (ctrl)
            2'b00: r_next = r_reg;           //无操作
            2'b01: r_next = {r_reg[N-2:0], d[0]}; //左移
            2'b10: r_next = {d[N-1], r_reg[N-1:1]}; //右移
            default: r_next = d;             //载入
        endcase
    assign q = r_reg;               //输出逻辑
endmodule
```

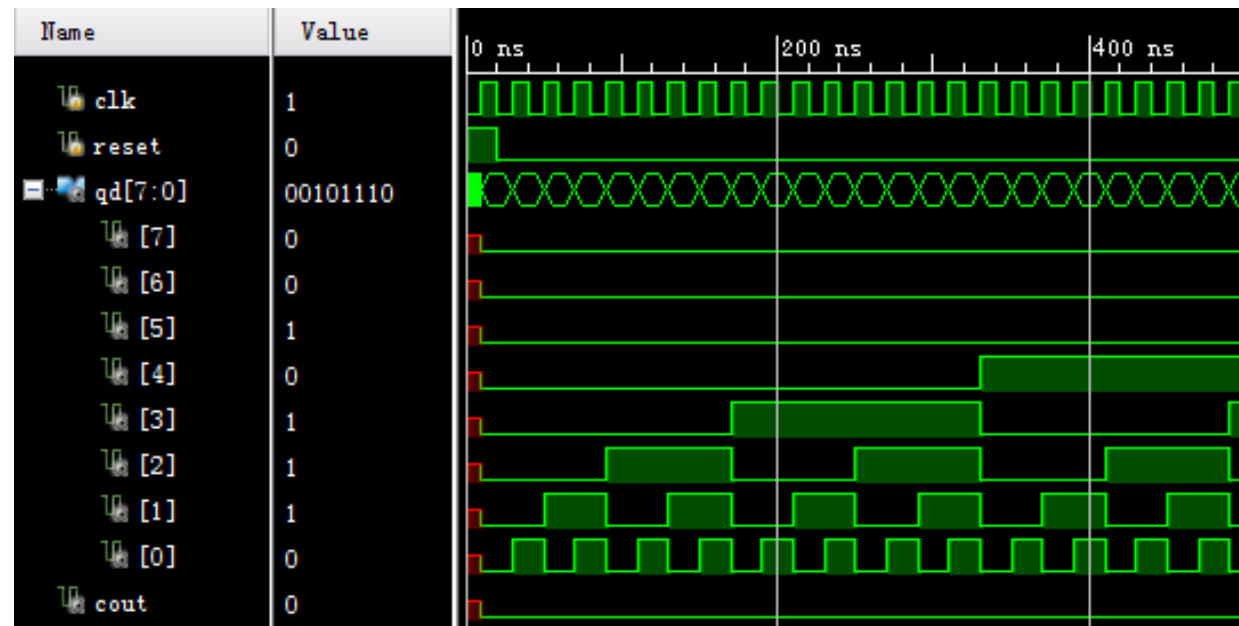
加载并行数据、左移位、右移位或保持；也可以实现并转串或串转并。  
通用移位寄存器可以分为组合和时序逻辑两部分。下一状态逻辑使用多路选择器选择。

# 3 计数器

## 二进制计数器（N位二进制计数器）

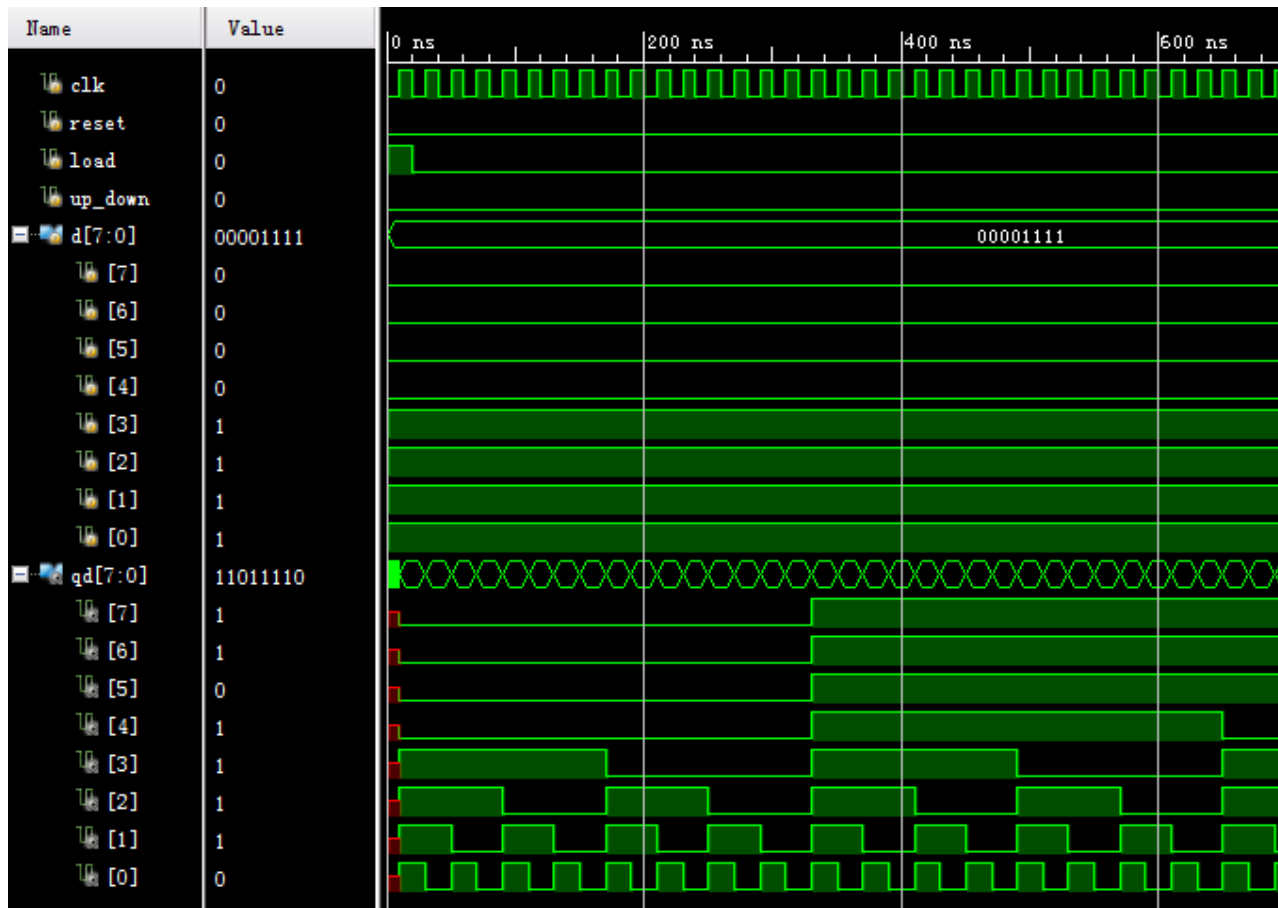
1. 当reset为高电平时，clk上升沿对计数器的复位；

2. 以N=4为例。reset为低电平时，下一个时钟上升沿开始，从0000计数，直至计满1111，再溢出为0000，此时进位端cout输出一个clk周期的高电平；同时qd输出当前计数器的值。



```
);  
reg [N-1:0] regN;  
always @(posedge clk)  
    if(reset)  
        regN <= 0;  
    else  
        regN <= regN + 1;  
    assign qd = regN;  
    assign cout = (regN == 2**N-1)?1'b1:1'b0;  
endmodule
```

通用二进制计数器：增/减计数、暂停、预置初值、同步清0等。计数器采用同步工作方式，同步时钟输入端口是clk。

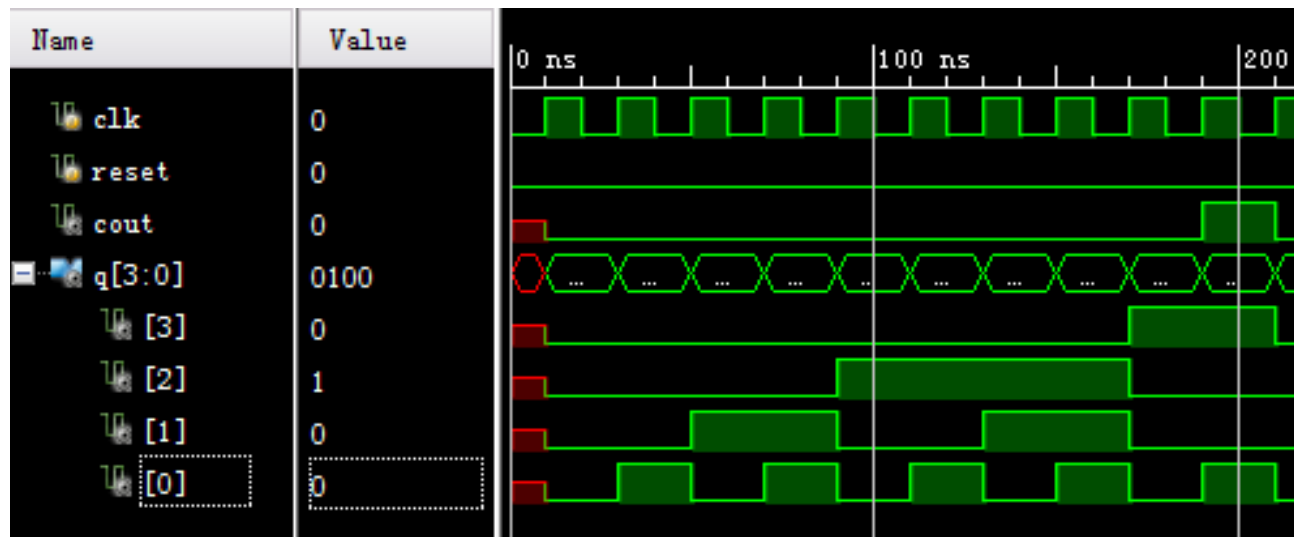


```

module counter_univ_bin_N
  #(parameter N = 8)
  (
    input clk,reset,load,up_down,
    input [N-1:0] d,
    output [N-1:0] qd
  );
  reg [N-1:0] regN;
  always @(posedge clk)
    if (reset)
      regN <= 0;
    else if (load)
      regN <= d;
    else if (up_down)
      regN <= regN + 1;
    else regN <= regN - 1;
    assign qd = regN;
endmodule

```

模m计数器的计数值从0增加到m-1，  
然后循环。



```

module counter_mod_m
  #(parameter N = 4,           //计数器位数
    parameter M = 10)         //模M缺省为10
  (
    input  clk,reset,
    output [N-1:0] qd,
    output cout
  );
  reg [N-1:0] regN;
  always @(posedge clk)
    if(reset)
      regN <= 0;
    else if (regN < (M-1))
      regN <= regN + 1;
    else
      regN <= 0;
    assign qd = regN;
    assign cout = (regN == (M-1))?1'b1:1'b0;
endmodule
  
```

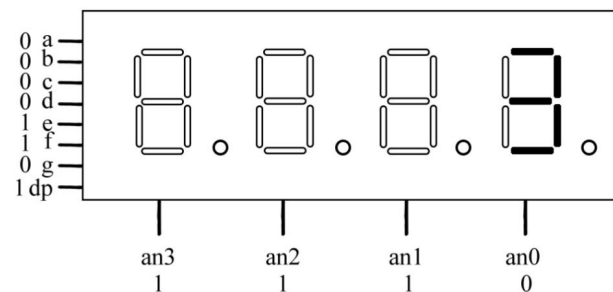
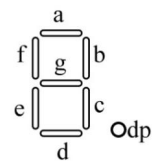
## 4 设计实例

数码管扫描显示电路：使用多个数码管进行显示。

分时复用的扫描显示方案进行数码管驱动：8个段码并接在一起，再用4个IO口分别控制每个数码管的公共端，动态点亮数码管。

最右端数码管显示“3”时，段码信号为“00001101”，4个控制信号为“1110”。这种控制方式同一时间只会点亮一个数码管，采用分时复用的模式轮流点亮数码管。

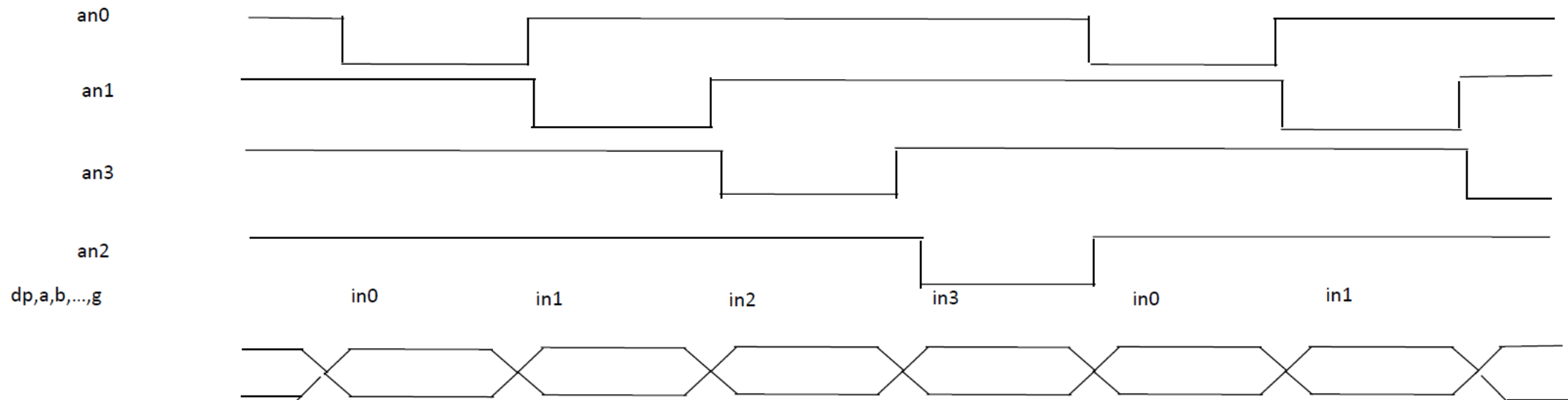
分时复用的扫描显示利用了人眼的视觉特性。如果公共端控制信号的刷新速度足够快，人眼就不会区分出LED的闪烁，认为4个数码管是同时点亮。





分时复用的数码管显示电路模块含有四个控制信号an3、an2、an1和an0，以及与控制信号一致的输出段码信号sseg。

控制信号的刷新频率必须足够快才能避免闪烁感，但也不能太快，以免影响数码管的开关切换，最佳工作频率为1000Hz左右。



```

module scan_led_disp
(
  input  clk,reset,
  input [7:0] in3,in2,in1,in0,
  output reg [3:0] an,
  output reg [7:0] sseg
);
  localparam N = 18; //对输入50MHz时钟进行分频
  (50 MHz/2^16)
  reg [N-1:0] regN;

  always @(posedge clk,posedge reset)
    if (reset)
      regN <= 0;
    else
      regN <= regN + 1;

```

```

  always @*
    case (regN[N-1:N-2])
      2'b00: begin
        an = 4'b1110;
        sseg = in0;
      end
      2'b01: begin
        an = 4'b1101;
        sseg = in1;
      end
      2'b10: begin
        an = 4'b1011;
        sseg = in2;
      end
      default: begin
        an = 4'b0111;
        sseg = in3;
      end
    endcase
endmodule

```

一个更好的选择是首先输出多路十六进制数据，然后将其译码。这种方案只需要一个译码电路，使4选1数据选择器的位宽从8位降为了5位（4位16进制数和1位小数点）。除clock和reset信号之外，输入信号包括4个4位十六进制数据：hex3，hex2，hex1，hex0，和dp\_in中的4位小数点。

```

module scan_led_hex_disp
( input clk,reset ,
  input [3:0] hex3,hex2,hex1,hex0 ,
  input [3:0] dp_in ,
  output reg [3:0] an ,
  output reg [7:0] sseg
);
localparam N = 18; //对输入50MHz时钟进行分频(50 MHz/2^16)
reg [N-1:0] regN;
reg [3:0] hex_in;
always @(posedge clk,posedge reset)
  if (reset)
    regN <= 0;
  else
    regN <= regN + 1;
always @*
  case (regN[N-1:N-2])
    2'b00:
      begin
        an = 4'b1110;
        hex_in = hex0;
        dp = dp_in[0];
      end
    2'b01:
      begin
        an = 4'b1101;
        hex_in = hex1;
        dp = dp_in[1];
      end
    2'b10:
      begin
        an = 4'b1011;
        hex_in = hex2;

```

```

        dp = dp_in[2];
      end
    default:
      begin
        an = 4'b0111;
        hex_in = hex3;
        dp = dp_in[3];
      end
  endcase
always @*
begin
  case (hex_in)
    4'h0: sseg[6:0] = 7'b0000001;
    4'h1: sseg[6:0] = 7'b1001111;
    4'h2: sseg[6:0] = 7'b0010010;
    4'h3: sseg[6:0] = 7'b0000110;
    4'h4: sseg[6:0] = 7'b1001100;
    4'h5: sseg[6:0] = 7'b0100100;
    4'h6: sseg[6:0] = 7'b0100000;
    4'h7: sseg[6:0] = 7'b0001111;
    4'h8: sseg[6:0] = 7'b0000000;
    4'h9: sseg[6:0] = 7'b0000100;
    4'ha: sseg[6:0] = 7'b0001000;
    4'hb: sseg[6:0] = 7'b1100000;
    4'hc: sseg[6:0] = 7'b0110001;
    4'hd: sseg[6:0] = 7'b1000010;
    4'he: sseg[6:0] = 7'b0110000;
    default: sseg[6:0] = 7'b0111000; //4'hf
  endcase
  sseg[7] = dp;
end
endmodule

```

```
module scan_led_hex_disp_test
  ( input clk ,
    input [7:0] sw ,
    output [3:0] an ,
    output [7:0] sseg
  );
  wire [3:0] a,b;
  wire [7:0] sum;
```

```
  assign a = sw[3:0];
  assign b = sw[7:4];
  assign sum = {4'b0, a} + {4'b0, b};
  //实例化4位16进制数动态显示模块
  scan_led_hex_disp  scan_led_disp_unit
    (.clk(clk), .reset(1'b0),
    .hex3(sum[7:4]), .hex2(sum[3:0]), .hex1(b),
    .hexO(a),
    .dp_in(4' b1011), .an(an), .sseg(sseg));
  endmodule
```