



复旦微电子

FMK50 系列 FPGA

封装和管脚定义

2020. 02



本资料是为了让用户根据用途选择合适的上海复旦微电子集团股份有限公司（以下简称复旦微电子）的产品而提供的参考资料，不转让属于复旦微电子或者第三者所有的知识产权以及其他权利的许可。

在使用本资料所记载的信息最终做出有关信息和产品是否适用的判断前，请您务必将所有信息作为一个整体系统来进行评价。

采购方对于选择与使用本文描述的复旦微电子的产品和服务全权负责，复旦微电子不承担采购方选择与使用本文描述的产品和服务的责任。除非以书面形式明确地认可，复旦微电子的产品不推荐、不授权、不担保用于包括军事、航空、航天、救生及生命维持系统在内的，由于失效或故障可能导致人身伤亡、严重的财产或环境损失的产品或系统中。

未经复旦微电子的许可，不得翻印或者复制全部或部分本资料的内容。

今后日常的产品更新会在适当的时候发布，恕不另行通知。在购买本资料所记载的产品时，请预先向复旦微电子在当地的销售办事处确认最新信息，并请您通过各种方式关注复旦微电子公布的信息，包括复旦微电子的网站(<http://www.fmsh.com/>)。

如果您需要了解有关本资料所记载的信息或产品的详情，请与上海复旦微电子集团股份有限公司在当地的销售办事处联系。

商 标

上海复旦微电子集团股份有限公司的公司名称、徽标以及“复旦”徽标均为上海复旦微电子集团股份有限公司及其分公司在中国的商标或注册商标。

上海复旦微电子集团股份有限公司在中国发布，版权所有。

上海复旦微电子集团股份有限公司
Shanghai Fudan Microelectronics Group Company Limited

FMK50 系列 FPGA

版本 1.2

封装和管脚定义

2



章节列表

1	第一章 管脚定义	4
1.1	第一节 FPGA 框图.....	4
1.1.1	FMK50 框图	4
1.1.2	FMK50T4 框图.....	5
1.2	第一节 管脚说明.....	5
1.2.1	管脚定义规则.....	5
1.2.2	配置管脚说明.....	7
1.3	第二节 管脚信息.....	8
1.3.1	FMK50 管脚信息	8
1.3.2	FMK50T4 管脚信息	21
2	第二章 封装信息	39
2.1	FMK50 FCFBGA324.....	39
2.2	FMK50T4 FCFBGA484	40
	版本信息	41
	上海复旦微电子集团股份有限公司销售及服	42

1 第一章 管脚定义

FMK50 系列 FPGA 是复旦微电子针对中小规模应用市场发布的自主知识产权产品。该系列产品包含 FMK50 和 FMK50T4 两款产品。

1.1 第一节 FPGA 框图

1.1.1 FMK50 框图

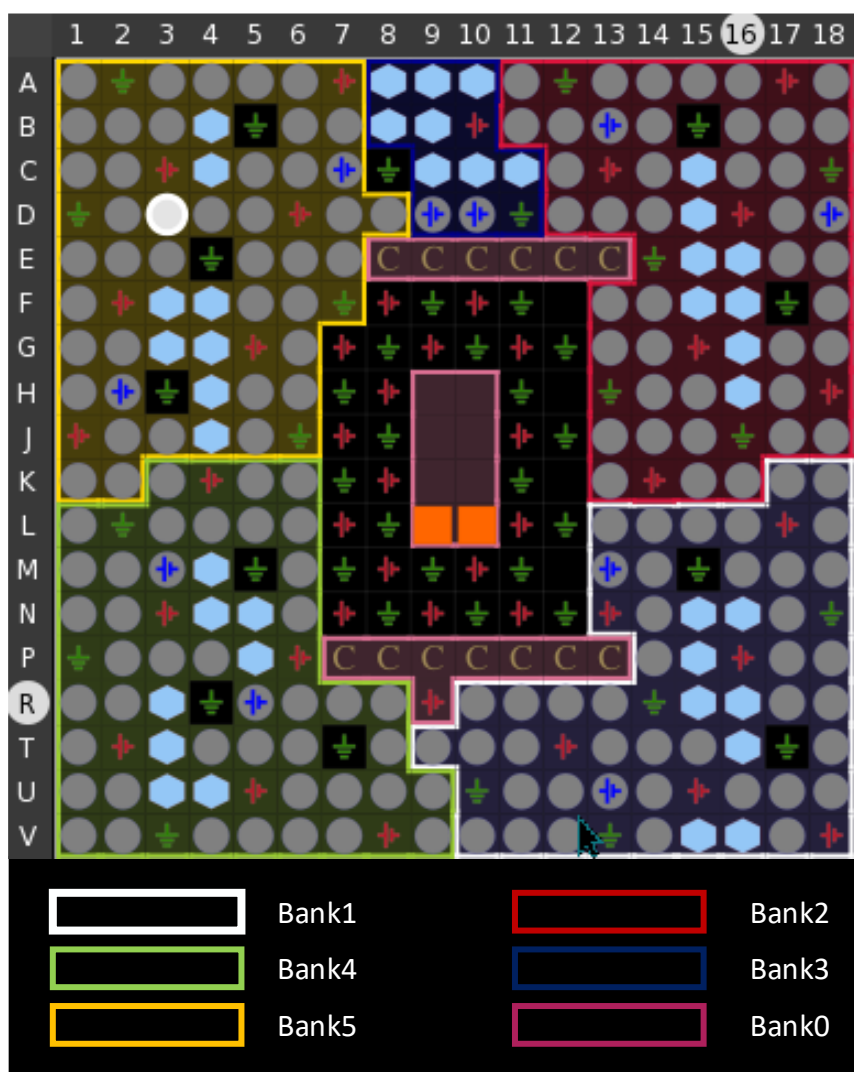


图 1.1 FMK50 框图

1.1.2 FMK50T4 框图

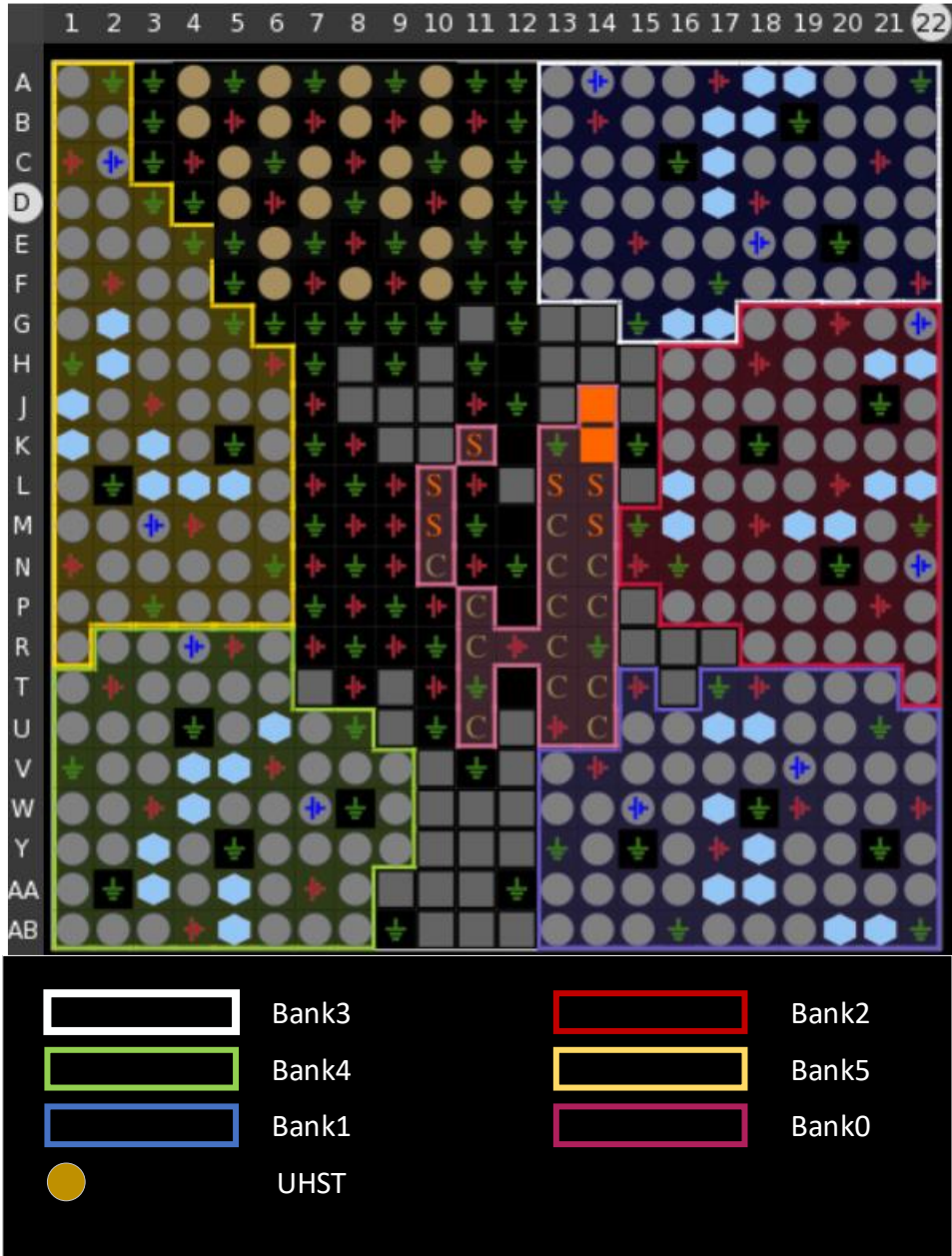


图 1.2 FMK50T4 框图

1.2 第一节 管脚说明

1.2.1 管脚定义规则

FMK50 系列的 FPGA 管脚可以分为：用户 I/O、功能 I/O、高速 Serdes、多用途 I/O、电源和地。其命名规则如表 1.1 所示：

表 1.1 管脚功能定义

接口名称	功能描述
“U#_XXY”或“U#_SXX”	<ul style="list-style-type: none"> ● #表示组 (Bank) 号； ● S 表示单端信号 ● XX 表示该信号在所在组 (Bank) 的编号。
多功能复用可配置管脚	
U#_XXY_ZZZ	“ZZZ” 表示一种或多种功能。
电源	
GND	接地引脚
VCCCORE	1.0V 核电压
VCCSUP	1.8V 辅助电源
VCCHRAM	1.0V Block RAM 电源
FO_VCCP	BANK0 IO 电源
U1_VCCP	BANK1 IO 电源
U2_VCCP	BANK2 IO 电源
U3_VCCP	BANK3 IO 电源
U4_VCCP	BANK4 IO 电源
U5_VCCP	BANK5 IO 电源
FO_VCCBAT	解密密钥备份电源
VREF	输入管脚的参考电压阈值。 注：只有特殊电平标准时才使用该参考电压电压阈值；对于非特殊电平标准，只需使用相应 BANK 的 VCCP 即可。
ADC 管脚	
FO_GNDADC	ADC 的模拟地
FO_VCCADC	ADC 的模拟电源
FO_VIN	ADC 模拟输入，负端
FO_VIP	ADC 模拟输入，正端
FO_VREFP	1.25V 参考输入
FO_VREFN	1.25V 参考地
ADOP-AD15P ADON-AD15N	ADC 差分输入
时钟	
MRC	全局时钟
SRC	局部时钟
高速 Serdes	
高速 Serdes 以 UHST#表示，其中 <ul style="list-style-type: none"> ● UHST1，表示高速 Serdes 最高速率达到 6.25Gbps ● UHST2，表示高速 Serdes 最高速率达到 12.5Gbps ● UHST3，表示高速 Serdes 最高速率达到 13.1Gbps 	

● UHST4, 表示高速 Serdes 最高速率达到 28.05Gbps	
UHSTREFCLK0/1P	UHST 差分时钟的正极
UHSTREFCLK0/1N	UHST 差分时钟的负极
UHST1RXP[0:3]	UHST1 差分接收端口正极
UHST1RXN[0:3]	UHST1 差分接收端口负极
UHST1TXP[0:3]	UHST1 差分发送端口正极
UHST1TXN[0:3]	UHST1 差分发送端口负极
其他	
G0, G1, G2, G3	Memory group
G0_DQS、G1_DQS、G2_DQS、G3_DQS	DDR DQS strobe 管脚
RS0, RS1	仅在启动 MultiBoot 时被驱动, 否则 RS0 和 RS1 为高阻态。使用 RS1, RS0 引脚进行配置时, 建议不要在用户模式下使用它们。

1.2.2 配置管脚说明

表 1.2 配置管脚说明

序号	信号名	类型	说明
1.	TCK	专用	JTAG 测试时钟
2.	TMS	专用	JTAG 测试模式选择
3.	TDI	专用	JTAG 测试数据输入
4.	TDO	专用	JTAG 测试数据输出
5.	T[2:0]	专用	配置模式
6.	CFG_V	专用	配置 bank 电源选择
7.	CFG_STA	专用	配置初始化完成标志。输出为低电平表示配置内存已经被清理; 在配置过程中, 输出低电平表示配置数据错误已经发生; 配置完成后, 其输出可以用来指示 CRC 状态。作为输入时保持低电平, 配置被延迟;
8.	CFG_DONE	专用	作为输出, 这个引脚表示配置过程已经完成; 作为输入, 配置为低电平可以延迟启动。
9.	CFG_CLK	专用	配置时钟
10.	CFG_RSTN	专用	配置复位信号
11.	PUDC	多功能	芯片内部上拉电阻控制
12.	ECLK	多功能	主模式外部配置时钟
13.	CSIN	多功能	在 Select MAP 模式下, 这是一个低有效的片选信号。
14.	CFGDO	多功能	在串行配置模式下, 端口作为菊花链配置的串行数据输出。
15.	RDWR	多功能	在 SelectMAP 模式下, 作为低电平有效的写使能信号。
16.	CS	多功能	在 Select MAP 模式下, 这是一个低有效的片选信号
17.	MOSI	多功能	Master-Output, Slave-Input
18.	DIN	多功能	在串行配置模式下的单数据输入。
19.	D[00:31]	多功能	数据总线
20.	A[00-28]	多功能	地址总线

21.	OE	多功能	Flash 输出使能
22.	WE	多功能	Flash 写使能
23.	ADV	多功能	地址有效信号
24.	CSON	多功能	片选输出

1.3 第二节 管脚信息

表 1.3 为 FMK50 的管脚信息，表 1.4 为 FMK50T4 的管脚信息。由于目前复旦微电子提供的 DDR 3 IP 为固定管脚模式，因此在使用 DDR3 IP 时客户需要参考表 1.3 和表 1.4 中的管脚说明。

1.3.1 FMK50 管脚信息

表 1.3 FMK50 管脚信息

序列号	位置	Memory Group	Bank	信号名	说明
1	K9	N/A	0	F0_VIN	ADC 模拟输入，负端
2	J10	N/A	0	F0_VIP	ADC 模拟输入，正端
3	R11	0	1	U1_S0	BANK1 用户管脚，单端
4	K17	0	1	U1_1P_G0_D00_MOSI	BANK1 用户管脚；差分信号的正端；配置数据管脚 0；SPI flash 命令输出
5	K18	0	1	U1_1N_G0_D01_DIN	BANK1 用户管脚；差分信号的负端；配置数据管脚 1；串行数据输入管脚；
6	L18	0	1	U1_2P_G0_D02	BANK1 用户管脚；差分信号的正端；配置数据管脚 2
7	M18	0	1	U1_2N_G0_D03	BANK1 用户管脚；差分信号的负端；配置数据管脚 3
8	L15	0	1	U1_3P_G0_DQS_PUDC	BANK1 用户管脚；差分信号的正端；配置过程中上拉控制信号
9	L16	0	1	U1_3N_G0_DQS_ECLK	BANK1 用户管脚；差分信号的正端；外部配置时钟
10	L14	0	1	U1_4P_G0_D04	BANK1 用户管脚；差分信号的正端；配置数据管脚 4
11	M14	0	1	U1_4N_G0_D05	BANK1 用户管脚；差分信号的负端；配置数据管脚 5
12	P18	0	1	U1_5P_G0_D06	BANK1 用户管脚；差分信号的正端；配置数据管脚 6
13	N17	0	1	U1_5N_G0_D07	BANK1 用户管脚；差分信号的负端；配置数据管脚 7
14	L13	0	1	U1_6P_G0_CS	BANK1 用户管脚；差分信号的正端； BPI flash 片选
15	M13	0	1	U1_6N_G0_D08_VREF	BANK1 用户管脚；差分信号的负



序列号	位置	Memory Group	Bank	信号名	说明
					端；配置数据管脚 8；特殊电平标准的电压参考阈值
16	R18	1	1	U1_7P_G1_D09	BANK1 用户管脚；差分信号的正端；配置数据管脚 9
17	T18	1	1	U1_7N_G1_D10	BANK1 用户管脚；差分信号的负端；配置数据管脚 10
18	M16	1	1	U1_8P_G1_D11	BANK1 用户管脚；差分信号的正端；配置数据管脚 11
19	M17	1	1	U1_8N_G1_D12	BANK1 用户管脚；差分信号的负端；配置数据管脚 12
20	U16	1	1	U1_9P_G1_DQS	BANK1 用户管脚；差分信号的正端；
21	V17	1	1	U1_9N_G1_DQS_D13	BANK1 用户管脚；差分信号的负端；配置数据管脚 13
22	P17	1	1	U1_10P_G1_D14	BANK1 用户管脚；差分信号的正端；配置数据管脚 14
23	R17	1	1	U1_10N_G1_D15	BANK1 用户管脚；差分信号的负端；配置数据管脚 15
24	N16	1	1	U1_11P_G1_SRC	BANK1 用户管脚；差分信号的正端；局部时钟输入
25	N15	1	1	U1_11N_G1_SRC	BANK1 用户管脚；差分信号的负端；局部时钟输入
26	R16	1	1	U1_12P_G1_MRC	BANK1 用户管脚；差分信号的正端；全局时钟输入
27	T16	1	1	U1_12N_G1_MRC	BANK1 用户管脚；差分信号的负端；全局时钟输入
28	R15	2	1	U1_13P_G2_MRC	BANK1 用户管脚；差分信号的正端；全局时钟输入
29	P15	2	1	U1_13N_G2_MRC	BANK1 用户管脚；差分信号的负端；全局时钟输入
30	V16	2	1	U1_14P_G2_SRC	BANK1 用户管脚；差分信号的正端；局部时钟输入
31	V15	2	1	U1_14N_G2_SRC	BANK1 用户管脚；差分信号的负端；局部时钟输入
32	P14	2	1	U1_15P_G2_DQS_RDWR	BANK1 用户管脚；差分信号的正端； SelectMap 数据总线方向
33	N14	2	1	U1_15N_G2_DQS_CFGDO_CSON	BANK1 用户管脚；差分信号的负端；菊花链配置数据输出；并行菊花链的片选。
34	T15	2	1	U1_16P_G2_CSIN	BANK1 用户管脚；差分信号的正端； SelectMap 片选输入
35	T14	2	1	U1_16N_G2_A15_D31	BANK1 用户管脚；差分信号的负端； BPI 地址管脚 15；配置数据



序列号	位置	Memory Group	Bank	信号名	说明
					管脚 31
36	U17	2	1	U1_17P_G2_A14_D30	BANK1 用户管脚；差分信号的正端； BPI 地址管脚 14；配置数据管脚 30
37	U18	2	1	U1_17N_G2_A13_D29	BANK1 用户管脚；差分信号的负端； BPI 地址管脚 13；配置数据管脚 29
38	V14	2	1	U1_18P_G2_A12_D28	BANK1 用户管脚；差分信号的正端； BPI 地址管脚 12；配置数据管脚 28
39	U14	2	1	U1_18N_G2_A11_D27	BANK1 用户管脚；差分信号的负端； BPI 地址管脚 11；配置数据管脚 27
40	T13	3	1	U1_19P_G3_A10_D26	BANK1 用户管脚；差分信号的正端； BPI 地址管脚 10；配置数据管脚 26
41	U13	3	1	U1_19N_G3_A09_D25_VREF	BANK1 用户管脚；差分信号的负端； BPI 地址管脚 09；配置数据管脚 25；特殊电平标准的电压参考阈值
42	V12	3	1	U1_20P_G3_A08_D24	BANK1 用户管脚；差分信号的正端； BPI 地址管脚 8；配置数据管脚 24
43	U12	3	1	U1_20N_G3_A07_D23	BANK1 用户管脚；差分信号的负端； BPI 地址管脚 7；配置数据管脚 23
44	T11	3	1	U1_21P_G3_DQS	BANK1 用户管脚；差分信号的正端；
45	U11	3	1	U1_21N_G3_DQS_A06_D22	BANK1 用户管脚；差分信号的负端； BPI 地址管脚 06；配置数据管脚 22
46	R13	3	1	U1_22P_G3_A05_D21	BANK1 用户管脚；差分信号的正端； BPI 地址管脚 05；配置数据管脚 21
47	R12	3	1	U1_22N_G3_A04_D20	BANK1 用户管脚；差分信号的负端； BPI 地址管脚 04；配置数据管脚 20
48	V10	3	1	U1_23P_G3_A03_D19	BANK1 用户管脚；差分信号的正端； BPI 地址管脚 03；配置数据管脚 19
49	V11	3	1	U1_23N_G3_A02_D18	BANK1 用户管脚；差分信号的负端； BPI 地址管脚 02；配置数据管脚 18



序列号	位置	Memory Group	Bank	信号名	说明
50	T9	3	1	U1_24P_G3_A01_D17	BANK1 用户管脚；差分信号的正端； BPI 地址管脚 01；配置数据管脚 17
51	T10	3	1	U1_24N_G3_A00_D16	BANK1 用户管脚；差分信号的负端； BPI 地址管脚 0；配置数据管脚 26
52	R10	N/A	1	U1_S25	BANK1 用户管脚；单端信号
53	G13	N/A	2	U2_S0	BANK2 用户管脚；单端信号
54	F13	0	2	U2_1P_G0_AD0P	BANK2 用户管脚；差分信号的正端； ADC 的差分输入 0 正端
55	F14	0	2	U2_1N_G0_AD0N	BANK2 用户管脚；差分信号的负端； ADC 的差分输入 0 负端
56	D12	0	2	U2_2P_G0_AD8P	BANK2 用户管脚；差分信号的正端； ADC 的差分输入 8 正端
57	D13	0	2	U2_2N_G0_AD8N	BANK2 用户管脚；差分信号的负端； ADC 的差分输入 8 负端
58	C12	0	2	U2_3P_G0_DQS_AD1P	BANK2 用户管脚；差分信号的正端； ADC 的差分输入 1 正端
59	B12	0	2	U2_3N_G0_DQS_AD1N	BANK2 用户管脚；差分信号的负端； ADC 的差分输入 1 负端
60	B11	0	2	U2_4P_G0	BANK2 用户管脚；差分信号的正端；
61	A11	0	2	U2_4N_G0	BANK2 用户管脚；差分信号的负端；
62	D14	0	2	U2_5P_G0_AD9P	BANK2 用户管脚；差分信号的正端； ADC 的差分输入 9 正端
63	C14	0	2	U2_5N_G0_AD9N	BANK2 用户管脚；差分信号的负端； ADC 的差分输入 9 负端
64	B14	0	2	U2_6P_G0	BANK2 用户管脚；差分信号的正端； ;
65	B13	0	2	U2_6N_G0_VREF	BANK2 用户管脚；差分信号的负端；特殊电平电压参考阈值
66	A13	1	2	U2_7P_G1_AD2P	BANK2 用户管脚；差分信号的正端； ADC 的差分输入 2 正端
67	A14	1	2	U2_7N_G1_AD2N	BANK2 用户管脚；差分信号的负端； ADC 的差分输入 2 负端
68	H14	1	2	U2_8P_G1_AD10P	BANK2 用户管脚；差分信号的正端； ADC 的差分输入 10 正端
69	G14	1	2	U2_8N_G1_AD10N	BANK2 用户管脚；差分信号的负端； ADC 的差分输入 10 负端
70	B16	1	2	U2_9P_G1_DQS_AD3P	BANK2 用户管脚；差分信号的正端； ADC 的差分输入 3 正端
71	B17	1	2	U2_9N_G1_DQS_AD3N	BANK2 用户管脚；差分信号的负端



序列号	位置	Memory Group	Bank	信号名	说明
					端；ADC 的差分输入 3 负端
72	J14	1	2	U2_10P_G1_AD11P	BANK2 用户管脚；差分信号的正端；ADC 的差分输入 11 正端
73	H15	1	2	U2_10N_G1_AD11N	BANK2 用户管脚；差分信号的负端；ADC 的差分输入 11 负端
74	E15	1	2	U2_11P_G1_SRC	BANK2 用户管脚；差分信号的正端；局部时钟管脚
75	E16	1	2	U2_11N_G1_SRC	BANK2 用户管脚；差分信号的负端；局部时钟管脚
76	D15	1	2	U2_12P_G1_MRC	BANK2 用户管脚；差分信号的正端；全局时钟管脚
77	C15	1	2	U2_12N_G1_MRC	BANK2 用户管脚；差分信号的负端；全局时钟管脚
78	G16	2	2	U2_13P_G2_MRC	BANK2 用户管脚；差分信号的正端；全局时钟管脚
79	H16	2	2	U2_13N_G2_MRC	BANK2 用户管脚；差分信号的负端；全局时钟管脚
80	F15	2	2	U2_14P_G2_SRC	BANK2 用户管脚；差分信号的正端；局部时钟管脚
81	F16	2	2	U2_14N_G2_SRC	BANK2 用户管脚；差分信号的负端；局部时钟管脚
82	K13	2	2	U2_15P_G2_DQS	BANK2 用户管脚；差分信号的正端；
83	J13	2	2	U2_15N_G2_DQS_ADV	BANK2 用户管脚；差分信号的负端；BPI FLASH 地址有效
84	E17	2	2	U2_16P_G2_A28	BANK2 用户管脚；差分信号的正端；BPI 地址线 28
85	D17	2	2	U2_16N_G2_A27	BANK2 用户管脚；差分信号的负端；BPI 地址线 27
86	A16	2	2	U2_17P_G2_A26	BANK2 用户管脚；差分信号的正端；BPI 地址线 26
87	A15	2	2	U2_17N_G2_A25	BANK2 用户管脚；差分信号的负端；BPI 地址线 25
88	K15	2	2	U2_18P_G2_A24	BANK2 用户管脚；差分信号的正端；BPI 地址线 24
89	J15	2	2	U2_18N_G2_A23	BANK2 用户管脚；差分信号的负端；BPI 地址线 23
90	E18	3	2	U2_19P_G3_A22	BANK3 用户管脚；差分信号的正端；BPI 地址线 22
91	D18	3	2	U2_19N_G3_A21_VREF	BANK3 用户管脚；差分信号的负端；BPI 地址线 21；特殊电平电压参考阈值
92	G17	3	2	U2_20P_G3_A20	BANK2 用户管脚；差分信号的正



序列号	位置	Memory Group	Bank	信号名	说明
					端; BPI 地址线 20
93	H17	3	2	U2_20N_G3_A19	BANK2 用户管脚; 差分信号的负端; BPI 地址线 19
94	J18	3	2	U2_21P_G3_DQS	BANK2 用户管脚; 差分信号的正端;
95	J17	3	2	U2_21N_G3_DQS_A18	BANK2 用户管脚; 差分信号的负端; BPI 地址线 18
96	C17	3	2	U2_22P_G3_A17	BANK2 用户管脚; 差分信号的正端; BPI 地址线 17
97	C16	3	2	U2_22N_G3_A16	BANK2 用户管脚; 差分信号的负端; BPI 地址线 16
98	A18	3	2	U2_23P_G3_OE	BANK2 用户管脚; 差分信号的正端; BPI FLASH 输出使能
99	B18	3	2	U2_23N_G3_WE	BANK2 用户管脚; 差分信号的负端; BPI FLASH 写使能
100	G18	3	2	U2_24P_G3_RS1	BANK2 用户管脚; 差分信号的正端; RS1 和 RS0 组合管理 multiboot 是版本输出
101	F18	3	2	U2_24N_G3_RS0	BANK2 用户管脚; 差分信号的负端; RS1 和 RS0 组合管理 multiboot 是版本输出
102	K16	N/A	2	U2_S25	BANK2 用户管脚, 单端信号
103	D9	N/A	3	U3_6N_G0_VREF	BANK3 用户管脚; 差分负端; 特殊电平电压参考阈值
104	C9	N/A	3	U3_11P_G1_SRC	BANK3 用户管脚; 差分信号的正端; 局部时钟管脚
105	B9	N/A	3	U3_11N_G1_SRC	BANK3 用户管脚; 差分信号的负端; 局部时钟管脚
106	B8	N/A	3	U3_12P_G1_MRC	BANK3 用户管脚; 差分信号的正端; 全局时钟管脚
107	A8	N/A	3	U3_12N_G1_MRC	BANK3 用户管脚; 差分信号的负端; 全局时钟管脚
108	C11	N/A	3	U3_13P_G2_MRC	BANK3 用户管脚; 差分信号的正端; 全局时钟管脚
109	C10	N/A	3	U3_13N_G2_MRC	BANK3 用户管脚; 差分信号的负端; 全局时钟管脚
110	A10	N/A	3	U3_14P_G2_SRC	BANK3 用户管脚; 差分信号的正端; 局部时钟管脚
111	A9	N/A	3	U3_14N_G2_SRC	BANK3 用户管脚; 差分信号的负端; 局部时钟管脚
112	D10	N/A	3	U3_19N_G3_VREF	BANK3 用户管脚; 差分信号的负端; 局部时钟管脚; 特殊电平标准的电压参考阈值



序列号	位置	Memory Group	Bank	信号名	说明
113	K6	N/A	4	U4_S0	BANK4 用户管脚；单端信号
114	K5	0	4	U4_1P_G0	BANK4 用户管脚；差分信号的正端；DDR ADDR[15]
115	L4	0	4	U4_1N_G0	BANK4 用户管脚；差分信号的负端；DDR ADDR[14]
116	K3	0	4	U4_2P_G0	BANK4 用户管脚；差分信号的正端；DDR ADDR[13]
117	L3	0	4	U4_2N_G0	BANK4 用户管脚；差分信号的负端；DDR ADDR[12]
118	L1	0	4	U4_3P_G0_DQS	BANK4 用户管脚；差分信号的正端；DDR CK P[0]
119	M1	0	4	U4_3N_G0_DQS	BANK4 用户管脚；差分信号的负端；DDR CK_N[0]
120	L6	0	4	U4_4P_G0	BANK4 用户管脚；差分信号的正端；DDR ADDR[11]
121	L5	0	4	U4_4N_G0	BANK4 用户管脚；差分信号的负端；DDR ADDR[10]
122	N1	0	4	U4_5P_G0	BANK4 用户管脚；差分信号的正端；DDR ADDR[09]
123	N2	0	4	U4_5N_G0	BANK4 用户管脚；差分信号的负端；DDR ADDR[08]
124	M2	0	4	U4_6P_G0	BANK4 用户管脚；差分信号的正端；DDR ADDR[07]
125	M3	0	4	U4_6N_G0_VREF	BANK4 用户管脚；差分信号的负端；DDR ADDR[06]；特殊电平标准的电压参考阈值
126	U1	1	4	U4_7P_G1	BANK4 用户管脚；差分信号的正端；DDR ADDR[05]
127	V1	1	4	U4_7N_G1	BANK4 用户管脚；差分信号的负端；DDR ADDR[04]
128	P2	1	4	U4_8P_G1	BANK4 用户管脚；差分信号的正端；DDR ADDR[03]
129	R2	1	4	U4_8N_G1	BANK4 用户管脚；差分信号的负端；DDR ADDR[02]
130	V2	1	4	U4_9P_G1_DQS	BANK4 用户管脚；差分信号的正端；DDR ADDR[01]
131	U2	1	4	U4_9N_G1_DQS	BANK4 用户管脚；差分信号的负端；DDR ADDR[00]
132	R1	1	4	U4_10P_G1	BANK4 用户管脚；差分信号的正端；DDR BA[2]
133	T1	1	4	U4_10N_G1	BANK4 用户管脚；差分信号的负端；DDR BA[1]
134	R3	1	4	U4_11P_G1_SRC	BANK4 用户管脚；差分信号的正端



序列号	位置	Memory Group	Bank	信号名	说明
					端; DDR BA[0]; 局部时钟管脚
135	T3	1	4	U4_11N_G1_SRC	BANK4 用户管脚; 差分信号的负端; DDR RAS; 局部时钟管脚
136	U3	1	4	U4_12P_G1_MRC	BANK4 用户管脚; 差分信号的正端; DDR CAS; 全局时钟管脚
137	U4	1	4	U4_12N_G1_MRC	BANK4 用户管脚; 差分信号的负端; DDR WE; 全局时钟管脚
138	N5	2	4	U4_13P_G2_MRC	BANK4 用户管脚; 差分信号的正端; 全局时钟管脚
139	P5	2	4	U4_13N_G2_MRC	BANK4 用户管脚; 差分信号的负端; 全局时钟管脚
140	M4	2	4	U4_14P_G2_SRC	BANK4 用户管脚; 差分信号的正端; 局部时钟管脚
141	N4	2	4	U4_14N_G2_SRC	BANK4 用户管脚; 差分信号的负端; 局部时钟管脚
142	T5	2	4	U4_15P_G2_DQS	BANK4 用户管脚; 差分信号的正端; DDR CS
143	T4	2	4	U4_15N_G2_DQS	BANK4 用户管脚; 差分信号的负端; DDR CKE[0]
144	M6	2	4	U4_16P_G2	BANK4 用户管脚; 差分信号的正端; DDR ODT[0]
145	N6	2	4	U4_16N_G2	BANK4 用户管脚; 差分信号的负端;
146	V5	2	4	U4_17P_G2	BANK4 用户管脚; 差分信号的正端;
147	V4	2	4	U4_17N_G2	BANK4 用户管脚; 差分信号的负端;
148	P3	2	4	U4_18P_G2	BANK4 用户管脚; 差分信号的正端;
149	P4	2	4	U4_18N_G2	BANK4 用户管脚; 差分信号的负端;
150	R6	3	4	U4_19P_G3	BANK4 用户管脚; 差分信号的正端;
151	R5	3	4	U4_19N_G3_VREF	BANK4 用户管脚; 差分信号的负端; 特殊电平标准的电压参考阈值
152	V6	3	4	U4_20P_G3	BANK4 用户管脚; 差分信号的正端;
153	V7	3	4	U4_20N_G3	BANK4 用户管脚; 差分信号的负端;
154	U9	3	4	U4_21P_G3_DQS	BANK4 用户管脚; 差分信号的正端;
155	V9	3	4	U4_21N_G3_DQS	BANK4 用户管脚; 差分信号的负端;



序列号	位置	Memory Group	Bank	信号名	说明
156	U6	3	4	U4_22P_G3	BANK4 用户管脚；差分信号的正端；
157	U7	3	4	U4_22N_G3	BANK4 用户管脚；差分信号的负端；
158	R7	3	4	U4_23P_G3	BANK4 用户管脚；差分信号的正端；
159	T6	3	4	U4_23N_G3	BANK4 用户管脚；差分信号的负端；
160	R8	3	4	U4_24P_G3	BANK4 用户管脚；差分信号的正端；
161	T8	3	4	U4_24N_G3	BANK4 用户管脚；差分信号的负端；
162	U8	N/A	4	U4_S25	BANK4 用户管脚；单端信号
163	F5	N/A	5	U5_S0	BANK5 用户管脚；单端信号
164	E6	0	5	U5_1P_G0	BANK5 用户管脚；差分信号的正端； DDR3_DM[0]
165	E5	0	5	U5_1N_G0	BANK5 用户管脚；差分信号的负端； DDR DQ[0]
166	G6	0	5	U5_2P_G0	BANK5 用户管脚；差分信号的正端； DDR DQ[1]
167	F6	0	5	U5_2N_G0	BANK5 用户管脚；差分信号的负端； DDR DQ[2]
168	H6	0	5	U5_3P_G0_DQS	BANK5 用户管脚；差分信号的正端； DDR DQS P[0]
169	H5	0	5	U5_3N_G0_DQS	BANK5 用户管脚；差分信号的负端； DDR DQS N[0]
170	E7	0	5	U5_4P_G0	BANK5 用户管脚；差分信号的正端； DDR DQ[3]
171	D7	0	5	U5_4N_G0	BANK5 用户管脚；差分信号的负端； DDR DQ[4]
172	C6	0	5	U5_5P_G0	BANK5 用户管脚；差分信号的正端； DDR DQ[5]
173	C5	0	5	U5_5N_G0	BANK5 用户管脚；差分信号的负端； DDR DQ[6]
174	D8	0	5	U5_6P_G0	BANK5 用户管脚；差分信号的正端； DDR DQ[7]
175	C7	0	5	U5_6N_G0_VREF	BANK5 用户管脚；差分信号的负端；特殊电平标准的电压参考阈值
176	D5	1	5	U5_7P_G1	BANK5 用户管脚；差分信号的正端； DDR DM[1]
177	D4	1	5	U5_7N_G1	BANK5 用户管脚；差分信号的负端； DDR DQ[8]
178	B7	1	5	U5_8P_G1	BANK5 用户管脚；差分信号的正端；



序列号	位置	Memory Group	Bank	信号名	说明
					端; DDR DQ[9]
179	B6	1	5	U5_8N_G1	BANK5 用户管脚; 差分信号的负端; DDR DQ[10]
180	A6	1	5	U5_9P_G1_DQS	BANK5 用户管脚; 差分信号的正端; DDR DQS P[1]
181	A5	1	5	U5_9N_G1_DQS	BANK5 用户管脚; 差分信号的负端; DDR DQS N[1]
182	A4	1	5	U5_10P_G1	BANK5 用户管脚; 差分信号的正端; DDR DQ[11]
183	A3	1	5	U5_10N_G1	BANK5 用户管脚; 差分信号的负端; DDR DQ[12]
184	G4	1	5	U5_11P_G1_SRC	BANK5 用户管脚; 差分信号的正端; DDR DQ[13]; 局部时钟输入
185	G3	1	5	U5_11N_G1_SRC	BANK5 用户管脚; 差分信号的负端; DDR DQ[14]; 局部时钟输入
186	J4	1	5	U5_12P_G1_MRC	BANK5 用户管脚; 差分信号的正端; DDR DQ[15]; 全局时钟输入
187	H4	1	5	U5_12N_G1_MRC	BANK5 用户管脚; 差分信号的负端; DDR3 RESET; 全局时钟输入
188	F3	2	5	U5_13P_G2_MRC	BANK5 用户管脚; 差分信号的正端; DDR DQ[16]; 全局时钟输入
189	F4	2	5	U5_13N_G2_MRC	BANK5 用户管脚; 差分信号的负端; DDR DQ[17]; 全局时钟输入
190	C4	2	5	U5_14P_G2_SRC	BANK5 用户管脚; 差分信号的正端; DDR DQ[18]; 局部时钟输入
191	B4	2	5	U5_14N_G2_SRC	BANK5 用户管脚; 差分信号的负端; DDR DQ[19]; 局部时钟输入
192	E3	2	5	U5_15P_G2_DQS	BANK5 用户管脚; 差分信号的正端; DDR DQS P[2]
193	D3	2	5	U5_15N_G2_DQS	BANK5 用户管脚; 差分信号的负端; DDR DQS N[2]
194	J3	2	5	U5_16P_G2	BANK5 用户管脚; 差分信号的正端; DDR DM[2]
195	J2	2	5	U5_16N_G2	BANK5 用户管脚; 差分信号的负端; DDR DQ[20]
196	B2	2	5	U5_17P_G2	BANK5 用户管脚; 差分信号的正端; DDR DQ[21]
197	B3	2	5	U5_17N_G2	BANK5 用户管脚; 差分信号的负端; DDR DQ[22]
198	A1	2	5	U5_18P_G2	BANK5 用户管脚; 差分信号的正端; DDR DQ[23]
199	B1	2	5	U5_18N_G2	BANK5 用户管脚; 差分信号的负端;



序列号	位置	Memory Group	Bank	信号名	说明
200	G2	3	5	U5_19P_G3	BANK5 用户管脚；差分信号的正端；DDR DM[3]
201	H2	3	5	U5_19N_G3_VREF	BANK5 用户管脚；差分信号的负端；特殊电平标准的电压参考阈值
202	C1	3	5	U5_20P_G3	BANK5 用户管脚；差分信号的正端；DDR DQ[24]
203	C2	3	5	U5_20N_G3	BANK5 用户管脚；差分信号的负端；DDR DQ[25]
204	H1	3	5	U5_21P_G3_DQS	BANK5 用户管脚；差分信号的正端；DDR DQS P[3]
205	G1	3	5	U5_21N_G3_DQS	BANK5 用户管脚；差分信号的负端；DDR DQS N[3]
206	E2	3	5	U5_22P_G3	BANK5 用户管脚；差分信号的正端；DDR DQ[26]
207	D2	3	5	U5_22N_G3	BANK5 用户管脚；差分信号的负端；DDR DQ[27]
208	K1	3	5	U5_23P_G3	BANK5 用户管脚；差分信号的正端；DDR DQ[28]
209	K2	3	5	U5_23N_G3	BANK5 用户管脚；差分信号的负端；DDR DQ[29]
210	E1	3	5	U5_24P_G3	BANK5 用户管脚；差分信号的正端；DDR DQ[30]
211	F1	3	5	U5_24N_G3	BANK5 用户管脚；差分信号的负端；DDR DQ[31]
212	J5	N/A	5	U5_S25	BANK5 用户管脚；
213	P10	N/A	0	F0_CFG_DONE	配置完成信号
214	L10	N/A	0	NC	
215	H9	N/A	0	F0_GNDADC	ADC 模拟地
216	H10	N/A	0	F0_VCCADC	ADC 模拟电源
217	K10	N/A	0	F0_VREFP	ADC 1.25V 参考电源输入，正端
218	E8	N/A	0	F0_VCCBAT	保存密钥的电池电源输入
219	E10	N/A	0	F0_TCK	JTAG 时钟
220	L9	N/A	0	NC	
221	J9	N/A	0	F0_VREFN	ADC 1.25V 参考电源输入，负端
222	E9	N/A	0	F0_CFG_CLK	配置时钟
223	P12	N/A	0	F0_CFG_T0	配置模式选择
224	P13	N/A	0	F0_CFG_T1	配置模式选择
225	P7	N/A	0	F0_CFG_STA	配置初始化完成标志
226	E11	N/A	0	F0_TDI	JTAG 数据输入
227	E13	N/A	0	F0_TDO	JTAG 数据输出
228	P11	N/A	0	F0_CFG_T2	配置模式选择
229	P8	N/A	0	F0_CFG_V	选择配置相关 BANK 在配置过程中的电压



序列号	位置	Memory Group	Bank	信号名	说明
230	P9	N/A	0	F0_CFG_RSTN	配置复位信号
231	E12	N/A	0	F0_TMS	JTAG 模式选择
232	A12	N/A	N/A	GND	数字地
233	A2	N/A	N/A	GND	数字地
234	B15	N/A	N/A	GND	数字地
235	B5	N/A	N/A	GND	数字地
236	C18	N/A	N/A	GND	数字地
237	C8	N/A	N/A	GND	数字地
238	D11	N/A	N/A	GND	数字地
239	D1	N/A	N/A	GND	数字地
240	E14	N/A	N/A	GND	数字地
241	E4	N/A	N/A	GND	数字地
242	F17	N/A	N/A	GND	数字地
243	F11	N/A	N/A	GND	数字地
244	F9	N/A	N/A	GND	数字地
245	F7	N/A	N/A	GND	数字地
246	G12	N/A	N/A	GND	数字地
247	G10	N/A	N/A	GND	数字地
248	G8	N/A	N/A	GND	数字地
249	H13	N/A	N/A	GND	数字地
250	H11	N/A	N/A	GND	数字地
251	H7	N/A	N/A	GND	数字地
252	H3	N/A	N/A	GND	数字地
253	J16	N/A	N/A	GND	数字地
254	J12	N/A	N/A	GND	数字地
255	J8	N/A	N/A	GND	数字地
256	J6	N/A	N/A	GND	数字地
257	K11	N/A	N/A	GND	数字地
258	K7	N/A	N/A	GND	数字地
259	L12	N/A	N/A	GND	数字地
260	L8	N/A	N/A	GND	数字地
261	L2	N/A	N/A	GND	数字地
262	M15	N/A	N/A	GND	数字地
263	M11	N/A	N/A	GND	数字地
264	M9	N/A	N/A	GND	数字地
265	M7	N/A	N/A	GND	数字地
266	M5	N/A	N/A	GND	数字地
267	N18	N/A	N/A	GND	数字地
268	N12	N/A	N/A	GND	数字地
269	N10	N/A	N/A	GND	数字地
270	N8	N/A	N/A	GND	数字地
271	P1	N/A	N/A	GND	数字地



序列号	位置	Memory Group	Bank	信号名	说明
272	R14	N/A	N/A	GND	数字地
273	R4	N/A	N/A	GND	数字地
274	T17	N/A	N/A	GND	数字地
275	T7	N/A	N/A	GND	数字地
276	U10	N/A	N/A	GND	数字地
277	V13	N/A	N/A	GND	数字地
278	V3	N/A	N/A	GND	数字地
279	F8	N/A	N/A	VCCCORE	核电压输入管脚
280	G9	N/A	N/A	VCCCORE	核电压输入管脚
281	G7	N/A	N/A	VCCCORE	核电压输入管脚
282	H8	N/A	N/A	VCCCORE	核电压输入管脚
283	J11	N/A	N/A	VCCCORE	核电压输入管脚
284	J7	N/A	N/A	VCCCORE	核电压输入管脚
285	K8	N/A	N/A	VCCCORE	核电压输入管脚
286	L11	N/A	N/A	VCCCORE	核电压输入管脚
287	L7	N/A	N/A	VCCCORE	核电压输入管脚
288	M10	N/A	N/A	VCCCORE	核电压输入管脚
289	M8	N/A	N/A	VCCCORE	核电压输入管脚
290	N11	N/A	N/A	VCCCORE	核电压输入管脚
291	N9	N/A	N/A	VCCCORE	核电压输入管脚
292	N7	N/A	N/A	VCCCORE	核电压输入管脚
293	F12	N/A	N/A	VCCSUP	辅助电压输入管脚
294	H12	N/A	N/A	VCCSUP	辅助电压输入管脚
295	K12	N/A	N/A	VCCSUP	辅助电压输入管脚
296	M12	N/A	N/A	VCCSUP	辅助电压输入管脚
297	R9	N/A	0	F0_VCCP	BANK0 电压输入管脚
298	L17	N/A	1	U1_VCCP	BANK1 电压输入管脚
299	N13	N/A	1	U1_VCCP	BANK1 电压输入管脚
300	P16	N/A	1	U1_VCCP	BANK1 电压输入管脚
301	T12	N/A	1	U1_VCCP	BANK1 电压输入管脚
302	U15	N/A	1	U1_VCCP	BANK1 电压输入管脚
303	V18	N/A	1	U1_VCCP	BANK1 电压输入管脚
304	A17	N/A	2	U2_VCCP	BANK2 电压输入管脚
305	C13	N/A	2	U2_VCCP	BANK2 电压输入管脚
306	D16	N/A	2	U2_VCCP	BANK2 电压输入管脚
307	G15	N/A	2	U2_VCCP	BANK2 电压输入管脚
308	H18	N/A	2	U2_VCCP	BANK2 电压输入管脚
309	K14	N/A	2	U2_VCCP	BANK2 电压输入管脚
310	B10	N/A	3	U3_VCCP	BANK3 电压输入管脚
311	K4	N/A	4	U4_VCCP	BANK4 电压输入管脚
312	N3	N/A	4	U4_VCCP	BANK4 电压输入管脚
313	P6	N/A	4	U4_VCCP	BANK4 电压输入管脚

序列号	位置	Memory Group	Bank	信号名	说明
314	T2	N/A	4	U4_VCCP	BANK4 电压输入管脚
315	U5	N/A	4	U4_VCCP	BANK4 电压输入管脚
316	V8	N/A	4	U4_VCCP	BANK4 电压输入管脚
317	A7	N/A	5	U5_VCCP	BANK5 电压输入管脚
318	C3	N/A	5	U5_VCCP	BANK5 电压输入管脚
319	D6	N/A	5	U5_VCCP	BANK5 电压输入管脚
320	F2	N/A	5	U5_VCCP	BANK5 电压输入管脚
321	G5	N/A	5	U5_VCCP	BANK5 电压输入管脚
322	J1	N/A	5	U5_VCCP	BANK5 电压输入管脚
323	F10	N/A	N/A	VCCHRAM	内部 RAM 的电压输入管脚
324	G11	N/A	N/A	VCCHRAM	内部 RAM 的电压输入管脚

1.3.2 FMK50T4 管脚信息

表 1.4 FMK50T4 管脚信息

序列号	位置	Memory Group	Bank	信号名	说明
1	M10	N/A	0	F0_VIN	ADC 模拟输入，负端
2	M14	N/A	0	F0_VIP	ADC 模拟输入，正端
3	T21	N/A	1	U1_S0	BANK1 用户管脚，单端
4	U22	0	1	U1_1P_G0_D00_MOSI	BANK1 用户管脚；差分信号的正端；配置数据管脚 0；SPI flash 命令输出
5	V22	0	1	U1_1N_G0_D01_DIN	BANK1 用户管脚；差分信号的负端；配置数据管脚 1；串行数据输入管脚；
6	V21	0	1	U1_2P_G0_D02	BANK1 用户管脚；差分信号的正端；配置数据管脚 2
7	W21	0	1	U1_2N_G0_D03	BANK1 用户管脚；差分信号的负端；配置数据管脚 3
8	Y22	0	1	U1_3P_G0_DQS_PUDC	BANK1 用户管脚；差分信号的正端；配置过程中上拉控制信号
9	AA22	0	1	U1_3N_G0_DQS_ECLK	BANK1 用户管脚；差分信号的正端；外部配置时钟
10	T20	0	1	U1_4P_G0_D04	BANK1 用户管脚；差分信号的正端；配置数据管脚 4
11	T19	0	1	U1_4N_G0_D05	BANK1 用户管脚；差分信号的负端；配置数据管脚 5
12	U20	0	1	U1_5P_G0_D06	BANK1 用户管脚；差分信号的正端；配置数据管脚 6



序列号	位置	Memory Group	Bank	信号名	说明
13	U19	0	1	U1_5N_G0_D07	BANK1 用户管脚；差分信号的负端；配置数据管脚 7
14	V20	0	1	U1_6P_G0_CS	BANK1 用户管脚；差分信号的正端； BPI flash 片选
15	V19	0	1	U1_6N_G0_D08_VREF	BANK1 用户管脚；差分信号的负端；配置数据管脚 8；特殊电平标准的电压参考阈值
16	Y20	1	1	U1_7P_G1_D09	BANK1 用户管脚；差分信号的正端；配置数据管脚 9
17	W20	1	1	U1_7N_G1_D10	BANK1 用户管脚；差分信号的负端；配置数据管脚 10
18	AA19	1	1	U1_8P_G1_D11	BANK1 用户管脚；差分信号的正端；配置数据管脚 11
19	Y19	1	1	U1_8N_G1_D12	BANK1 用户管脚；差分信号的负端；配置数据管脚 12
20	AA21	1	1	U1_9P_G1_DQS	BANK1 用户管脚；差分信号的正端；
21	AA20	1	1	U1_9N_G1_DQS_D13	BANK1 用户管脚；差分信号的负端；配置数据管脚 13
22	AB19	1	1	U1_10P_G1_D14	BANK1 用户管脚；差分信号的正端；配置数据管脚 14
23	AB18	1	1	U1_10N_G1_D15	BANK1 用户管脚；差分信号的负端；配置数据管脚 15
24	AB21	1	1	U1_11P_G1_SRC	BANK1 用户管脚；差分信号的正端；局部时钟输入
25	AB20	1	1	U1_11N_G1_SRC	BANK1 用户管脚；差分信号的负端；局部时钟输入
26	AA18	1	1	U1_12P_G1_MRC	BANK1 用户管脚；差分信号的正端；全局时钟输入
27	AA17	1	1	U1_12N_G1_MRC	BANK1 用户管脚；差分信号的负端；全局时钟输入
28	W17	2	1	U1_13P_G2_MRC	BANK1 用户管脚；差分信号的正端；全局时钟输入
29	Y18	2	1	U1_13N_G2_MRC	BANK1 用户管脚；差分信号的负端；全局时钟输入
30	U18	2	1	U1_14P_G2_SRC	BANK1 用户管脚；差分信号的正端；局部时钟输入
31	U17	2	1	U1_14N_G2_SRC	BANK1 用户管脚；差分信号的负端；局部时钟输入
32	AA16	2	1	U1_15P_G2_DQS_RDWR	BANK1 用户管脚；差分信号的正端； SelectMap 数据总线方向
33	AB17	2	1	U1_15N_G2_DQS_CFGDO_CSON	BANK1 用户管脚；差分信号的负端；菊花链配置数据输出；并行菊



序列号	位置	Memory Group	Bank	信号名	说明
					花链的片选。
34	V18	2	1	U1_16P_G2_CSIN	BANK1 用户管脚；差分信号的正端； SelectMap 片选输入
35	V17	2	1	U1_16N_G2_A15_D31	BANK1 用户管脚；差分信号的负端； BPI 地址管脚 15；配置数据管脚 31
36	Y16	2	1	U1_17P_G2_A14_D30	BANK1 用户管脚；差分信号的正端； BPI 地址管脚 14；配置数据管脚 30
37	AA15	2	1	U1_17N_G2_A13_D29	BANK1 用户管脚；差分信号的负端； BPI 地址管脚 13；配置数据管脚 29
38	V16	2	1	U1_18P_G2_A12_D28	BANK1 用户管脚；差分信号的正端； BPI 地址管脚 12；配置数据管脚 28
39	U16	2	1	U1_18N_G2_A11_D27	BANK1 用户管脚；差分信号的负端； BPI 地址管脚 11；配置数据管脚 27
40	U15	3	1	U1_19P_G3_A10_D26	BANK1 用户管脚；差分信号的正端； BPI 地址管脚 10；配置数据管脚 26
41	W15	3	1	U1_19N_G3_A09_D25_VREF	BANK1 用户管脚；差分信号的负端； BPI 地址管脚 09；配置数据管脚 25；特殊电平标准的电压参考阈值
42	W16	3	1	U1_20P_G3_A08_D24	BANK1 用户管脚；差分信号的正端； BPI 地址管脚 8；配置数据管脚 24
43	V15	3	1	U1_20N_G3_A07_D23	BANK1 用户管脚；差分信号的负端； BPI 地址管脚 7；配置数据管脚 23
44	Y14	3	1	U1_21P_G3_DQS	BANK1 用户管脚；差分信号的正端；
45	AA14	3	1	U1_21N_G3_DQS_A06_D22	BANK1 用户管脚；差分信号的负端； BPI 地址管脚 06；配置数据管脚 22
46	V13	3	1	U1_22P_G3_A05_D21	BANK1 用户管脚；差分信号的正端； BPI 地址管脚 05；配置数据管脚 21
47	W14	3	1	U1_22N_G3_A04_D20	BANK1 用户管脚；差分信号的负端； BPI 地址管脚 04；配置数据管脚 20
48	AB14	3	1	U1_23P_G3_A03_D19	BANK1 用户管脚；差分信号的正



序列号	位置	Memory Group	Bank	信号名	说明
					端; BPI 地址管脚 03; 配置数据管脚 19
49	AB15	3	1	U1_23N_G3_A02_D18	BANK1 用户管脚; 差分信号的负端; BPI 地址管脚 02; 配置数据管脚 18
50	AB13	3	1	U1_24P_G3_A01_D17	BANK1 用户管脚; 差分信号的正端; BPI 地址管脚 01; 配置数据管脚 17
51	AA13	3	1	U1_24N_G3_A00_D16	BANK1 用户管脚; 差分信号的负端; BPI 地址管脚 0; 配置数据管脚 26
52	W13	N/A	1	U1_S25	BANK1 用户管脚; 单端信号
53	K16	N/A	2	U2_S0	BANK2 用户管脚; 单端信号
54	J16	0	2	U2_1P_G0_AD0P	BANK2 用户管脚; 差分信号的正端; ADC 的差分输入 0 正端
55	H16	0	2	U2_1N_G0_AD0N	BANK2 用户管脚; 差分信号的负端; ADC 的差分输入 0 负端
56	J17	0	2	U2_2P_G0_AD8P	BANK2 用户管脚; 差分信号的正端; ADC 的差分输入 8 正端
57	J18	0	2	U2_2N_G0_AD8N	BANK2 用户管脚; 差分信号的负端; ADC 的差分输入 8 负端
58	H17	0	2	U2_3P_G0_DQS_AD1P	BANK2 用户管脚; 差分信号的正端; ADC 的差分输入 1 正端
59	J19	0	2	U2_3N_G0_DQS_AD1N	BANK2 用户管脚; 差分信号的负端; ADC 的差分输入 1 负端
60	H19	0	2	U2_4P_G0	BANK2 用户管脚; 差分信号的正端;
61	H20	0	2	U2_4N_G0	BANK2 用户管脚; 差分信号的负端;
62	K17	0	2	U2_5P_G0_AD9P	BANK2 用户管脚; 差分信号的正端; ADC 的差分输入 9 正端
63	L17	0	2	U2_5N_G0_AD9N	BANK2 用户管脚; 差分信号的负端; ADC 的差分输入 9 负端
64	G21	0	2	U2_6P_G0	BANK2 用户管脚; 差分信号的正端;
65	G22	0	2	U2_6N_G0_VREF	BANK2 用户管脚; 差分信号的负端; 特殊电平电压参考阈值
66	G18	1	2	U2_7P_G1_AD2P	BANK2 用户管脚; 差分信号的正端; ADC 的差分输入 2 正端
67	G19	1	2	U2_7N_G1_AD2N	BANK2 用户管脚; 差分信号的负端; ADC 的差分输入 2 负端
68	J20	1	2	U2_8P_G1_AD10P	BANK2 用户管脚; 差分信号的正端; ADC 的差分输入 10 正端



序列号	位置	Memory Group	Bank	信号名	说明
69	K19	1	2	U2_8N_G1_AD10N	BANK2 用户管脚；差分信号的负端；ADC 的差分输入 10 负端
70	K20	1	2	U2_9P_G1_DQS_AD3P	BANK2 用户管脚；差分信号的正端；ADC 的差分输入 3 正端
71	K21	1	2	U2_9N_G1_DQS_AD3N	BANK2 用户管脚；差分信号的负端；ADC 的差分输入 3 负端
72	L18	1	2	U2_10P_G1_AD11P	BANK2 用户管脚；差分信号的正端；ADC 的差分输入 11 正端
73	L19	1	2	U2_10N_G1_AD11N	BANK2 用户管脚；差分信号的负端；ADC 的差分输入 11 负端
74	L21	1	2	U2_11P_G1_SRC	BANK2 用户管脚；差分信号的正端；局部时钟管脚
75	L22	1	2	U2_11N_G1_SRC	BANK2 用户管脚；差分信号的负端；局部时钟管脚
76	L16	1	2	U2_12P_G1_MRC	BANK2 用户管脚；差分信号的正端；全局时钟管脚
77	M16	1	2	U2_12N_G1_MRC	BANK2 用户管脚；差分信号的负端；全局时钟管脚
78	H22	2	2	U2_13P_G2_MRC	BANK2 用户管脚；差分信号的正端；全局时钟管脚
79	H21	2	2	U2_13N_G2_MRC	BANK2 用户管脚；差分信号的负端；全局时钟管脚
80	M20	2	2	U2_14P_G2_SRC	BANK2 用户管脚；差分信号的正端；局部时钟管脚
81	M19	2	2	U2_14N_G2_SRC	BANK2 用户管脚；差分信号的负端；局部时钟管脚
82	K22	2	2	U2_15P_G2_DQS	BANK2 用户管脚；差分信号的正端；
83	J22	2	2	U2_15N_G2_DQS_ADV	BANK2 用户管脚；差分信号的负端；BPI FLASH 地址有效
84	R22	2	2	U2_16P_G2_A28	BANK2 用户管脚；差分信号的正端；BPI 地址线 28
85	R21	2	2	U2_16N_G2_A27	BANK2 用户管脚；差分信号的负端；BPI 地址线 27
86	N21	2	2	U2_17P_G2_A26	BANK2 用户管脚；差分信号的正端；BPI 地址线 26
87	M21	2	2	U2_17N_G2_A25	BANK2 用户管脚；差分信号的负端；BPI 地址线 25
88	R20	2	2	U2_18P_G2_A24	BANK2 用户管脚；差分信号的正端；BPI 地址线 24
89	P20	2	2	U2_18N_G2_A23	BANK2 用户管脚；差分信号的负端；BPI 地址线 23
90	P22	3	2	U2_19P_G3_A22	BANK3 用户管脚；差分信号的正端



序列号	位置	Memory Group	Bank	信号名	说明
					端; BPI 地址线 22
91	N22	3	2	U2_19N_G3_A21_VREF	BANK3 用户管脚; 差分信号的负端; BPI 地址线 21; 特殊电平电压参考阈值
92	M17	3	2	U2_20P_G3_A20	BANK2 用户管脚; 差分信号的正端; BPI 地址线 20
93	N17	3	2	U2_20N_G3_A19	BANK2 用户管脚; 差分信号的负端; BPI 地址线 19
94	P18	3	2	U2_21P_G3_DQS	BANK2 用户管脚; 差分信号的正端;
95	P19	3	2	U2_21N_G3_DQS_A18	BANK2 用户管脚; 差分信号的负端; BPI 地址线 18
96	N19	3	2	U2_22P_G3_A17	BANK2 用户管脚; 差分信号的正端; BPI 地址线 17
97	N18	3	2	U2_22N_G3_A16	BANK2 用户管脚; 差分信号的负端; BPI 地址线 16
98	R19	3	2	U2_23P_G3_OE	BANK2 用户管脚; 差分信号的正端; BPI FLASH 输出使能
99	R18	3	2	U2_23N_G3_WE	BANK2 用户管脚; 差分信号的负端; BPI FLASH 写使能
100	P17	3	2	U2_24P_G3_RS1	BANK2 用户管脚; 差分信号的正端; RS1 和 RS0 组合管理 multiboot 是版本输出
101	P16	3	2	U2_24N_G3_RS0	BANK2 用户管脚; 差分信号的负端; RS1 和 RS0 组合管理 multiboot 是版本输出
102	T22	N/A	2	U2_S25	BANK2 用户管脚, 单端信号
103	F15	N/A	3	U3_S0	BANK3 用户管脚, 单端信号
104	F14	0	3	U3_1P_G0	BANK3 用户管脚; 差分信号的正端;
105	F13	0	3	U3_1N_G0	BANK3 用户管脚; 差分信号的负端;
106	E14	0	3	U3_2P_G0	BANK3 用户管脚; 差分信号的正端;
107	E13	0	3	U3_2N_G0	BANK3 用户管脚; 差分信号的负端;
108	D15	0	3	U3_3P_G0_DQS	BANK3 用户管脚; 差分信号的正端;
109	D14	0	3	U3_3N_G0_DQS	BANK3 用户管脚; 差分信号的负端;
110	C13	0	3	U3_4P_G0	BANK3 用户管脚; 差分信号的正端;
111	B13	0	3	U3_4N_G0	BANK3 用户管脚; 差分信号的负端;



序列号	位置	Memory Group	Bank	信号名	说明
					端；
112	B15	0	3	U3_5P_G0	BANK3 用户管脚；差分信号的正端；
113	B16	0	3	U3_5N_G0	BANK3 用户管脚；差分信号的负端；
114	A13	0	3	U3_6P_G0	BANK3 用户管脚；差分信号的正端；
115	A14	0	3	U3_6N_G0_VREF	BANK3 用户管脚；差分信号的负端；特殊电平标准的电压参考阈值
116	A15	1	3	U3_7P_G1	BANK3 用户管脚；差分信号的正端；
117	A16	1	3	U3_7N_G1	BANK3 用户管脚；差分信号的负端；
118	C14	1	3	U3_8P_G1	BANK3 用户管脚；差分信号的正端；
119	C15	1	3	U3_8N_G1	BANK3 用户管脚；差分信号的负端；
120	D16	1	3	U3_9P_G1_DQS	BANK3 用户管脚；差分信号的正端；
121	E16	1	3	U3_9N_G1_DQS	BANK3 用户管脚；差分信号的负端；
122	E17	1	3	U3_10P_G1	BANK3 用户管脚；差分信号的正端；
123	F16	1	3	U3_10N_G1	BANK3 用户管脚；差分信号的负端；
124	B17	1	3	U3_11P_G1_SRC	BANK3 用户管脚；差分信号的正端；局部时钟管脚
125	B18	1	3	U3_11N_G1_SRC	BANK3 用户管脚；差分信号的负端；局部时钟管脚
126	C17	1	3	U3_12P_G1_MRC	BANK3 用户管脚；差分信号的正端；全局时钟管脚
127	D17	1	3	U3_12N_G1_MRC	BANK3 用户管脚；差分信号的负端；全局时钟管脚
128	A19	2	3	U3_13P_G2_MRC	BANK3 用户管脚；差分信号的正端；全局时钟管脚
129	A18	2	3	U3_13N_G2_MRC	BANK3 用户管脚；差分信号的负端；全局时钟管脚
130	G16	2	3	U3_14P_G2_SRC	BANK3 用户管脚；差分信号的正端；局部时钟管脚
131	G17	2	3	U3_14N_G2_SRC	BANK3 用户管脚；差分信号的负端；局部时钟管脚
132	C19	2	3	U3_15P_G2_DQS	BANK3 用户管脚；差分信号的正端；



序列号	位置	Memory Group	Bank	信号名	说明
133	C18	2	3	U3_15N_G2_DQS	BANK3 用户管脚；差分信号的负端；
134	D19	2	3	U3_16P_G2	BANK3 用户管脚；差分信号的正端；
135	E19	2	3	U3_16N_G2	BANK3 用户管脚；差分信号的负端；
136	B21	2	3	U3_17P_G2	BANK3 用户管脚；差分信号的正端；
137	A21	2	3	U3_17N_G2	BANK3 用户管脚；差分信号的负端；
138	A20	2	3	U3_18P_G2	BANK3 用户管脚；差分信号的正端；
139	B20	2	3	U3_18N_G2	BANK3 用户管脚；差分信号的负端；
140	F18	3	3	U3_19P_G3	BANK3 用户管脚；差分信号的正端；
141	E18	3	3	U3_19N_G3_VREF	BANK3 用户管脚；差分信号的负端；特殊电平标准的电压参考阈值
142	B22	3	3	U3_20P_G3	BANK3 用户管脚；差分信号的正端；
143	C22	3	3	U3_20N_G3	BANK3 用户管脚；差分信号的负端；
144	D20	3	3	U3_21P_G3_DQS	BANK3 用户管脚；差分信号的正端；
145	C20	3	3	U3_21N_G3_DQS	BANK3 用户管脚；差分信号的负端；
146	D22	3	3	U3_22P_G3	BANK3 用户管脚；差分信号的正端；
147	E22	3	3	U3_22N_G3	BANK3 用户管脚；差分信号的负端；
148	E21	3	3	U3_23P_G3	BANK3 用户管脚；差分信号的正端；
149	D21	3	3	U3_23N_G3	BANK3 用户管脚；差分信号的负端；
150	F19	3	3	U3_24P_G3	BANK3 用户管脚；差分信号的正端；
151	F20	3	3	U3_24N_G3	BANK3 用户管脚；差分信号的负端；
152	F21	N/A	3	U3_S25	BANK3 用户管脚，单端信号
153	T3	N/A	4	U4_S0	BANK4 用户管脚，单端信号
154	R2	0	4	U4_1P_G0	BANK4 用户管脚；差分信号的正端；DDR DQ[30]
155	R3	0	4	U4_1N_G0	BANK4 用户管脚；差分信号的负端；

序列号	位置	Memory Group	Bank	信号名	说明
					端; DDR DQ[31]
156	U2	0	4	U4_2P_G0	BANK4 用户管脚; 差分信号的正端; DDR DQ[27]
157	V2	0	4	U4_2N_G0	BANK4 用户管脚; 差分信号的负端; DDR DQ[26]
158	T1	0	4	U4_3P_G0_DQS	BANK4 用户管脚; 差分信号的正端; DDR DQS P[3]
159	U1	0	4	U4_3N_G0_DQS	BANK4 用户管脚; 差分信号的负端; DDR DQS N[3]
160	W2	0	4	U4_4P_G0	BANK4 用户管脚; 差分信号的正端; DDR DQ[29]
161	Y2	0	4	U4_4N_G0	BANK4 用户管脚; 差分信号的负端; DDR DQ[24]
162	W1	0	4	U4_5P_G0	BANK4 用户管脚; 差分信号的正端; DDR DQ[28]
163	Y1	0	4	U4_5N_G0	BANK4 用户管脚; 差分信号的负端; DDR DQ[25]
164	T4	0	4	U4_6P_G0	BANK4 用户管脚; 差分信号的正端; DDR DM3
165	R4	0	4	U4_6N_G0_VREF	BANK4 用户管脚; 差分信号的负端; 特殊电平标准的电压参考阈值
166	AA1	1	4	U4_7P_G1	BANK4 用户管脚; 差分信号的正端; DDR DQ[23]
167	AB1	1	4	U4_7N_G1	BANK4 用户管脚; 差分信号的负端; DDR DQ[22]
168	U3	1	4	U4_8P_G1	BANK4 用户管脚; 差分信号的正端; DDR DQ[19]
169	V3	1	4	U4_8N_G1	BANK4 用户管脚; 差分信号的负端; DDR DQ[18]
170	T5	1	4	U4_9P_G1_DQS	BANK4 用户管脚; 差分信号的正端; DDR DQS P[2]
171	U5	1	4	U4_9N_G1_DQS	BANK4 用户管脚; 差分信号的负端; DDR DQS N[2]
172	AB2	1	4	U4_10P_G1	BANK4 用户管脚; 差分信号的正端; DDR DM2
173	AB3	1	4	U4_10N_G1	BANK4 用户管脚; 差分信号的负端; DDR DQ[16]
174	Y3	1	4	U4_11P_G1_SRC	BANK4 用户管脚; 差分信号的正端; DDR DQ[17]; 局部时钟管脚
175	AA3	1	4	U4_11N_G1_SRC	BANK4 用户管脚; 差分信号的负端; DDR DQ[20]; 局部时钟管脚
176	V4	1	4	U4_12P_G1_MRC	BANK4 用户管脚; 差分信号的正端; 全局时钟管脚



序列号	位置	Memory Group	Bank	信号名	说明
177	W4	1	4	U4_12N_G1_MRC	BANK4 用户管脚；差分信号的负端；DDR DQ[21]；全局时钟管脚
178	AA5	2	4	U4_13P_G2_MRC	BANK4 用户管脚；差分信号的正端；DDR DM[1]；全局时钟管脚
179	AB5	2	4	U4_13N_G2_MRC	BANK4 用户管脚；差分信号的负端；DDR IP DQ[13]；全局时钟管脚
180	V5	2	4	U4_14P_G2_SRC	BANK4 用户管脚；差分信号的正端；DDR IP DQ[14]；局部时钟管脚
181	U6	2	4	U4_14N_G2_SRC	BANK4 用户管脚；差分信号的负端；DDR IP DQ[9]；局部时钟管脚
182	T6	2	4	U4_15P_G2_DQS	BANK4 用户管脚；差分信号的正端；DDR DQS P[1]
183	R6	2	4	U4_15N_G2_DQS	BANK4 用户管脚；差分信号的负端；DDR DQS N[1]
184	Y4	2	4	U4_16P_G2	BANK4 用户管脚；差分信号的正端；DDR IP DQ[15]
185	AA4	2	4	U4_16N_G2	BANK4 用户管脚；差分信号的负端；DDR IP DQ[11]
186	W6	2	4	U4_17P_G2	BANK4 用户管脚；差分信号的正端；DDR IP DQ[8]
187	W5	2	4	U4_17N_G2	BANK4 用户管脚；差分信号的负端；DDR IP DQ[10]
188	Y6	2	4	U4_18P_G2	BANK4 用户管脚；差分信号的正端；
189	AA6	2	4	U4_18N_G2	BANK4 用户管脚；差分信号的负端；DDR IP DQ[12]
190	V7	3	4	U4_19P_G3	BANK4 用户管脚；差分信号的正端；DDR IP DQ[6]
191	W7	3	4	U4_19N_G3_VREF	BANK4 用户管脚；差分信号的负端；特殊电平标准的电压参考阈值
192	AB6	3	4	U4_20P_G3	BANK4 用户管脚；差分信号的正端；DDR IP DQ[7]
193	AB7	3	4	U4_20N_G3	BANK4 用户管脚；差分信号的负端；DDR IP DQ[3]
194	V9	3	4	U4_21P_G3_DQS	BANK4 用户管脚；差分信号的正端；DDR DQS P[0]
195	V8	3	4	U4_21N_G3_DQS	BANK4 用户管脚；差分信号的负端；DDR DQS N[0]
196	AB8	3	4	U4_22P_G3	BANK4 用户管脚；差分信号的正端；DDR IP DQ[4]
197	AA8	3	4	U4_22N_G3	BANK4 用户管脚；差分信号的负端；



序列号	位置	Memory Group	Bank	信号名	说明
					端; DDR DM[0]
198	Y8	3	4	U4_23P_G3	BANK4 用户管脚; 差分信号的正端; DDR IP DQ[5]
199	Y7	3	4	U4_23N_G3	BANK4 用户管脚; 差分信号的负端; DDR IP DQ[2]
200	W9	3	4	U4_24P_G3	BANK4 用户管脚; 差分信号的正端; DDR IP DQ[0]
201	Y9	3	4	U4_24N_G3	BANK4 用户管脚; 差分信号的负端; DDR IP DQ[1]
202	U7	N/A	4	U4_S25	BANK4 用户管脚; 单端信号
203	F4	N/A	5	U5_S0	BANK5 用户管脚; 单端信号
204	J6	0	5	U5_1P_G0	BANK5 用户管脚; 差分信号的正端;
205	K6	0	5	U5_1N_G0	BANK5 用户管脚; 差分信号的负端;
206	H4	0	5	U5_2P_G0	BANK5 用户管脚; 差分信号的正端;
207	G4	0	5	U5_2N_G0	BANK5 用户管脚; 差分信号的负端;
208	H5	0	5	U5_3P_G0_DQS	BANK5 用户管脚; 差分信号的正端; DDR CS;
209	J5	0	5	U5_3N_G0_DQS	BANK5 用户管脚; 差分信号的负端; DDR BA[1];
210	E3	0	5	U5_4P_G0	BANK5 用户管脚; 差分信号的正端; ;
211	F3	0	5	U5_4N_G0	BANK5 用户管脚; 差分信号的负端; DDR RAS;
212	G3	0	5	U5_5P_G0	BANK5 用户管脚; 差分信号的正端;
213	H3	0	5	U5_5N_G0	BANK5 用户管脚; 差分信号的负端;
214	B2	0	5	U5_6P_G0	BANK5 用户管脚; 差分信号的正端;
215	C2	0	5	U5_6N_G0_VREF	BANK5 用户管脚; 差分信号的负端; 特殊电平标准的电压参考阈值
216	D1	1	5	U5_7P_G1	BANK5 用户管脚; 差分信号的正端; DDR ADDR[13]
217	E1	1	5	U5_7N_G1	BANK5 用户管脚; 差分信号的负端; DDR CAS
218	D2	1	5	U5_8P_G1	BANK5 用户管脚; 差分信号的正端; DDR ODT[0]
219	E2	1	5	U5_8N_G1	BANK5 用户管脚; 差分信号的负端; DDR WE



序列号	位置	Memory Group	Bank	信号名	说明
220	B1	1	5	U5_9P_G1_DQS	BANK5 用户管脚；差分信号的正端；
221	A1	1	5	U5_9N_G1_DQS	BANK5 用户管脚；差分信号的负端；
222	K4	1	5	U5_10P_G1	BANK5 用户管脚；差分信号的正端；DDR ADDR[04]；
223	J4	1	5	U5_10N_G1	BANK5 用户管脚；差分信号的负端；DDR ADDR[10]；
224	K3	1	5	U5_11P_G1_SRC	BANK5 用户管脚；差分信号的正端；DDR ADDR[0]；局部时钟输入
225	L3	1	5	U5_11N_G1_SRC	BANK5 用户管脚；差分信号的负端；DDR ADDR[12]；局部时钟输入
226	H2	1	5	U5_12P_G1_MRC	BANK5 用户管脚；差分信号的正端；DDR ADDR[01]；全局时钟输入
227	G2	1	5	U5_12N_G1_MRC	BANK5 用户管脚；差分信号的负端；DDR BA[0]；全局时钟输入
228	L4	2	5	U5_13P_G2_MRC	BANK5 用户管脚；差分信号的正端；全局时钟输入
229	L5	2	5	U5_13N_G2_MRC	BANK5 用户管脚；差分信号的负端；DDR ADDR[03]；全局时钟输入
230	J1	2	5	U5_14P_G2_SRC	BANK5 用户管脚；差分信号的正端；局部时钟输入
231	K1	2	5	U5_14N_G2_SRC	BANK5 用户管脚；差分信号的负端；DDR ADDR[02]；局部时钟输入
232	K2	2	5	U5_15P_G2_DQS	BANK5 用户管脚；差分信号的正端；DDR CK P[0]
233	J2	2	5	U5_15N_G2_DQS	BANK5 用户管脚；差分信号的负端；DDR CK N[0]
234	L1	2	5	U5_16P_G2	BANK5 用户管脚；差分信号的正端；DDR ADDR[06]；
235	M1	2	5	U5_16N_G2	BANK5 用户管脚；差分信号的负端；
236	F1	2	5	U5_17P_G2	BANK5 用户管脚；差分信号的正端；
237	G1	2	5	U5_17N_G2	BANK5 用户管脚；差分信号的负端；
238	M6	2	5	U5_18P_G2	BANK5 用户管脚；差分信号的正端；



序列号	位置	Memory Group	Bank	信号名	说明
239	M5	2	5	U5_18N_G2	BANK5 用户管脚; 差分信号的负端;
240	M2	3	5	U5_19P_G3	BANK5 用户管脚; 差分信号的正端; DDR BA[2];
241	M3	3	5	U5_19N_G3_VREF	BANK5 用户管脚; 差分信号的负端; 特殊电平标准的电压参考阈值
242	N2	3	5	U5_20P_G3	BANK5 用户管脚; 差分信号的正端; DDR CKE[0];
243	P2	3	5	U5_20N_G3	BANK5 用户管脚; 差分信号的负端; DDR ADDR[07];
244	N4	3	5	U5_21P_G3_DQS	BANK5 用户管脚; 差分信号的正端;
245	N3	3	5	U5_21N_G3_DQS	BANK5 用户管脚; 差分信号的负端;
246	N5	3	5	U5_22P_G3	BANK5 用户管脚; 差分信号的正端; DDR ADDR[09];
247	P6	3	5	U5_22N_G3	BANK5 用户管脚; 差分信号的负端; DDR ADDR[14];
248	R1	3	5	U5_23P_G3	BANK5 用户管脚; 差分信号的正端; DDR Reset;
249	P1	3	5	U5_23N_G3	BANK5 用户管脚; 差分信号的负端; DDR ADDR[11];
250	P4	3	5	U5_24P_G3	BANK5 用户管脚; 差分信号的正端; DDR ADDR[08];
251	P5	3	5	U5_24N_G3	BANK5 用户管脚; 差分信号的负端; DDR ADDR[05];
252	L6	N/A	5	U5_S25	BANK5 用户管脚; 单端信号
253	F6	N/A	101	U101_UHSTREFCLK0N	UHST #0 的参考时钟, 负端
254	E6	N/A	101	U101_UHSTREFCLK0P	UHST #0 的参考时钟, 正端
255	C11	N/A	101	U101_UHST1RXP1	UHST #1 的接收端, 正端
256	A10	N/A	101	U101_UHST1RXP2	UHST#2 的接收端, 正端
257	D9	N/A	101	U101_UHST1RXP3	UHST#3 的接收端, 正端
258	A8	N/A	101	U101_UHST1RXN0	UHST#0 的接收端, 负端
259	C7	N/A	101	U101_UHST1TXP3	UHST#3 的发送端, 正端
260	A6	N/A	101	U101_UHST1TXP2	UHST#2 的发送端, 正端
261	E10	N/A	101	U101_UHSTREFCLK1P	UHST #1 的参考时钟, 正端
262	F10	N/A	101	U101_UHSTREFCLK1N	UHST #1 的参考时钟, 负端
263	D11	N/A	101	U101_UHST1RXN1	UHST #1 的接收端, 负端
264	B10	N/A	101	U101_UHST1RXN2	UHST #2 的接收端, 负端
265	C9	N/A	101	U101_UHST1RXN3	UHST #3 的接收端, 负端
266	B8	N/A	101	U101_UHST1RXP0	UHST #0 的接收端, 正端
267	D7	N/A	101	U101_UHST1TXN3	UHST #3 的发送端, 负端
268	B6	N/A	101	U101_UHST1TXN2	UHST #2 的发送端, 负端



序列号	位置	Memory Group	Bank	信号名	说明
269	C5	N/A	101	U101_UHST1TXP1	UHST #1 的发送端, 正端
270	D5	N/A	101	U101_UHST1TXN1	UHST #1 的发送端, 负端
271	A4	N/A	101	U101_UHST1TXP0	UHST #0 的发送端, 正端
272	B4	N/A	101	U101_UHST1TXN0	UHST #0 的发送端, 负端
273	R13	N/A	0	F0_CFG_DONE	配置完成信号
274	K14	N/A	0	NC	
275	L13	N/A	0	F0_GNDADC	ADC 模拟地
276	K11	N/A	0	F0_VCCADC	ADC 模拟电源
277	L14	N/A	0	F0_VREFP	ADC 1.25V 参考电源输入, 正端
278	M13	N/A	0	F0_VCCBAT	保存密钥的电池电源输入
279	N13	N/A	0	F0_TCK	JTAG 时钟
280	J14	N/A	0	NC	
281	L10	N/A	0	F0_VREFN	ADC 1.25V 参考电源输入, 负端
282	N14	N/A	0	F0_CFG_CLK	配置时钟
283	U14	N/A	0	F0_CFG_T0	配置模式选择
284	T13	N/A	0	F0_CFG_T1	配置模式选择
285	P11	N/A	0	F0_CFG_STA	配置初始化完成标志
286	P13	N/A	0	F0_TDI	JTAG 数据输入
287	P14	N/A	0	F0_TDO	JTAG 数据输出
288	U11	N/A	0	F0_CFG_T2	配置模式选择
289	R11	N/A	0	F0_CFG_V	选择配置相关 BANK 在配置过程中的电压
290	T14	N/A	0	F0_CFG_RSTN	配置复位信号
291	N10	N/A	0	F0_TMS	JTAG 模式选择
292	F8	N/A	101	U101_UHSTREF	内部校准终端用精密参考电阻管脚
293	D6	N/A	N/A	UHSTVCC	UHST 的 1.0V 模拟电源输入
294	D10	N/A	N/A	UHSTVCC	UHST 的 1.0V 模拟电源输入
295	F7	N/A	N/A	UHSTVCC	UHST 的 1.0V 模拟电源输入
296	F9	N/A	N/A	UHSTVCC	UHST 的 1.0V 模拟电源输入
297	E8	N/A	N/A	UHSTVCC	UHST 的 1.0V 模拟电源输入
298	B5	N/A	N/A	UHSTVTT	UHST 的 1.2V 模拟电源输入
299	B7	N/A	N/A	UHSTVTT	UHST 的 1.2V 模拟电源输入
300	B9	N/A	N/A	UHSTVTT	UHST 的 1.2V 模拟电源输入
301	B11	N/A	N/A	UHSTVTT	UHST 的 1.2V 模拟电源输入
302	C4	N/A	N/A	UHSTVTT	UHST 的 1.2V 模拟电源输入
303	C8	N/A	N/A	UHSTVTT	UHST 的 1.2V 模拟电源输入
304	D8	N/A	N/A	GND	地
305	A2	N/A	N/A	GND	地
306	A3	N/A	N/A	GND	地
307	A5	N/A	N/A	GND	地
308	A7	N/A	N/A	GND	地



序列号	位置	Memory Group	Bank	信号名	说明
309	A9	N/A	N/A	GND	地
310	A11	N/A	N/A	GND	地
311	A12	N/A	N/A	GND	地
312	A22	N/A	N/A	GND	地
313	AA2	N/A	N/A	GND	地
314	AA12	N/A	N/A	GND	地
315	F12	N/A	N/A	GND	地
316	AB9	N/A	N/A	GND	地
317	J21	N/A	N/A	GND	地
318	B3	N/A	N/A	GND	地
319	B12	N/A	N/A	GND	地
320	B19	N/A	N/A	GND	地
321	C3	N/A	N/A	GND	地
322	C6	N/A	N/A	GND	地
323	C10	N/A	N/A	GND	地
324	C12	N/A	N/A	GND	地
325	C16	N/A	N/A	GND	地
326	D3	N/A	N/A	GND	地
327	D4	N/A	N/A	GND	地
328	D12	N/A	N/A	GND	地
329	D13	N/A	N/A	GND	地
330	E4	N/A	N/A	GND	地
331	E5	N/A	N/A	GND	地
332	E7	N/A	N/A	GND	地
333	E9	N/A	N/A	GND	地
334	E11	N/A	N/A	GND	地
335	E20	N/A	N/A	GND	地
336	F5	N/A	N/A	GND	地
337	F11	N/A	N/A	GND	地
338	F17	N/A	N/A	GND	地
339	G5	N/A	N/A	GND	地
340	G6	N/A	N/A	GND	地
341	G7	N/A	N/A	GND	地
342	G8	N/A	N/A	GND	地
343	G9	N/A	N/A	GND	地
344	G10	N/A	N/A	GND	地
345	G12	N/A	N/A	GND	地
346	G15	N/A	N/A	GND	地
347	H1	N/A	N/A	GND	地
348	H7	N/A	N/A	GND	地
349	H9	N/A	N/A	GND	地
350	H11	N/A	N/A	GND	地



序列号	位置	Memory Group	Bank	信号名	说明
351	K13	N/A	N/A	GND	地
352	K18	N/A	N/A	GND	地
353	M15	N/A	N/A	GND	地
354	J12	N/A	N/A	GND	地
355	M22	N/A	N/A	GND	地
356	K5	N/A	N/A	GND	地
357	K7	N/A	N/A	GND	地
358	N12	N/A	N/A	GND	地
359	K15	N/A	N/A	GND	地
360	L2	N/A	N/A	GND	地
361	L8	N/A	N/A	GND	地
362	N20	N/A	N/A	GND	地
363	M7	N/A	N/A	GND	地
364	M11	N/A	N/A	GND	地
365	R14	N/A	N/A	GND	地
366	N6	N/A	N/A	GND	地
367	N8	N/A	N/A	GND	地
368	N16	N/A	N/A	GND	地
369	P3	N/A	N/A	GND	地
370	P7	N/A	N/A	GND	地
371	P9	N/A	N/A	GND	地
372	T11	N/A	N/A	GND	地
373	T17	N/A	N/A	GND	地
374	R8	N/A	N/A	GND	地
375	R10	N/A	N/A	GND	地
376	U4	N/A	N/A	GND	地
377	U8	N/A	N/A	GND	地
378	U10	N/A	N/A	GND	地
379	U21	N/A	N/A	GND	地
380	Y13	N/A	N/A	GND	地
381	Y21	N/A	N/A	GND	地
382	AB16	N/A	N/A	GND	地
383	AB22	N/A	N/A	GND	地
384	V1	N/A	N/A	GND	地
385	V11	N/A	N/A	GND	地
386	E12	N/A	N/A	GND	地
387	W8	N/A	N/A	GND	地
388	W18	N/A	N/A	GND	地
389	Y5	N/A	N/A	GND	地
390	Y15	N/A	N/A	GND	地
391	L9	N/A	N/A	VCCCORE	核电压输入管脚
392	M9	N/A	N/A	VCCCORE	核电压输入管脚



序列号	位置	Memory Group	Bank	信号名	说明
393	J7	N/A	N/A	VCCCORE	核电压输入管脚
394	N9	N/A	N/A	VCCCORE	核电压输入管脚
395	K8	N/A	N/A	VCCCORE	核电压输入管脚
396	L7	N/A	N/A	VCCCORE	核电压输入管脚
397	M8	N/A	N/A	VCCCORE	核电压输入管脚
398	N7	N/A	N/A	VCCCORE	核电压输入管脚
399	P8	N/A	N/A	VCCCORE	核电压输入管脚
400	P10	N/A	N/A	VCCCORE	核电压输入管脚
401	R7	N/A	N/A	VCCCORE	核电压输入管脚
402	R9	N/A	N/A	VCCCORE	核电压输入管脚
403	T8	N/A	N/A	VCCCORE	核电压输入管脚
404	T10	N/A	N/A	VCCCORE	核电压输入管脚
405	H12	N/A	N/A	VCCSUP	辅助电压输入管脚
406	K12	N/A	N/A	VCCSUP	辅助电压输入管脚
407	M12	N/A	N/A	VCCSUP	辅助电压输入管脚
408	P12	N/A	N/A	VCCSUP	辅助电压输入管脚
409	T12	N/A	N/A	VCCSUP	辅助电压输入管脚
410	R12	N/A	0	F0_VCCP	BANK0 电压输入管脚
411	U13	N/A	0	F0_VCCP	BANK0 电压输入管脚
412	T15	N/A	1	U1_VCCP	BANK1 电压输入管脚
413	Y17	N/A	1	U1_VCCP	BANK1 电压输入管脚
414	T18	N/A	1	U1_VCCP	BANK1 电压输入管脚
415	W19	N/A	1	U1_VCCP	BANK1 电压输入管脚
416	W22	N/A	1	U1_VCCP	BANK1 电压输入管脚
417	V14	N/A	1	U1_VCCP	BANK1 电压输入管脚
418	N15	N/A	2	U2_VCCP	BANK2 电压输入管脚
419	P21	N/A	2	U2_VCCP	BANK2 电压输入管脚
420	M18	N/A	2	U2_VCCP	BANK2 电压输入管脚
421	G20	N/A	2	U2_VCCP	BANK2 电压输入管脚
422	H18	N/A	2	U2_VCCP	BANK2 电压输入管脚
423	L20	N/A	2	U2_VCCP	BANK2 电压输入管脚
424	F22	N/A	3	U3_VCCP	BANK3 电压输入管脚
425	E15	N/A	3	U3_VCCP	BANK3 电压输入管脚
426	D18	N/A	3	U3_VCCP	BANK3 电压输入管脚
427	C21	N/A	3	U3_VCCP	BANK3 电压输入管脚
428	B14	N/A	3	U3_VCCP	BANK3 电压输入管脚
429	A17	N/A	3	U3_VCCP	BANK3 电压输入管脚
430	R5	N/A	4	U4_VCCP	BANK4 电压输入管脚
431	T2	N/A	4	U4_VCCP	BANK4 电压输入管脚
432	V6	N/A	4	U4_VCCP	BANK4 电压输入管脚
433	W3	N/A	4	U4_VCCP	BANK4 电压输入管脚
434	AA7	N/A	4	U4_VCCP	BANK4 电压输入管脚



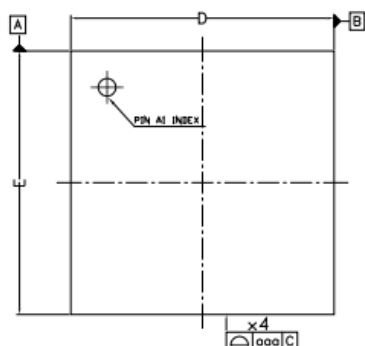
序列号	位置	Memory Group	Bank	信号名	说明
435	AB4	N/A	4	U4_VCCP	BANK4 电压输入管脚
436	C1	N/A	5	U5_VCCP	BANK5 电压输入管脚
437	F2	N/A	5	U5_VCCP	BANK5 电压输入管脚
438	H6	N/A	5	U5_VCCP	BANK5 电压输入管脚
439	J3	N/A	5	U5_VCCP	BANK5 电压输入管脚
440	M4	N/A	5	U5_VCCP	BANK5 电压输入管脚
441	N1	N/A	5	U5_VCCP	BANK5 电压输入管脚
442	J11	N/A	N/A	VCCHRAM	内部 RAM 的电压输入管脚
443	L11	N/A	N/A	VCCHRAM	内部 RAM 的电压输入管脚
444	N11	N/A	N/A	VCCHRAM	内部 RAM 的电压输入管脚
445	T7	N/A	N/A	NC	
446	H8	N/A	N/A	NC	
447	J8	N/A	N/A	NC	
448	J9	N/A	N/A	NC	
449	K9	N/A	N/A	NC	
450	T9	N/A	N/A	NC	
451	U9	N/A	N/A	NC	
452	AA9	N/A	N/A	NC	
453	H10	N/A	N/A	NC	
454	J10	N/A	N/A	NC	
455	K10	N/A	N/A	NC	
456	V10	N/A	N/A	NC	
457	W10	N/A	N/A	NC	
458	Y10	N/A	N/A	NC	
459	AA10	N/A	N/A	NC	
460	AB10	N/A	N/A	NC	
461	G11	N/A	N/A	NC	
462	W11	N/A	N/A	NC	
463	Y11	N/A	N/A	NC	
464	AA11	N/A	N/A	NC	
465	AB11	N/A	N/A	NC	
466	L12	N/A	N/A	NC	
467	U12	N/A	N/A	NC	
468	V12	N/A	N/A	NC	
469	W12	N/A	N/A	NC	
470	Y12	N/A	N/A	NC	
471	AB12	N/A	N/A	NC	
472	G13	N/A	N/A	NC	
474	H13	N/A	N/A	NC	
474	J13	N/A	N/A	NC	
475	G14	N/A	N/A	NC	
476	H14	N/A	N/A	NC	
477	H15	N/A	N/A	NC	
478	J15	N/A	N/A	NC	
479	L15	N/A	N/A	NC	
480	P15	N/A	N/A	NC	

序列号	位置	Memory Group	Bank	信号名	说明
481	R15	N/A	N/A	NC	
482	R16	N/A	N/A	NC	
483	T16	N/A	N/A	NC	
484	R17	N/A	N/A	NC	

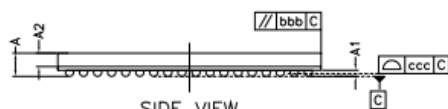
2 第二章 封装信息

2.1 FMK50 FCFBGA324

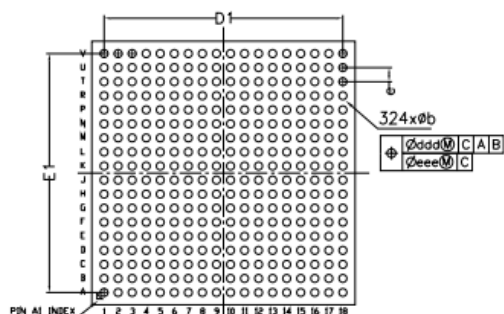
REV	ECN#	DESCRIPTION	DATE	DESIGNED	REVIEWED	APPROVED
01	-	INITIAL RELEASE	20/Feb/19	Lu Haiqin	Liu Peng	SJ Park
01_A	-	Update total height	15/Mar/19	Lu Haiqin	Liu Peng	SJ Park
01_B	-	Update drawing	23/Aug/19	Elfie Zhou	Liu Peng	SJ Park



TOP VIEW



SIDE VIEW



BOTTOM VIEW

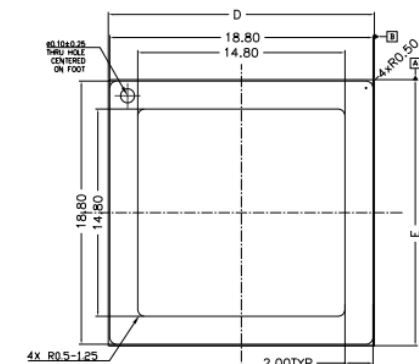
DIMENSION REFERENCE(mm)

REF.	MIN	NOM	MAX
A	1.20	1.30	1.40
A1	0.30	0.35	0.40
A2	0.76 TYP		
b	0.40	0.45	0.50
D	15.00 BSC		
E	15.00 BSC		
D1	13.60 BSC		
E1	13.60 BSC		
e	0.80 BSC		

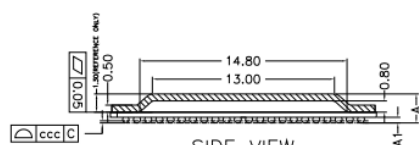
DIMENSION REFERENCE(mm)

REF.	TOLERANCE OF FORM AND POSITION
aaa	0.15
bbb	0.20
ccc	0.20
ddd	0.15
eee	0.08

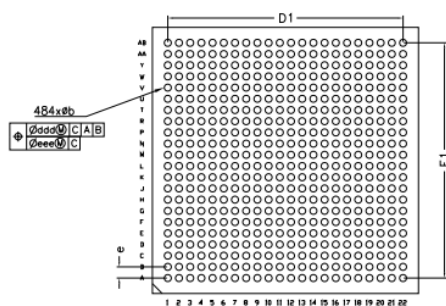
2.2 FMK50T4 FCFBGA484



TOP VIEW



SIDE VIEW



BOTTOM VIEW

REV	ECN#	DESCRIPTION	DATE	DESIGNED	REVIEWED	APPROVED
01	-	INITIAL RELEASE	03/Jan'19	Ellie Zhou	Liu Peng	SJ Park
01_A	-	Update total height	15/Mar'19	Ellie Zhou	Liu Peng	SJ Park
01_B	-	Update drawing	22/Aug'19	Ellie Zhou	Liu Peng	SJ Park

DIMENSION REFERENCE(mm)

REF.	MIN	NOM	MAX
A	1.90	2.00	2.10
A1	0.30	0.35	0.40
b	0.40	0.45	0.50
D	19.00 BSC		
E	19.00 BSC		
D1	16.80 BSC		
E1	16.80 BSC		
e	0.80 BSC		

DIMENSION REFERENCE(mm)

REF.	TOLERANCE OF FORM AND POSITION
ccc	0.20
ddd	0.15
eee	0.08

版本信息

版本号	发布日期	页数	章节或图表	更改说明
1.0	2019.04	44		首次发布
1.1	2019.06	44	1.2.1	增加电源、ADC 管脚、Serdes 定义、TDP/TDN 设置为 NC
1.2	2020.02	42	表 1.1	1. F0_VIP、F0_VIN 描述修改 2. 增加对 RS1, RS0 说明 3. 增加对 Vref 的说明
			1.3 节, 2.1, 2.2 章	1. 1.3.1, 1.3.2 增加管脚说明 2. 2.1, 2.2 更改封装信息格式
			表 1.3, 1.4	删除 ADC 差分输入管脚 4, 5, 6, 7, 12, 13, 14, 15
			表 1.3, 1.4	修改 DDR 相关管脚分配
			表 1.2、1.3、1.4	1. 修改 F0_CFG_STA 说明 2. F0_CFG_ENB 更名为 F0_CFG_RSTN, 修改其说明



上海复旦微电子集团股份有限公司销售及服 务网 点

上海复旦微电子集团股份有限公司

地址：上海市国泰路 127 号 4 号楼

邮编：200433

电话：(86-021) 6565 5050

传真：(86-021) 6565 9115

上海复旦微电子（香港）股份有限公司

地址：香港九龙尖沙咀东嘉连威老道 98 号东海商业中心 5 楼 506 室

电话：(852) 2116 3288 2116 3338

传真：(852) 2116 0882

北京办事处

地址：北京市东城区东直门北小街青龙胡同 1 号歌华大厦 B 座 423 室

邮编：100007

电话：(86-10) 8418 6608

传真：(86-10) 8418 6211

深圳办事处

地址：深圳市华强北路 4002 号圣廷苑酒店世纪楼 1301 室

邮编：518028

电话：(86-0755) 8335 0911 8335 1011 8335 2011 8335 0611

传真：(86-0755) 8335 9011

台湾办事处

地址：台北市 114 内湖区内湖路一段 252 号 12 楼 1225 室

电话：(886-2) 7721 1889

传真：(886-2) 7722 3888

新加坡办事处

地址：237, Alexandra Road, #07-01, The Alexcior, Singapore 159929

电话：(65) 6472 3688

传真：(65) 6472 3669

北美办事处

地址：2490 W. Ray Road Suite#2 Chandler, AZ 85224 USA

电话：(480) 857-6500 ext 18

公司网址：<http://www.fmsh.com/>