



复旦微电子

FMK50 系列 FPGA

配置功能技术手册

2019. 08



本资料是为了让用户根据用途选择合适的上海复旦微电子集团股份有限公司（以下简称复旦微电子）的产品而提供的参考资料，不转让属于复旦微电子或者第三者所有的知识产权以及其他权利的许可。

在使用本资料所记载的信息最终做出有关信息和产品是否适用的判断前，请您务必将所有信息作为一个整体系统来进行评价。

采购方对于选择与使用本文描述的复旦微电子的产品和服务全权负责，复旦微电子不承担采购方选择与使用本文描述的产品和服务的责任。除非以书面形式明确地认可，复旦微电子的产品不推荐、不授权、不担保用于包括军事、航空、航天、救生及生命维持系统在内的，由于失效或故障可能导致人身伤亡、严重的财产或环境损失的产品或系统中。

未经复旦微电子的许可，不得翻印或者复制全部或部分本资料的内容。

今后日常的产品更新会在适当的时候发布，恕不另行通知。在购买本资料所记载的产品时，请预先向复旦微电子在当地的销售办事处确认最新信息，并请您通过各种方式关注复旦微电子公布的信息，包括复旦微电子的网站(<http://www.fmsh.com/>)。

如果您需要了解有关本资料所记载的信息或产品的详情，请与上海复旦微电子集团股份有限公司在当地的销售办事处联系。

商 标

上海复旦微电子集团股份有限公司的公司名称、徽标以及“复旦”徽标均为上海复旦微电子集团股份有限公司及其分公司在中国的商标或注册商标。

上海复旦微电子集团股份有限公司在中国发布，版权所有。

上海复旦微电子集团股份有限公司

Shanghai Fudan Microelectronics Group Company Limited

FMK50 系列FPGA

版本 1.1

配置功能技术手册

2

章节列表

1	配置简介	4
1.1	配置管脚	4
1.2	FMK50 系列 FPGA 配置模式	5
1.3	配置 BIT 流及 FLASH 选型	6
2	配置模式	6
2.1	JTAG 配置模式	6
2.2	串行配置模式	7
2.2.1	从串配置模式	7
2.2.2	主串配置	8
2.3	并行配置模式	8
2.4	SPI 配置模式	10
2.5	BPI 配置模式	12
	版本信息	14
	上海复旦微电子集团股份有限公司销售及服	15

1 配置简介

本文详细介绍复旦微电子 FMK50 系列 FPGA 产品的配置方法和特性。

1.1 配置管脚

FMK50 系列 FPGA 的配置管脚分为专用配置管脚和复用管脚，其中所有的专用配置管脚均位于 BANK0，而用于配置的复用管脚位于 BANK1 和 BANK2。

表 1.1 配置管脚简介

信号名	Bank	类型	方向	描述
CFG_V	0	专用	输入	专用配置 bank0 电压选择。 CFG_V 定义配置专用 bank0 的 IO 电压。 CFG_V 对于 bank0 的电压选择一直有效。 如果 F0_VCCP 为 2.5V 或者 3.3V, 则 CFG_V 必须拉高(即连接到 F0_VCCP)。 只有当 F0_VCCP 小于等于 1.8V 时 CFG_V 拉低。 注意: 1、为了避免损坏器件, CFG_V 必须正确地连接到 F0_VCCP 或者 GND; 2、当配置时使用复用配置管脚, 推荐 bank1 和 bank2 的 IO 电压与 F0_VCCP 一致; 如果 bank1 和 bank2 的 IO 电压与 F0_VCCP 不一致, 复用配置管脚需要经过电平转换芯片转换成与 F0_VCCP 电平一致再与配置 FLASH 相连
TCK	0	专用	输入	JTAG 测试时钟
TMS	0	专用	输入	JTAG 测试模式选择
TDI	0	专用	输入	JTAG 测试数据输入
TDO	0	专用	输出	JTAG 测试数据输出
CFG_ENB	0	专用	输入	配置使能。 为低时复位配置逻辑。当 CFG_ENB 为低时, FPGA 配置将被清除, 新的配置序列被初始化。配置复位在下降沿触发, 配置序列在随后的上升沿开始。
CFG_STA	0	专用	输出	低电平表示配置已经被清理; 在配置过程中, 低电平表示配置数据错误已经发生;
CFG_DONE	0	专用	输出	为高时标志配置完成。
CFG_CLK	0	专用	输入或输出	配置时钟。 ● 为从模式时: CFG_CLK 为输入 ● 为主模式时: CFG_CLK 为输出
PUDC	1	复用	输入	在配置的时候上拉, 当上电后和在配置的过程中, 低有效的 PUDC 引脚输入再选择的输入输出引脚上使能内部上拉电阻。 PUDC 为低时, 为每个并行配置引脚内部上拉电阻使能;
ECLK	1	复用	输入	外部主配置时钟
CSON	2	复	输出	在并口模式下, 工具链片选信号。在 SPI 模式下, 为 SPI FLASH 片选信号。

		用	(开漏)	
CFGDO	2	复用	输出	数据输出。 在串行配置模式下, 端口作为菊花链配置的串行数据输出。
RDWR	2	复用	输入	读/写信号。 RDWR 决定并行据总线的方向。当 RDWR 为高时, FPGA 输出读数据到并行的数据总线上。当 RDWR 为低时, 外部控制器写数据到并行数据总线上。
D00_MOSI	1	复用	双向	主模式输出, 从模式输入。 <ul style="list-style-type: none"> 在并口模式下(并行/BPI)下, D0 是数据的最低位; 在 SPI 模式下, MISO 是主输入或者从输出; 在 SPIx2 和 SPIx4 模式下, MISO 是 SPI 总线的第二位;
D01_DIN	1	复用	双向	数据输入 DIN 是串行数据输入管脚。 <ul style="list-style-type: none"> 串行和 SPI 模式时, DIN 管脚是 FPGA 输入 BPI 和主/从并配置模式时, DIN 管脚作为 D01 数据输入管脚。 JTAG 模式不使用 DIN 管脚。
D[00-31]	1	复用	双向	数据总线。 D[00-31]部分或者全部用于 SPIx2, SPIx4, BPI, 或者主从并配置模式。
A[00-28]	1 或 2	复用	输出	地址总线
CS	1	复用	输出	Flash 片选信号。 为低时使能 SPI 或者 BPI Flash。
OE	2	复用	输出	Flash 输出使能。 为低时, 使能并行 NOR flash。
WE	2	复用	输出	Flash 写使能 为低时, 写使能并行 NOR flash。
ADV	2	复用	输出	地址有效信号。 为低时, 标识并行 NOR flash 的地址有效。
RS0, RS1	2	复用	输出	版本选择。

1.2 FMK50 系列 FPGA 配置模式

复旦微电子 FMK50 系列 FPGA 的配置模式主要有以下 7 种:

1. 主串配置模式
2. 从串配置模式
3. 主并配置模式
4. 从并配置模式
5. JTAG 配置模式
6. 主 SPI 配置模式
7. 主 BPI 配置模式

所谓“主”, 即配置时钟 CFG_CLK 由 FPGA 内部提供; 所谓“从”, 即配置时钟 CFG_CLK 由外部控制器提供。

表 1.2 FMK50 系列 FPGA 配置模式

配置模式	模式配置 CFG_T[2:0]	数据位宽	CFG_CLK 方向
------	-----------------	------	------------

主串配置模式	000	1bit	输出
从串配置模式	111	1bit	输入
主并行配置模式	010	8bit、16bit	输出
从并行配置模式	110	8bit、16bit、32bit	输入
JTAG 配置模式	101	1bit	---
主 SPI 配置模式	001	1bit、2bit、4bit	输出
主 BPI 配置模式	010	8bit、16bit	输出

1.3 配置 BIT 流及 FLASH 选型

表 1.3 FMK50 推荐配置芯片

器件	最小配置 Flash 大小
FMK50	32Mb
FMK50T4	32Mb

2 配置模式

2.1 JTAG 配置模式

JTAG 接口是业界标准接口，主要用于芯片测试等功能。FMK50 系列 FPGA 支持以 JTAG 命令来配置 FPGA 的方式，且 JTAG 配置方式比其他任何方式的优先级都高。FMK50 的 JTAG 配置方式如图 2.1 所示。

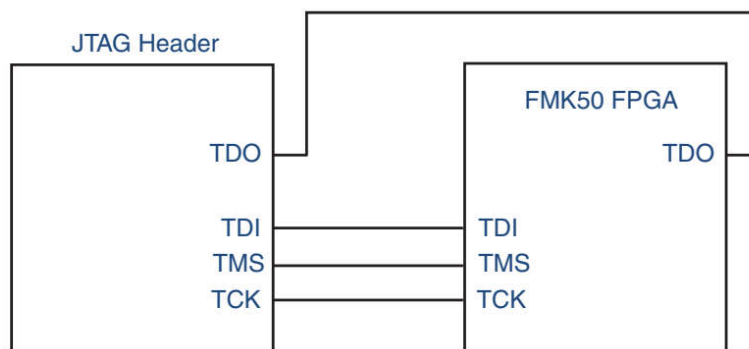


图 2.1 JTAG 模式连接

2.2 串行配置模式

FMK50 系列 FPGA 的串行配置模式可以分为两种，即“从串配置模式”和“主串配置模式”，其接口如图 2.2 所示。

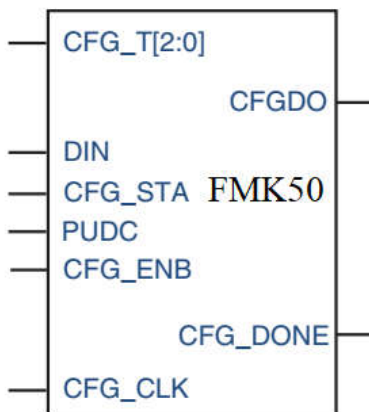


图 2.2 串行配置接口

2.2.1 从串配置模式

在从串配置模式时，FPGA 接受来自外部器件的配置 bit 数据，其配置时钟 CFG_CLK 也由外部器件产生，如图 2.3 所示。

1. FMK50 系列 FPGA 的 F0_VCCP 必须与下载电缆的 VREF 一致。
2. CFG_DONE 管脚是一个开漏输出。
3. CFG_STA 管脚为输出管脚，开漏，所以需要有一个外部上拉电阻。
4. 串行配置的时钟为 CFG_CLK。
5. 当使用 bit 流加密功能时，需要提供 V_{CCBAT}。

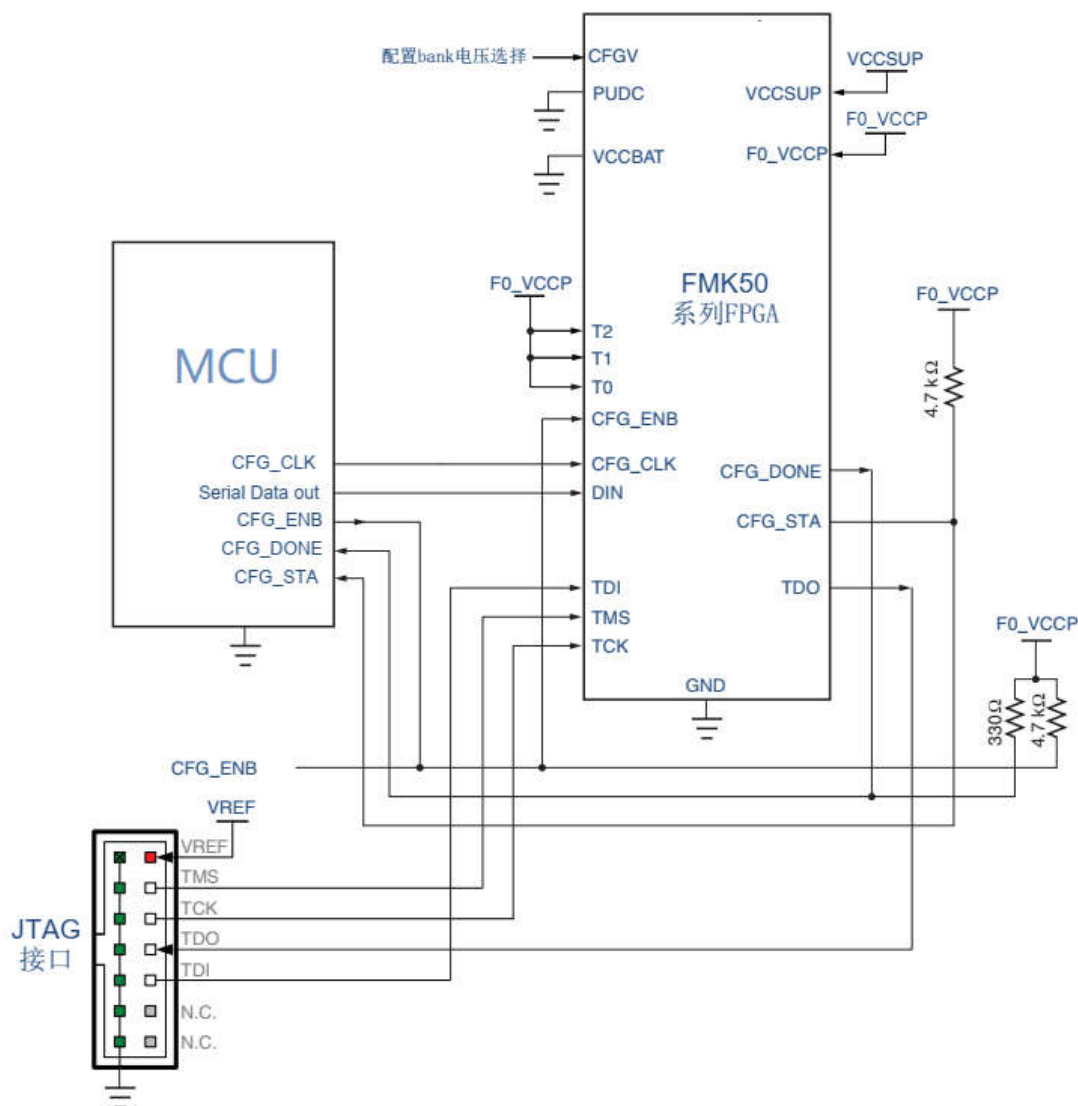


图 2.3 从串配置管脚连接

2.2.2 主串配置

主串配置模式与从串配置模式一致，两者的差别是当使用主串配置时，由 FPGA 产生 CFG_CLK 时钟。

2.3 并行配置模式

并行配置模式提供双向数据位宽为 8bit、16bit、32bit 数据总线，以便配置和回读使用，其中回读功能仅在从并行配置模式下使用。并行配置模式使用端口如图 2.4 所示，管脚连接如图 2.5 所示。

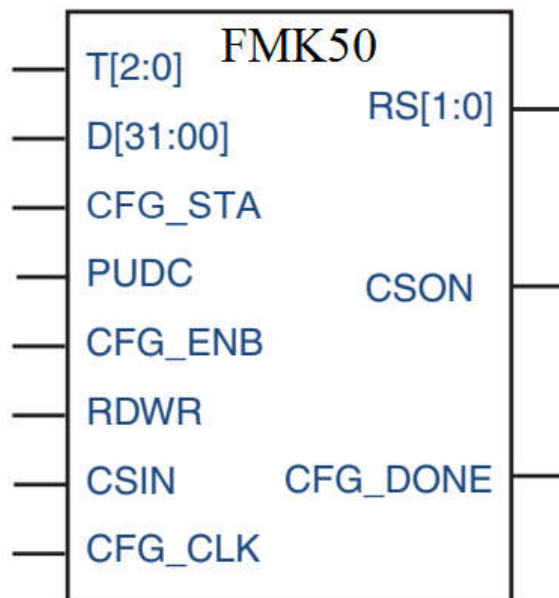


图 2.4 并行配置接口

- CSIN: 片选输入信号使能并行数据总线。
 - 如果 CSIN 为“0”，使能并行接口。
 - 如果 CSIN 为“1”，无效并行接口。
 当并行接口只用于配置，而无需回读时，CSIN 可以接“地”。
- RDWR: 控制数据总线的方向。
 - 如果 RDWR 为“0”，数据方向为“写入”FPGA，管脚方向为“输入”。
 - 如果 RDWR 为“1”，数据方向为从 FPGA “读出”，管脚方向为“输出”。
- CFG_CLK: 配置时钟。

并行总线所有操作均需要与 CFG_CLK 同步。当 RDWR 为“0”时，FPGA 在 CFG_CLK 上升沿采样数据。当 RDWR 为“1”时，FPGA 在 CFG_CLK 上升沿更新数据。

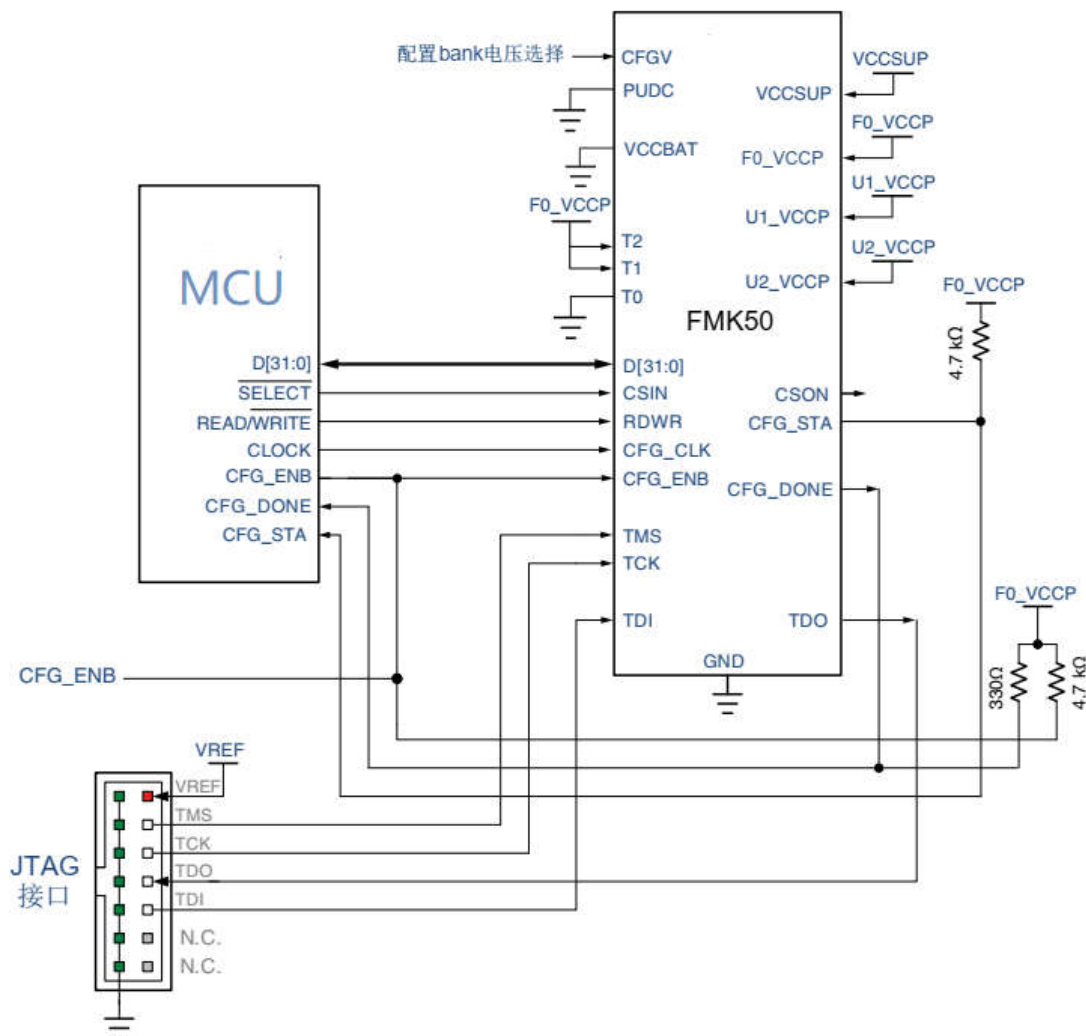


图 2.5 并行配置管脚连接

1. FMK50 系列 FPGA 的 F0_VCCP 必须与下载电缆的 VREF 一致。
2. CFG_DONE 管脚是一个开漏输出。
3. CFG_STA 管脚为输出管脚，开漏，所以需要有一个外部上拉电阻。
4. 并行配置的时钟为 CFG_CLK。
5. 当使用 bit 流加密功能时，需要提供 VCCBAT。
6. 当不使用回读功能时，CSIN 和 RDWR 信号可以接地。
7. 并行配置的数据总线宽度可以为 8bit、16bit、32bit。其中从并行配置 16bit 和 32bit 不支持 bit 流加密。

2.4 SPI 配置模式

SPI 配置模式主要用于从 SPI FLASH 加载 FPGA。FMK50 系列 FPGA 的 SPI 配置模式支持 x1、x2、x4bit 模式，其使用管脚如图 2.6 所示。

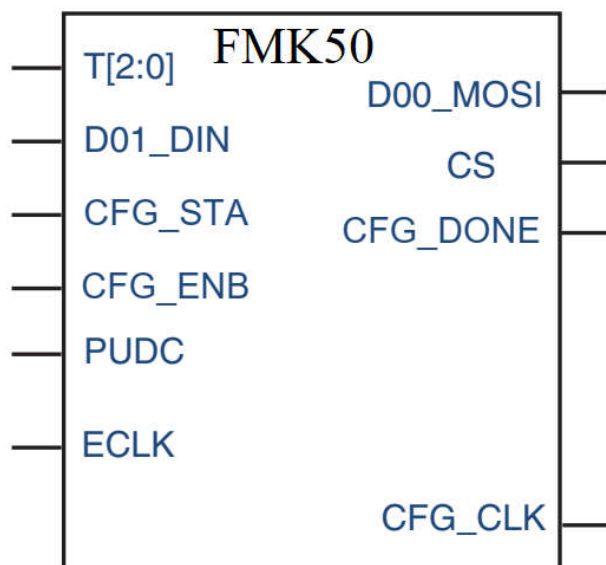


图 2.6 SPI 配置接口

如图 2.7 所示，SPI 配置模式下 x1 或者 x2 的连接是一致的，在 x2 模式时使用的 D00_MOSI 是输入和输出两用的管脚。

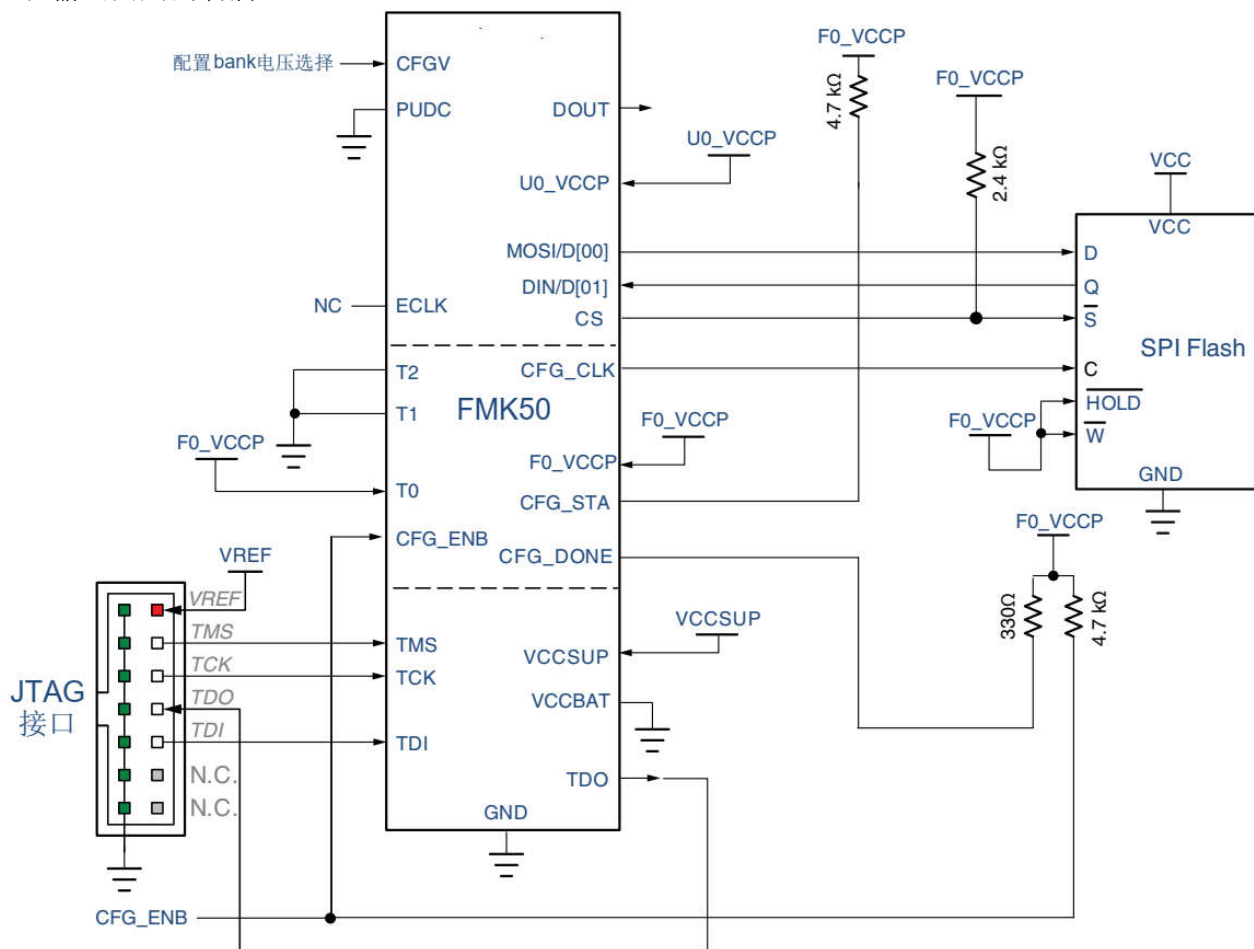


图 2.7 SPI 配置管脚连接

1. FMK50 系列 FPGA 的 F0_VCCP 必须与下载电缆的 VREF 一致。
2. CFG_DONE 管脚是一个开漏输出。
3. CFG_STA 管脚为输出管脚时，开漏，所以需要有一个外部上拉电阻。
4. 串行配置的时钟为 CFG_CLK。
5. F0_VCCP 必须与 SPI 设备的 I/O 电压一致。
6. SPI 设备在 CFG_CLK 的下降沿锁定数据，FPGA 在数据上升沿锁定数据。
7. 当 ExtMasterCclk_en 选项被选中时，使用外部时钟源 ECLK 取代 CFG_CLK 作为配置时钟。
8. 当使用 bit 流加密功能时，需要提供 VCCBAT。

2.5 BPI 配置模式

FMK50 系列 FPGA 的 BPI 配置模式支持 BPI Flash 设备。FPGA 支持 BPI Flash 的地址，数据和控制信号，如图 2.8 所示。

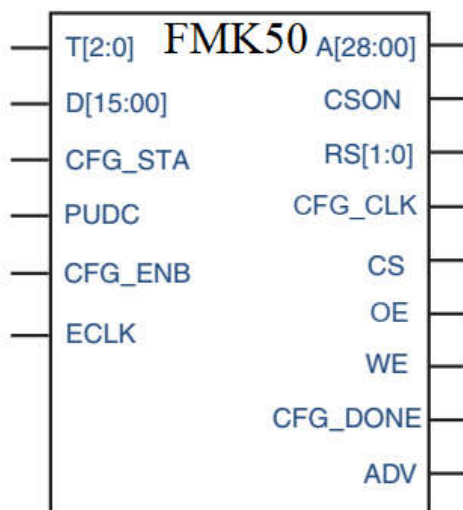


图 2.8 BPI 配置接口

BPI 配置的管脚连接方式如图 2.9 所示。

1. FMK50 系列 FPGA 的 F0_VCCP 必须与下载电缆的 VREF 一致。
2. FMK50 系列 FPGA 的 U1_VCCP 电压 BANK 提供：A[15:00]、CS、D[15:00]、ECLK、PUDC 和 CSON 信号。U2_VCCP 电压 BANK 提供：A[28:16]、WE、OE、ADV、RS0、RS1 信号。
3. 选择 BPI 模式时，T[2:0]=010。

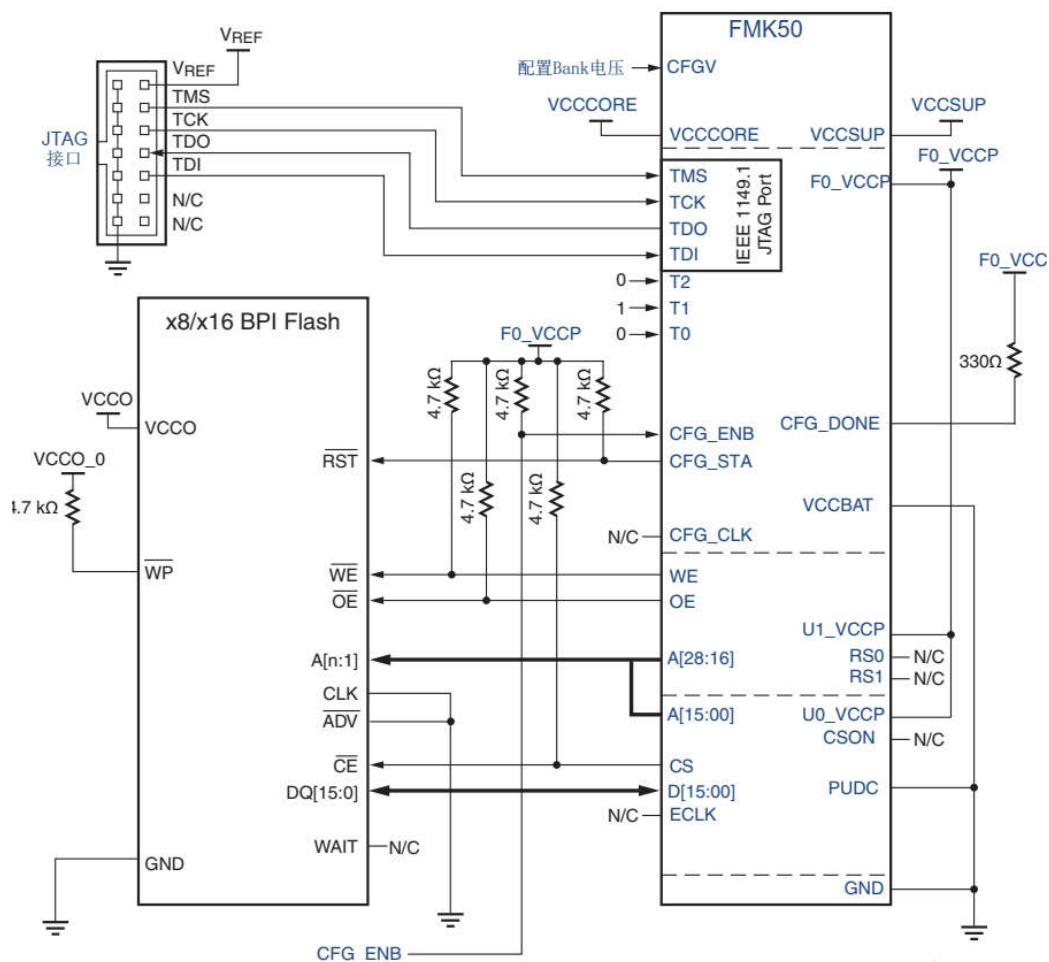


图 2.9 BPI 配置管脚连接



版本信息

版本号	发布日期	页数	章节或图表	更改说明
1.0	2019.06	15		第一次发布
1.1	2019.08	15		修改表 1.1 中对 CFG_V 的描述

上海复旦微电子集团股份有限公司销售及服务中心

上海复旦微电子集团股份有限公司

地址：上海市国泰路 127 号 4 号楼

邮编：200433

电话：(86-021) 6565 5050

传真：(86-021) 6565 9115

上海复旦微电子（香港）股份有限公司

地址：香港九龙尖沙咀东嘉连威老道 98 号东海商业中心 5 楼 506 室

电话：(852) 2116 3288 2116 3338

传真：(852) 2116 0882

北京办事处

地址：北京市东城区东直门北小街青龙胡同 1 号歌华大厦 B 座 423 室

邮编：100007

电话：(86-10) 8418 6608

传真：(86-10) 8418 6211

深圳办事处

地址：深圳市华强北路 4002 号圣廷苑酒店世纪楼 1301 室

邮编：518028

电话：(86-0755) 8335 0911 8335 1011 8335 2011 8335 0611

传真：(86-0755) 8335 9011

台湾办事处

地址：台北市 114 内湖区内湖路一段 252 号 12 楼 1225 室

电话：(886-2) 7721 1889

传真：(886-2) 7722 3888

新加坡办事处

地址：237, Alexandra Road, #07-01, The Alexcior, Singapore 159929

电话：(65) 6472 3688

传真：(65) 6472 3669

北美办事处

地址：2490 W. Ray Road Suite#2 Chandler, AZ 85224 USA

电话：(480) 857-6500 ext 18

公司网址：<http://www.fmsk.com/>