计算机组成与结构专题实验

# 实验报告

# 第三次 算术逻辑运算单元 ALU

## 实验目的

1、 了解运算器的数据传输通路；

2、 验证运算器的组合功能；

3、 掌握算术逻辑运算加、减工作原理；

4、 验证实验台运算的 8 位加、减、与、直通功能；

5、 按给定数据，完成几种指定的算术和逻辑运算。

## 实验原理

CPU 中的算术逻辑单元是计算机的核心部件之一，它能执行加法和减法等算术运算，也能执行“与”、“或”、“非”等逻辑运算。对于 8 位算术逻辑单元的基本功能可以根据由标准逻辑器件 74LS181（ 4 位）组合的电路结构的功能用硬件描述语言来表述。例 4-1 就是算术逻辑单元 ALU 的 Verilog HDL/VHDL 程序，这是根据表 4-1 的 ALU 逻辑功能及 8 位处理部件的要求写出的。表 4-1 是 ALU 的基本算术与逻辑功能表。



运算器 ALU181 根据 74LS181 的功能用 VHDL 硬件描述语言编辑而成，构成 8 位字长的 ALU。参加运算的两个 8 位数据分别为 A[7..0]和 B[7..0]。运算模式由 S[3..0]的 16 种组合决定，而 S[3..0]的值由 4 位 2 进制计数器 LPM\_COUNTER 产生，计数时钟是 Sclk；此外，设 M=0，选择算术运算， M=1 为逻辑运算， CN 为低位的进位位； F[7..0]为输出结果； CO为运算后的输出进位位。两个 8 位数据 A 和 B 由总线 IN[7..0]分别通过两个电平锁存器 74373 锁入， ALU181功能如表 4-1 所示。

例4-1 Verilog程序如下：

LIBRARY IEEE;

USE IEEE.STD\_LOGIC\_1164.ALL;

USE IEEE.STD\_LOGIC\_UNSIGNED.ALL;

ENTITY ALU181 IS

PORT (

S : IN STD\_LOGIC\_VECTOR(3 DOWNTO 0 );

A : IN STD\_LOGIC\_VECTOR(7 DOWNTO 0);

B : IN STD\_LOGIC\_VECTOR(7 DOWNTO 0);

F : OUT STD\_LOGIC\_VECTOR(7 DOWNTO 0);

M : IN STD\_LOGIC;

CN : IN STD\_LOGIC;

CO : OUT STD\_LOGIC );

END ALU181;

ARCHITECTURE behav OF ALU181 IS

SIGNAL A9 : STD\_LOGIC\_VECTOR(8 DOWNTO 0);

SIGNAL B9 : STD\_LOGIC\_VECTOR(8 DOWNTO 0);

SIGNAL F9 : STD\_LOGIC\_VECTOR(8 DOWNTO 0);

BEGIN

A9 <= '0' & A ; B9 <= '0' & B ;

PROCESS(M,CN,A9,B9)

BEGIN

CASE S IS

WHEN "0000" => IF M='0' THEN F9<=A9 + CN ; ELSE F9<=NOT A9; END IF;

WHEN "0001" => IF M='0' THEN F9<=(A9 or B9) + CN ; ELSE F9<=NOT(A9 OR B9); END IF;-56-

WHEN "0010" => IF M='0' THEN F9<=(A9 or (NOT B9))+ CN ; ELSE F9<=(NOT A9) AND B9; END IF;

WHEN "0011" => IF M='0' THEN F9<= "000000000" - CN ; ELSE F9<="000000000"; END IF;

WHEN "0100" => IF M='0' THEN F9<=A9+(A9 AND NOT B9)+ CN; ELSE F9<=NOT (A9 AND B9); END IF;

WHEN "0101" => IF M='0' THEN F9<=(A9 or B9)+(A9 AND NOT B9)+CN; ELSE F9<=NOT B9; END IF;

WHEN "0110" => IF M='0' THEN F9<=(A9 - B9) - CN ; ELSE F9<=A9 XOR B9; END IF;

WHEN "0111" => IF M='0' THEN F9<=(A9 or (NOT B9)) - CN; ELSE F9<=A9 and (NOT B9); END IF;

WHEN "1000" => IF M='0' THEN F9<=A9 + (A9 AND B9)+CN; ELSE F9<=(NOT A9)and B9; END IF;

WHEN "1001" => IF M='0' THEN F9<=A9 + B9 + CN ; ELSE F9<=NOT(A9 XOR B9); END IF;

WHEN"1010" => IF M='0' THEN F9<=(A9 or(NOT B9))+(A9 AND B9)+CN; ELSE F9<=B9; END IF;

WHEN "1011" => IF M='0' THEN F9<=(A9 AND B9)- CN ; ELSE F9<=A9 AND B9; END IF;

WHEN "1100" => IF M='0' THEN F9<=(A9 + A9) + CN ; ELSE F9<= "000000001"; END IF;

WHEN "1101" => IF M='0' THEN F9<=(A9 or B9) + A9 + CN ; ELSE F9<=A9 OR (NOT B9); END IF;

WHEN "1110" => IF M='0' THEN F9<=((A9 or (NOT B9)) +A9) + CN ; ELSE F9<=A9 OR B9; END IF;

WHEN "1111" => IF M='0' THEN F9<=A9 - CN ; ELSE F9<=A9 ; END IF;

WHEN OTHERS => F9<= "000000000" ;

END CASE;

END PROCESS;

## 实验任务

1、 设计 ALU 元件。在 Quartus II 环境下，用文本输入编辑器 Text Editor 输入 ALU181.VHD 算术逻辑单元文件，编译 VHDL 文件，并将 ALU181.VHD 文件（例 4-1）制作成一个可调用的原理图元件。

2、以原理图方式建立顶层文件工程。选择图形方式。 根据图 2-1 输入实验电路图， 从 Quartus II 的基本元件库中将各元件调入图形编辑窗口、连线，添加输入输出引脚。将所设计的原理图图形文件 ALU.bdf 保存到原先建立的文件夹中，将当前文件设置成工程文件，以后的操作就都是对当前工程文件进行的。

3、 器件选择。 选择 Cyclone 系列，在 Devices 中选择器件 EP3C/4C/5C/10CL 系列，根据芯片具体型号，对照康芯所提供的表格，查找引脚并锁定。 编译，引脚锁定，再编译。引脚锁定后需要再次进行编译，才能将锁定信息确定下来，同时生成芯片编程/配置所需要的各种文件。

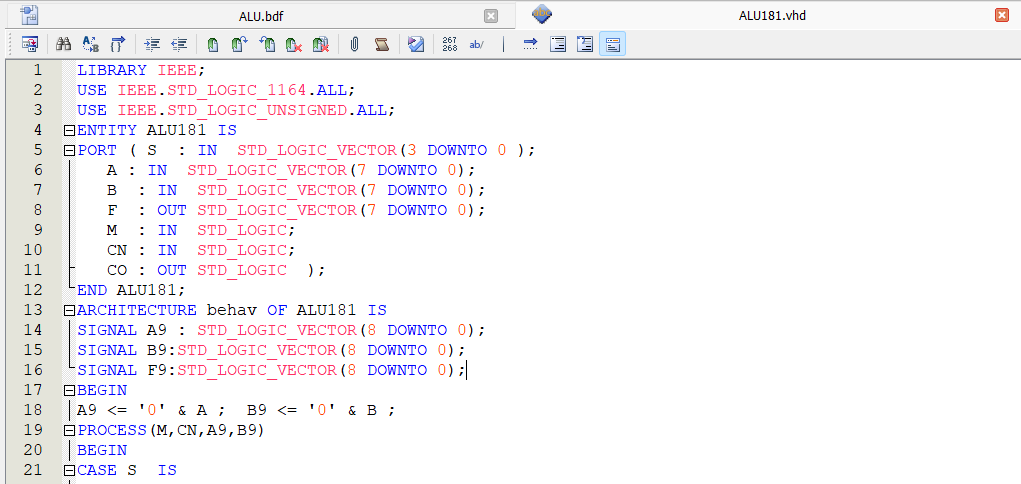
4、引脚锁定：选择电路模式 0， IN 输入数据端选择键 1、 2 分别锁定 PIO8~PIO18， A0\_B1 选通输入 A或 B 选择键 3 锁定 PIO3， CN 进位位选择键 7 锁定 PIO6， M 选择键 8 锁定 PIO7， Sclk 选择键 6 锁定 PIO5，F 计算结果锁定数码 5、 6（PIO32~PIO39)； A[7..0]锁定数码 1、 2（PIO16~PIO23)； B[7..0]锁定数码 3、 4（PIO24~PIO31)； CN4 计算后输出进位位锁定数码管 7 最低位 PIO40，数码管共接 4 位，空脚时默认高电平，为了观察直观，建议其它 3 个脚（PIO42~PIO44)置地； S[3..0]锁定数码管 8（PIO44~PIO47)。

5、芯片编程 Programming。 打开编程窗口。将配置文件 ALU.sof 下载进 KX-CDS 系列现代计算机组成原理系统中的 FPGA 中。

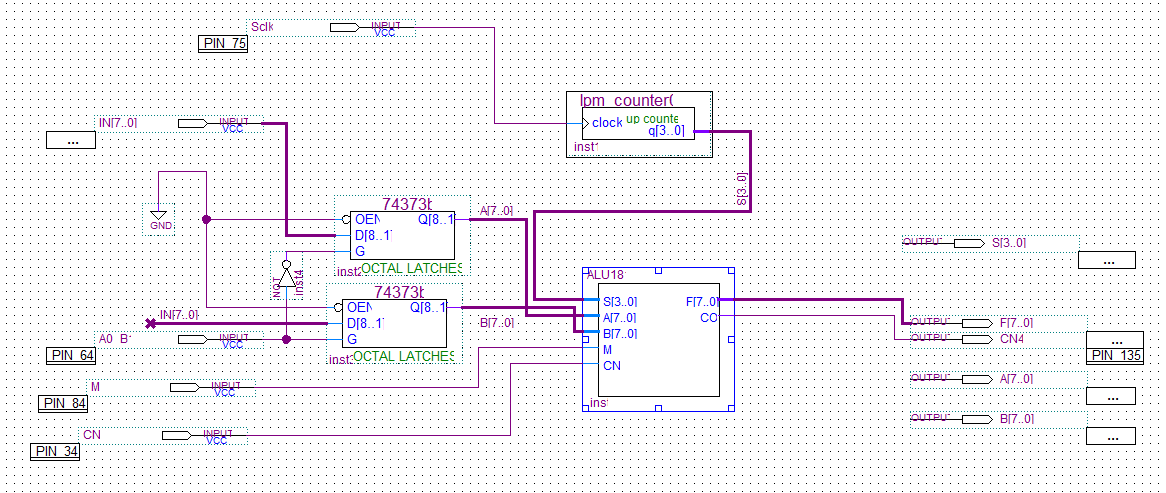
6、选择实验系统的电路模式是 NO.0(图 1-3） ，验证 ALU 的运算器的算术运算和逻辑运算功能。根据表 4-1，用按键 1、 2 输入数据 A[7..0]和 B[7..0]，并设置 S[3..0]、 M、 CN，验证 ALU 运算器的算术运算和逻辑运算功能，记录实验数据。

## 实验步骤及结果

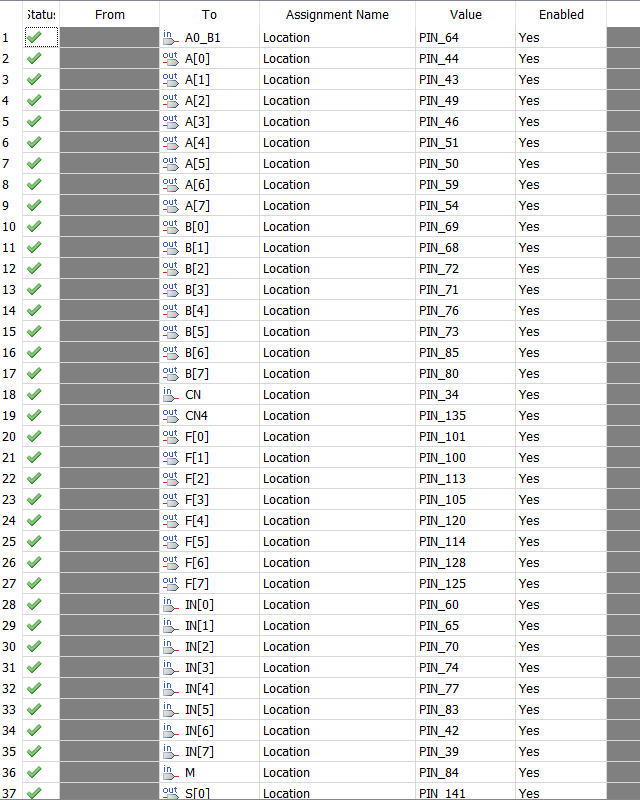
### 设计ALU元件



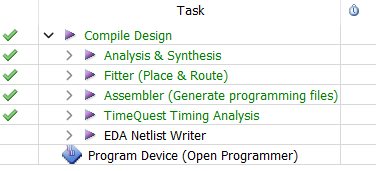
电路图绘制

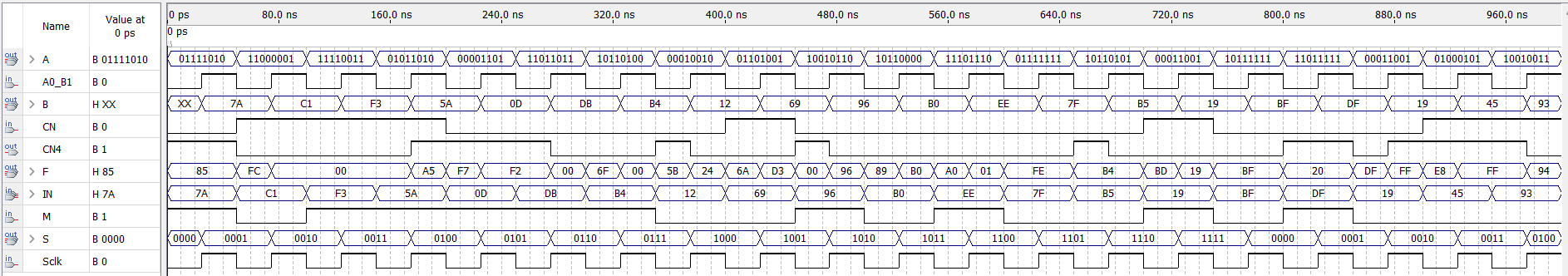


绑定引脚



编译并下载至FPGA，仿真





## 实验总结及问题分析

理论/实验值对照表如下：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| S3 S2 S1 S0 | A | B | M=0 CN=0 | M=0 CN=1 | M=1 |
| 0000 实际 | AA | 55 | AA | AB | 15 |
| 0000 理论 | AA | 55 | AA | AB | 15 |
| 0001 实际 | AA | 55 | FF | 00 | 10 |
| 0001 理论 | AA | 55 | FF | 00 | 10 |
| 0010 实际 | AA | 55 | AA | AB | 55 |
| 0010 理论 | AA | 55 | AA | AB | 55 |
| 0011 实际 | AA | 55 | 00 | FF | 00 |
| 0011 理论 | AA | 55 | 00 | FF | 00 |
| 0100 实际 | FF | 01 | FD | FE | FE |
| 0100 理论 | FF | 01 | FD | FE | FE |
| 0101 实际 | FF | 01 | FD | FE | FE |
| 0101 理论 | FF | 01 | FD | FE | FE |
| 0110 实际 | FF | 01 | FE | FD | FE |
| 0110 理论 | FF | 01 | FE | FD | FE |
| 0111 实际 | FF | 01 | FF | FE | FE |
| 0111 理论 | FF | 01 | FF | FE | FE |
| 1000 实际 | FF | 01 | 00 | 01 | 01 |
| 1001 理论 | FF | 01 | 00 | 01 | 01 |
| 1010 实际 | FF | 01 | 00 | 01 | 01 |
| 1010 理论 | FF | 01 | 00 | 01 | 01 |
| 1011 实际 | FF | 01 | 01 | 00 | 00 |
| 1011 理论 | FF | 01 | 01 | 00 | 00 |
| 1100 实际 | FF | 01 | FE | FF | 01 |
| 1100 理论 | FF | 01 | FE | FF | 01 |
| 1111 实际 | FF | 01 | FF | FE | FF |
| 1111 理论 | FF | 01 | FF | FE | FF |

可见理论值与实验值相符。