## 计算机组成原理与系统结构

## 第三章作业

1. **什么是总线？总线传输有何特点？**

总线是连接两个或多个设备的通信路径。总线传输的特点是共享传输，即任一时刻只有一个设备向总线发送信息，而其他多个设备连接到总线并接收相同的信息。

1. **什么是系统总线？它分为哪几类？各有什么作用？分别是单向的还是双向的？它们与机器字长、存储字长及存储单元数有何关系？**

系统总线是连接计算机的主要部件的总线。它分为数据总线、地址总线和控制总线。

数据总线提供计算机功能部件之间数据信息传输的通道。它是双向的，且宽度一般与机器字长、最大存储字长相等。

地址总线用来指出数据总线上的数据的来源地址或目的地址。地址总线是单向的，它的的宽度决定了存储地址的范围，因而决定了存储单元的最大个数。

控制总线用来发出各种控制信号，可以控制数据总线和地址总线的使用。其传输是单向的，与机器字长、存储字长和存储单元数无关。

1. **常见的集中式总线控制有几种？各有何特点？ 哪种方式响应时间最快？哪种方式对电路故障最敏感？**

常见的集中式总线控制包括三种：链式查询、计数器定时查询、独立请求。

独立请求的优点是回应速度快、优先级灵活，但缺点是器件用量大、连线多、成本高、控制复杂。

链式查询方式连线简单，可扩展性强，但对电路故障最敏感。

计数器定时查询方式优先级灵活、对电路故障不敏感，但连线及控制复杂。

1. **常见的总线通信方式有哪些？各有什么特点？**

常见的总线通信方式有同步通信、异步通信、半同步通信和分离式通信。

同步通信的特点是由统一的时钟信号控制事件的发生，其简单且易于实现，但可变性差，具有一定限制。

异步通信的特点是事件的发生跟随依赖于之前某一事件的发生。它方便进行请求和应答，但控制复杂。

半同步通信是同步通信和异步通信的结合，它可以使不同速度的模块和谐通信，常用于连接低速和高速模块。

分离式通信将总线传输周期一分为二，前半周期由主模块使用，后半周期由从模块使用。它避免了总线空闲，使总线得到充分利用。

1. **某同步总线的时钟频率为100MHz，地址/数据线复用，宽度为32位，每传输一个地址或者数据占用一个时钟周期。若该总线支持猝发（块）传输方式，块大小为16B，则一次“主存写”总线事务传输128位数据所需时间至少为多少？**

16B = (16\*8)bits = 128bits

因此传输128位数据即传输一个块，且地址/数据线复用，加上传输地址需要的一个时钟周期，所需时钟周期为

128bits/32bits + 1 = 5

所需时间为 5 / 100MHz = 50ns

1. **P131页 3.1&3.2 P133页 3.12**
   1. **The hypothetical machine of Figure 3.4 also has two I/O instructions:**

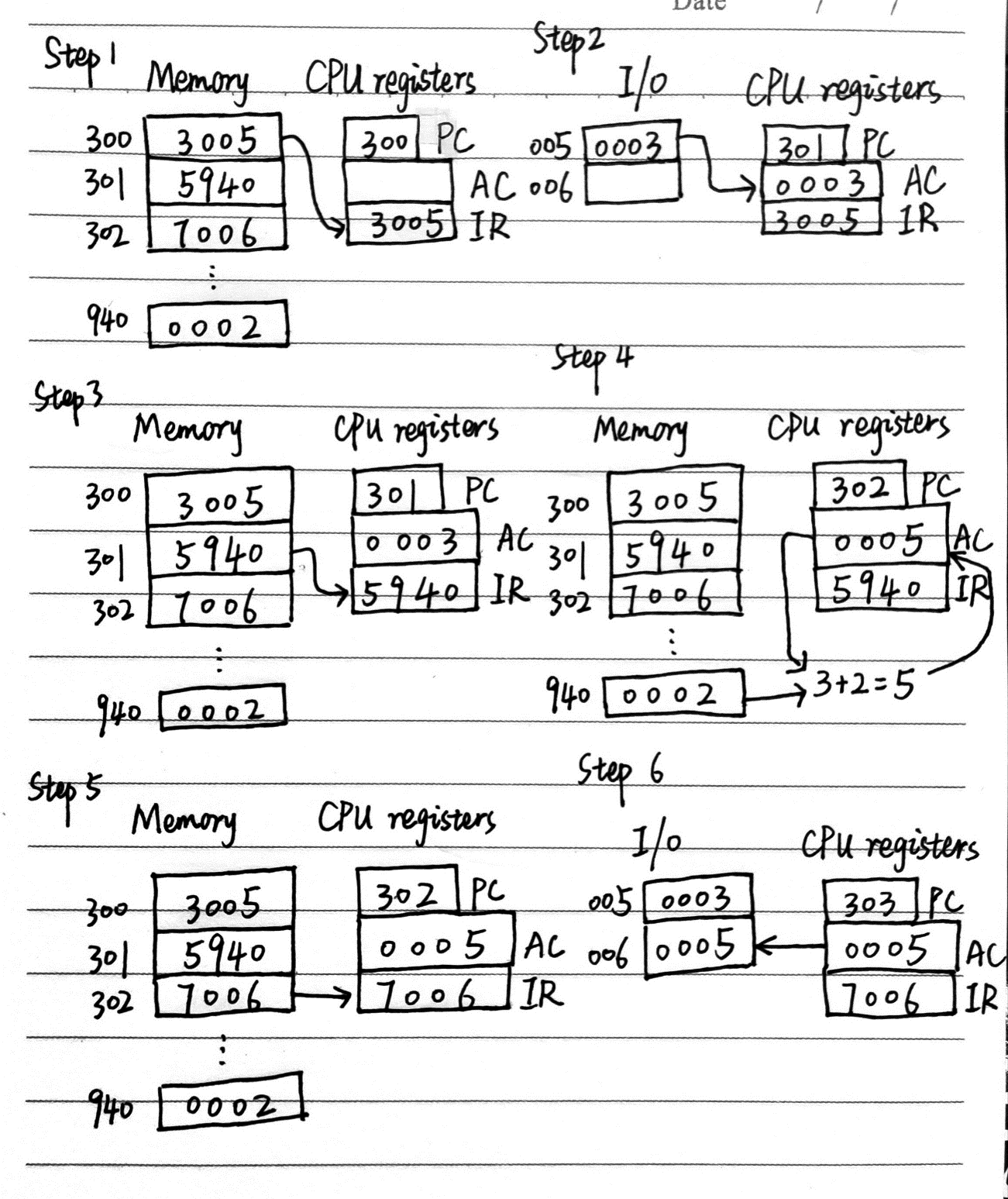
**0011 = Load AC from I/O**

**0111 = Store AC to I/O**

**In these cases, the 12-bit address identifies a particular I/O device. Show the program execution for the following program:**

1. **Load AC from device 5.**
2. **Add contents of memory location 940.**
3. **Store AC to device 6.**

**Assume that the next value retrieved from device 5 is 3 and that location 940 contains a value of 2.**



1. **The program execution of Figure 3.5 is described in the text using six steps. Expand this description to show the use of MAR and MBR.**
2. PC contains 300. 300 is loaded to MAR.

The instruction(1940) is loaded to MBR. PC is incremented.

The value in MBR(1940) is loaded to IR.

1. The address in IR(940) is loaded to MAR.

The value in location 940 is loaded to MBR.

The value in MBR(0003) is loaded to AC.

1. PC contains 301. 301 is loaded to MAR.

The instruction(5941) is loaded to MBR. PC is incremented.

The value in MBR(5941) is loaded to IR.

1. The address in IR(941) is loaded to MAR.

The value in location 941 is loaded to MBR.

The value in AC(0003) and MBR(0002) are added. The result(0005) is loaded to AC.

1. PC contains 302. 302 is loaded to MAR.

The instruction(2941) is loaded to MBR. PC is incremented.

The value in MBR(2941) is loaded to IR.

1. The address in IR(941) is loaded to MAR.

The value in AC is loaded to MBR.

The value in MBR(0005) is stored in location 941.

1. **Consider a microprocessor that has a memory read timing as shown in Figure 3.18. After some analysis, a designer determines that the memory falls short of providing read data on time by about 180ms.**
2. **How many wait states need to be inserted for proper system operation if the bus clocking rate is 8 MHz?**
3. **To enforce the wait states, a Ready status line is employed. Once the processor has issued a Read command, it must wait until the Ready line is asserted before attempting to read data. At what time interval must we keep the Ready line low in order to force the processor to insert the required number of wait states?**
4. 时钟周期为 1 / 8MHz = 125ns

由于已落后180ns，所以至少插入2个等待状态。

1. 由图可见，Read信号开始于T2上升沿，故Ready信号应在T2处保持低电平，并持续125ns\*2 = 250ns。