## 计算机组成原理与系统结构

## 第五章作业

1. **Compare SRAM to DRAM.**

SRAM and DRAM both are volatile, and need power to preserve data. DRAM is smaller but slower, more dense, simpler to build and less expensive. It needs refreshing even when powered. SRAM is faster and more expensive. It doesn’t need refresh circuits. DRAM is appropriate for larger memory units, while SRAM is appropriate for cache.

动态随机存储器DRAM和静态随机存储器SRAM均不稳定，需要持续的电能来保存数据。DRAM通过电容充电来保存数据，更小但更慢，更密集、更便宜，适用于更大的存储单元（如主存），并需要周期性地充电刷新。SRAM通过触发器来保存数据，速度快但更贵，不需要刷新电路，适用于缓存。

1. **Which advanced techniques can be used to improve accessing main memory?**

SDRAM(Synchronous DRAM), Rambus DRAM and DDR SDRAM can be used to improve accessing main memory.

1. **有一个具有22位地址和32位字长的存储器模块。问：**

**1） 该存储器的存储容量为多少字节？**

**2） 如果有若干512Kⅹ16的SRAM芯片，那么由这样的芯片组成该存储器需要几片？**

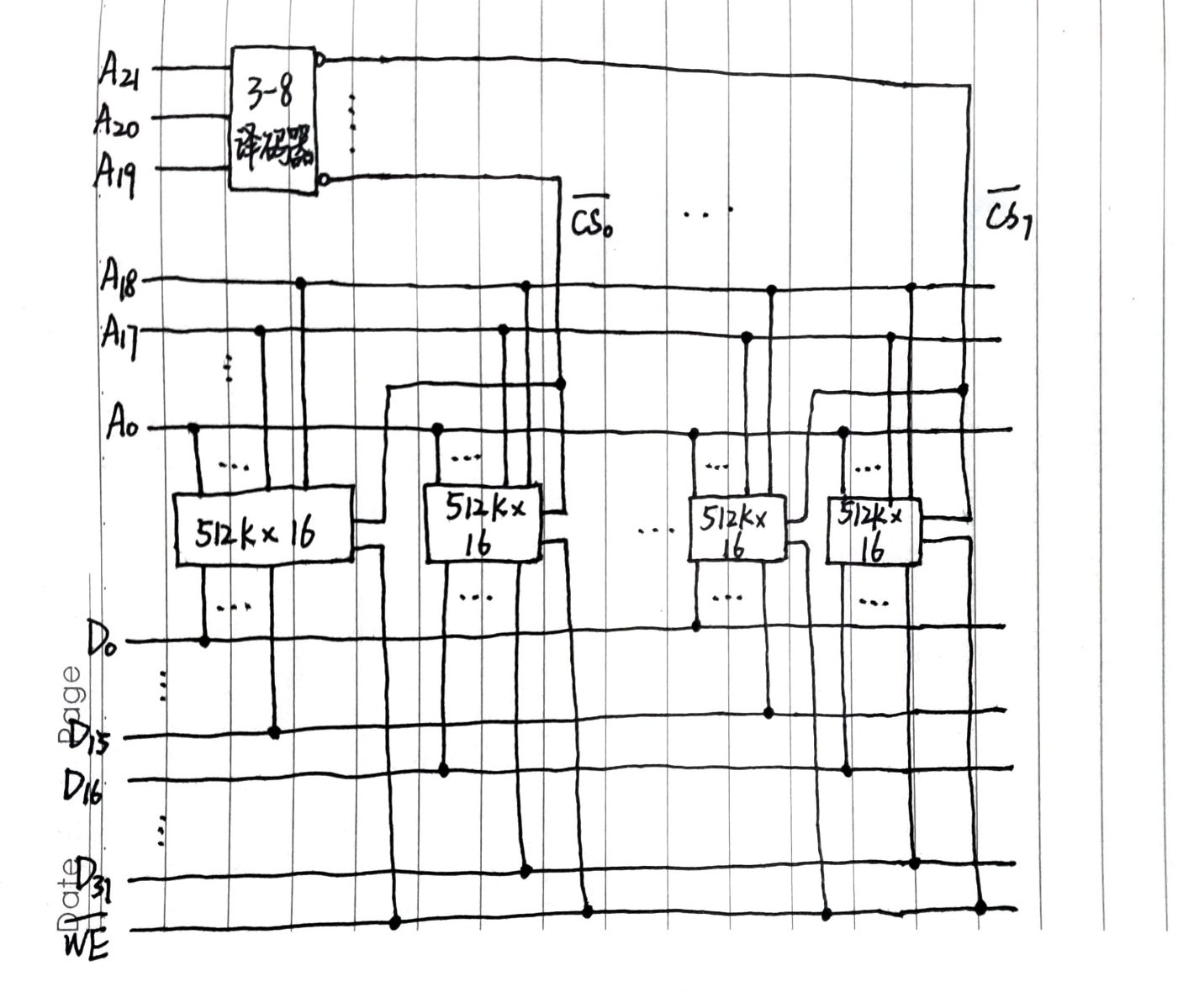
**3） 画出由该芯片组成需要的存储器模块的连接示意图。**

1） 2^22 \* (32/8)B = 2^24 B = 16 MB

该存储器的容量为16兆字节。

2） (2^22 \* 32) / (512K \* 16) = 2^27 / 2^23 = 16

这样的芯片组成该存储器需要16片。

3）

1. **某 CPU 有 16 条地址线和 8 条数据线。从 0000H 到 9FFF 地址已有 40KB 内存，现在要求在 40KB 地址空间之后再增加 8KB SRAM 。如用 4K×8 位 SRAM 芯片来扩容，假设 CPU 有地址总线，数据总线，控制信号为 R/W （读写允许）以及 MREQ （当存储器进行读写操作时，该信号指示地址总线上的地址是有效的）， SRAM 有地址线，数据线， R/W 和片选 CS 信号端，试设计 CPU 与该 8KB SRAM 的连接图，可选用如图所示的各种逻辑门及 3-8 译码器。**

