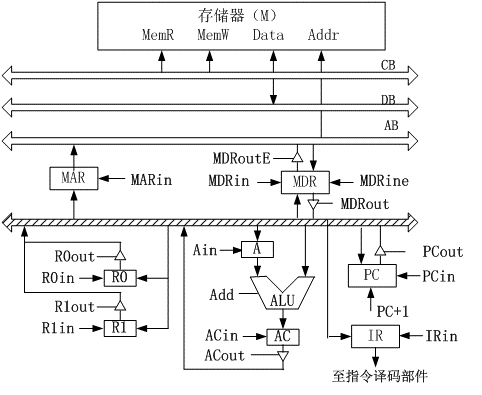
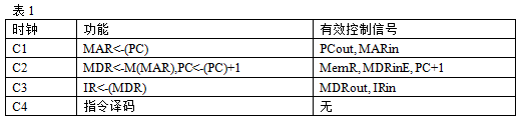
## 计算机组成原理与系统结构

## 第十五章作业

1. 某计算机字长16位，采用16位定长指令字结构，部分数据通路结构如图所示。图中所有控制信号为1时表示有效、为0时表示无效，例如控制信号MDRinE为1表示允许数据从DB打入MDR，MDRin为1表示允许数据从总线打入MDR。假设MAR的输出一直处于使能状态。加法指令“ADD(R1), R0”的功能为(R0) + ((R1)) ->(R1)，即将R0中的数据与R1的内容所指主存单元的数据相加，并将结果送入R1的内容所指主存单元中保存。表1给出了上述指令取指和译码阶段每个节拍（时钟周期）的功能和有效控制信号，请按表1描述方式用表格列出指令执行阶段每个节拍的功能和有效控制信号。





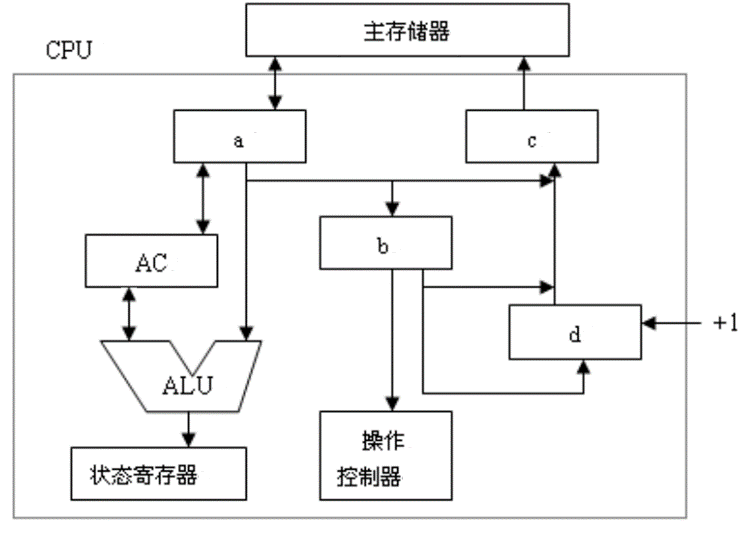
|  |  |  |
| --- | --- | --- |
| **时钟** | **功能** | **有效控制信号** |
| C5 | MAR🡨(R1) | R1out, MARin |
| C6 | MDR🡨M(MAR) | MemR, MDRinE |
| C7 | A🡨 (MDR) | MDRout, Ain |
| C8 | AC🡨 (A)+(R0) | R0out, Add, ACin |
| C9 | MDR🡨 (AC) | ACout, MDRin |
| C10 | M(MAR) 🡨 (MDR) | MDRoutE, MemW |

1. CPU结构如下图所示，其中有一个累加寄存器AC、一个状态条件寄存器和其他4个寄存器，各部件之间的连线表示数据通路，箭头表示信息传送方向。

（1）标明4个寄存器的名称。

（2）简述指令从主存取出送到CPU的数据通路。

（3）简述数据在CPU和主存之间进行存取访问的数据通路。



1. **a: 主存数据寄存器MDR**

**b: 指令寄存器IR**

**c: 主存地址寄存器MAR**

**d: 程序计数器PC**

1. **PC→MAR→主存→MDR→IR**
2. **读数据：IR地址码部分X→MAR→主存→MDR→AC→ALU**

**写数据：IR地址码部分Y→MAR,AC →MDR→主存**