

# Verilog HDL 课程设计实验指导书

## 实验一

### A、加法器的模块设计与验证

#### 实验要求

1. 用 Verilog HDL 语言在 Quartus II 编译环境下描写出简单的 8 位加法器及其测试程序；
2. 用测试程序在 Modelsim 仿真环境中对 8 位加法器进行波形仿真测试；画出仿真波形；
3. 总结实验步骤和实验结果

#### 模块接口格式

输入为两组 8bit 数据 iA, iB, 输出为 9bit 相加结果 oAdd

```
module adder
    (    input [7:0] iA, iB,
        output [8:0] oAdd
    );
```

### B、乘法器的模块设计与验证

#### 实验要求

1. 用 Verilog HDL 语言在 Quartus II 编译环境下描写出简单的 8 位乘法器及其测试程序；
2. 用测试程序在 Modelsim 仿真环境中对 8 位乘法器进行波形仿真测试；画出仿真波形；
3. 总结实验步骤和实验结果

#### 模块接口格式

输入为两组 8bit 数据 iA, iB, 输出为 16bit 相乘结果 oMul

```
module Mul
    (    input [7:0] iA, iB,
        output [15:0] oMul
    );
```

# 实验二 8 位数值比较器模块设计与验证

## 实验要求

- 1. 用 Verilog HDL 语言在 Quartus II 编译环境下描写出简单的 8 位数据比较器及其测试程序；
- 2. 用测试程序在 Modelsim 仿真环境中对 8 位比较器进行波形仿真测试；画出仿真波形；
- 3. 总结实验步骤和实验结果

## 模块接口格式

模块名 compare；  
输入为两组待比较的 8bit 数据 iA,iB；  
输出为 3 个 1bit 的数据：oL, oG, oM  
oL=1 表示 iA>iB, oG=1 表示 iA=iB, oM=1 表示 iA<iB

# 实验三

## A、编码器的模块设计与验证

## 实验要求

- 1. 设计一个类似 74x148 的 8 线-3 线优先编码器，编码器输入输出均为低电平有效，其真值表如下：

表 1 类似 74x148 的 8 线-3 线优先编码器真值表

输 入									输 出			
$\overline{ST}$	$\overline{I_7}$	$\overline{I_6}$	$\overline{I_5}$	$\overline{I_4}$	$\overline{I_3}$	$\overline{I_2}$	$\overline{I_1}$	$\overline{I_0}$	$\overline{Y_2}$	$\overline{Y_1}$	$\overline{Y_0}$	$\overline{Y_{EX}}$ $Y_S$
1	×	×	×	×	×	×	×	×	1	1	1	1 1
0	1	1	1	1	1	1	1	1	1	1	1	1 0
0	0	×	×	×	×	×	×	×	0	0	0	0 1
0	1	0	×	×	×	×	×	×	0	0	1	0 1
0	1	1	0	×	×	×	×	×	0	1	0	0 1
0	1	1	1	0	×	×	×	×	0	1	1	0 1
0	1	1	1	1	0	×	×	×	1	0	0	0 1
0	1	1	1	1	1	0	×	×	1	0	1	0 1
0	1	1	1	1	1	1	0	×	1	1	0	0 1
0	1	1	1	1	1	1	1	0	1	1	1	0 1

- 2. 用 Verilog HDL 语言在 Quartus II 编译环境下编写此 8 线-3 线优先编码器的模块及其测试程序；

3. 用测试程序在 Modelsim 仿真环境中对上述编码器进行波形仿真测试；画出仿真波形；
4. 总结实验步骤和实验结果

## 模块接口格式

模块名 encoder；

iL\_L: 低电平有效的 8 位编码器数据输入

iST\_L: 选通输入端

oY\_L: 低电平有效的 3 位编码输出

oYex\_L: 优先扩展输出端

oYs: 选通输出端

## B、译码器的设计与验证

### 实验要求 设计一个类似 74x138 的译码器

1. 设计一个类似 74x138 的 3 线-8 线译码器，译码器输入为高电平有效，输出为低电平有效，其真值表如下：

表 2 类似 74x138 的 3 线-8 线译码器真值表

输入					输出							
$S_1$	$\overline{S_2+S_3}$	$A_2$	$A_1$	$A_0$	$\overline{Y_7}$	$\overline{Y_6}$	$\overline{Y_5}$	$\overline{Y_4}$	$\overline{Y_3}$	$\overline{Y_2}$	$\overline{Y_1}$	$\overline{Y_0}$
1	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	1	1	1	1	1	1	1	0	1
1	0	0	1	0	1	1	1	1	1	0	1	1
1	0	0	1	1	1	1	1	1	0	1	1	1
1	0	1	0	0	1	1	1	0	1	1	1	1
1	0	1	0	1	1	1	0	1	1	1	1	1
1	0	1	1	0	1	0	1	1	1	1	1	1
1	0	1	1	1	0	1	1	1	1	1	1	1
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1

2. 用 Verilog HDL 语言在 Quartus II 编译环境下编写此 3 线-8 线译码器的模块及其测试程序；
3. 用测试程序在 Modelsim 仿真环境中对上述译码器进行波形仿真测试；画出仿真波形；
4. 总结实验步骤和实验结果

## 模块接口格式

模块名 decoder3\_8；

iS1: 高电平有效的选通输入控制端

iS2\_L, iS3\_L: 低电平有效的选通输入控制端

iA: 3bit 译码器数据输入端

oY\_L: 8bit 低电平有效译码数据输出端

## 实验四

### A、异步 JK 触发器的模块设计与验证

#### 实验要求

1. 用 Verilog HDL 语言在 Quartus II 编译环境下分别描写出带异步清 0、置 1 端（低电平有效）的 JK 触发器及各自测试程序；
2. 用测试程序在 Modelsim 仿真环境中对 JK 触发器进行波形仿真测试；画出仿真波形；
3. 总结实验步骤和实验结果

#### 模块接口格式

带异步清 0、置 1 端的 JK 触发器：

模块名： JK\_FF1；

输入： clk: 时钟信号；

set: 异步置 1；

reset: 异步清 0；

j: 触发器输入；

k: 触发器输入；

q: 触发器输出；

### B、同步 JK 触发器的模块设计与验证

#### 实验要求

1. 用 Verilog HDL 语言在 Quartus II 编译环境下分别描写出带同步清 0、置 1 端（高电平有效）的 JK 触发器及各自测试程序；
2. 用测试程序在 Modelsim 仿真环境中分别对 2 种 JK 触发器进行波形仿真测试；画出仿真波形；
3. 总结实验步骤和实验结果

#### 模块接口格式

带同步清 0、置 1 端的 JK 触发器：

模块名： JK\_FF2；

输入： clk: 时钟信号；

set: 同步置 1；

reset: 同步清 0；

j: 触发器输入；

k: 触发器输入；

q: 触发器输出；

## 实验五

### A、 模 60 的 BCD 码加法计数器设计与验证

#### 实验要求

1. 用 Verilog HDL 语言在 Quartus II 编译环境下描写出一个模 60 的 BCD 码加法计数器及其测试程序；
2. 要求该计数器具有同步复位 reset（高电平有效）；同步置数 load（高电平有效）；
3. 用测试程序在 Modelsim 仿真环境中对计数器器进行波形仿真测试；画出仿真波形；
4. 总结实验步骤和实验结果

#### 模块接口格式

模块名： count60；  
输入： [7:0] qout： 计数结果输出  
cout： 进位输出  
[7:0] data： 置数输入  
load： 同步置数，高电平有效；  
reset： 同步清 0，高电平有效；  
clk： 时钟信号；

### B、 二进制加/减计数器的模块设计与验证

#### 实验要求

1. 用 Verilog HDL 语言在 Quartus II 编译环境下描写出一个 8 位加/减计数器及其测试程序；
2. 要求该计数器通过加/减控制端 up\_down 控制加减，高电平实现加计数，低电平实现减计数；load 同步置数（高电平有效），clr 同步清 0（高电平有效）；
3. 用测试程序在 Modelsim 仿真环境中对计数器器进行波形仿真测试；画出仿真波形；
4. 总结实验步骤和实验结果

#### 模块接口格式

模块名： updown\_count；  
输入： clk： 时钟信号；  
load： 同步置数，高电平有效；  
clr： 同步清 0，高电平有效；  
[7:0] d： 置数输入；  
up\_down： 加/减控制端，高电平实现加计数，低电平实现减计数；  
[7:0] qd： 计数结果输出；