Министерство образования Республики Беларусь

Учреждение образования

БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

ИНФОРМАТИКИ И РАДИОЭЛЕКТРОНИКИ

Факультет компьютерных систем и сетей

Кафедра программного обеспечения информационных технологий

Дисциплина: Архитектура компьютерной техники и операционных систем

ОТЧЕТ

по лабораторной работе №1

Выполнил

студент: гр. 151003 Барановский Р.А.

Проверил: Леванцевич В.А.

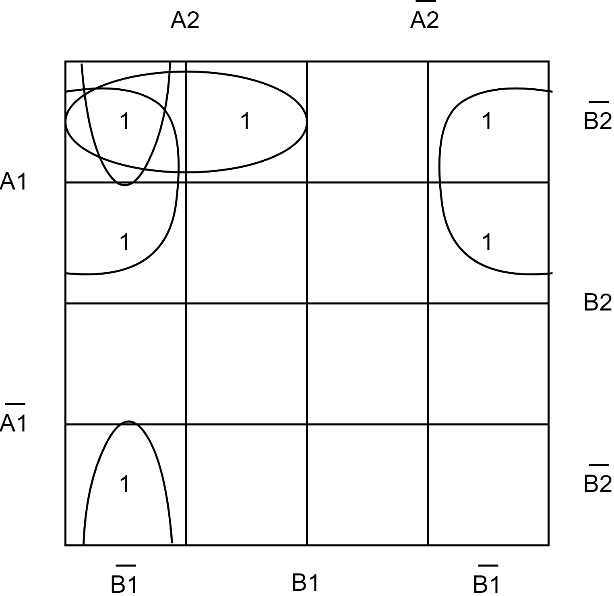
Минск 2022

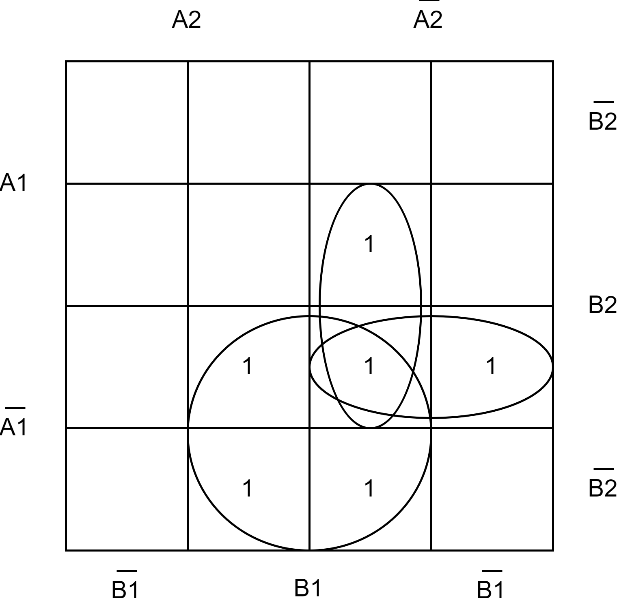
# Двухразрядный цифровой компаратор (№3)

Таблица 1 – Таблица истинности двухразрядного компаратора

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| A1 | A2 | B1 | B2 | A > B | A = B | A < B |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 |

СДНФ:

**

**

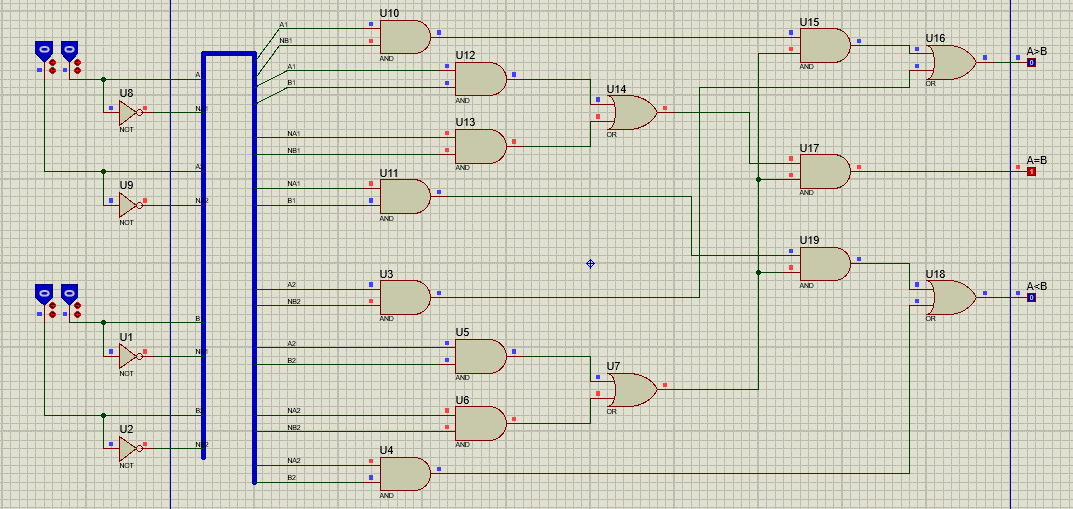


Рисунок 1 – Схема двухразрядного цифрового компаратора

# АСИНХРОННЫЙ RS-ТРИГГЕР (№7)

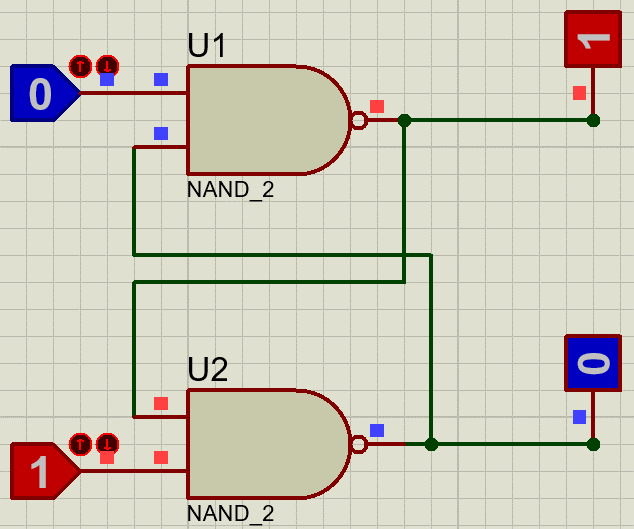


Рисунок 2 – Схема асинхронного RS-триггера

# Т – триггер (№11)

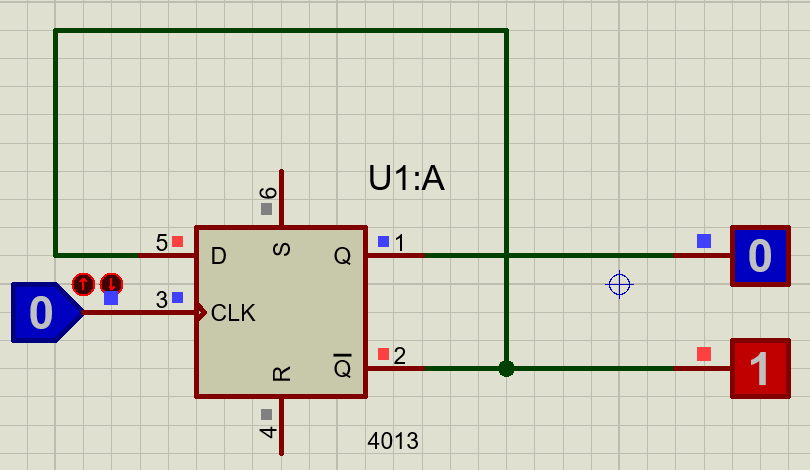


Рисунок 3 – T-триггер

# СУММИРУЮЩИЙ СЧЕТЧИК С КОЭФФИЦИЕНТОМ ПЕРЕСЧЕТА 16 (№15)

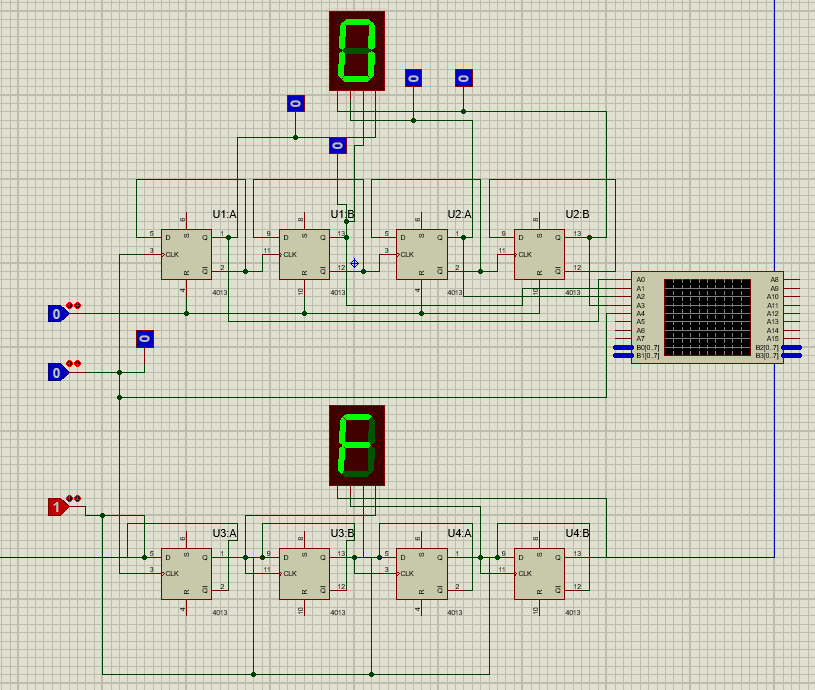


Рисунок 4 – Суммирующий счетчик с коэффициентом пересчета 16