ABSTRACTION MODELS FOR MANUFACTURABILITY AWARE SILICON PHOTONICS

by

Carlos Daniel Gonzalez-Campos

A thesis submitted to the faculty of
The University of Utah
in partial fulfillment of the requirements for the degree of

Bachelor of Science

Department of Electrical and Computer Engineering

The University of Utah

May 2023

ABSTRACT

Silicon photonic circuits are becoming more relevant in computing and AI applications. While it is feasible to simulate a single simple silicon photonic circuit with varying manufacturing defects, when trying to simulate larger circuits by combining multiple devices, current simulation programs fail due to how complex the transfer matrix equations become. Therefore, it is important to build abstraction models to help with simulating complex silicon photonic circuits and engineering software tools that will be able to run those abstraction models for analysis.

Dedications, if any !!

CONTENTS

LIST OF FIGURES

LIST OF TABLES

CHAPTER 1

INTRODUCTION

Lorem ipsum dolor sit amet, consectetur adipiscing elit. Duis tincidunt eros ut dictum tempor. Proin rhoncus elementum mauris, ac bibendum quam. Sed eget nisi non arcu malesuada pulvinar a at ipsum. Curabitur ante quam, aliquet id purus ac, interdum semper odio. Suspendisse potenti. Aliquam rhoncus massa consectetur faucibus condimentum. Sed euismod tellus eu mattis elementum. In nec laoreet ligula. Donec vel blandit ante. Mauris non ligula non justo venenatis rhoncus. In quis auctor ipsum, in mattis lacus. In vitae lectus sodales arcu iaculis bibendum. Fusce ornare at ex vitae ultricies.

Nullam sagittis maximus leo, sit amet dictum neque suscipit at. Proin sagittis mollis mi, at ornare ligula ornare nec. Donec et pulvinar mi. Nulla ac semper dui, id mollis ante. Nam cursus vel tellus quis maximus. Vestibulum quis nunc sit amet felis mollis facilisis sed a sapien. Sed sit amet nisi velit. Mauris tellus arcu, commodo in feugiat in, porttitor vitae urna. Vivamus in aliquet elit. Nunc quis dui massa. Morbi blandit fringilla dui et fermentum. Nulla facilisi. Aenean et dui turpis. Mauris tempor diam ac mi scelerisque lacinia. [**?**], as shown in Fig. 1.1.

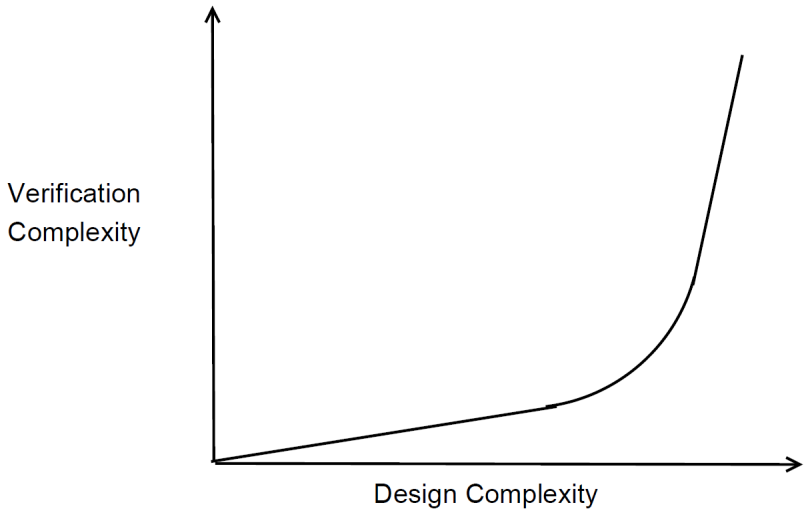

Figure 1.1: Design vs. Verification Complexity

1.1 Hardware Design Overview

Lorem ipsum dolor sit amet, consectetur adipiscing elit. Duis tincidunt eros ut dictum tempor. Proin rhoncus elementum mauris, ac bibendum quam. Sed eget nisi non arcu malesuada pulvinar a at ipsum. Curabitur ante quam, aliquet id purus ac, interdum semper odio. Suspendisse potenti. Aliquam rhoncus massa consectetur faucibus condimentum. Sed euismod tellus eu mattis elementum. In nec laoreet ligula. Donec vel blandit ante. Mauris non ligula non justo venenatis rhoncus. In quis auctor ipsum, in mattis lacus. In vitae lectus sodales arcu iaculis bibendum. Fusce ornare at ex vitae ultricies.

Nullam sagittis maximus leo, sit amet dictum neque suscipit at. Proin sagittis mollis mi, at ornare ligula ornare nec. Donec et pulvinar mi. Nulla ac semper dui, id mollis ante. Nam cursus vel tellus quis maximus. Vestibulum quis nunc sit amet felis mollis facilisis sed a sapien. Sed sit amet nisi velit. Mauris tellus arcu, commodo in feugiat in, porttitor vitae urna. Vivamus in aliquet elit. Nunc quis dui massa. Morbi blandit fringilla dui et fermentum. Nulla facilisi. Aenean et dui turpis. Mauris tempor diam ac mi scelerisque lacinia.

1.1.1 Formal verification

k	t_1	t_2	t_3	t_4
2	0.002	0.003	0.007	0.005
4	0.005	5.820	0.024	5.824
8	0.027	9.103	0.206	9.111
12	0.120	23.137	0.641	23.158
16	0.400	42.915	1.782	42.981
18	0.647	48.964	2.479	49.060
28	6.329	288.448	26.707	289.860
32	12.119	368.319	44.965	370.579
56	292.203	980.283	1221.654	1040.504
64	577.162	16.049	28.597	20.147

Table 1.1: Single-fix rectification of integer multiplier against polynomial specification. Time in seconds; k = Datapath size, t_1 = verification time, t_2 = time to find potentially rectifiable nets , t_3 = time for rectification check, t_4 = time to compute rectification function. Time Out = 10800 seconds.

It subsequently describes how to select a net which admits single-fix rectification. Chapter 2 describes a procedure to compute a suitable rectification polynomial which, when implemented 1.1

1.2 Formal verification of integer arithmetic circuits

Nullam sagittis maximus leo, sit amet dictum neque suscipit at. Proin sagittis mollis mi, at ornare ligula ornare nec. Donec et pulvinar mi. Nulla ac semper dui, id mollis ante. Nam cursus vel tellus quis maximus. Vestibulum quis nunc sit amet felis mollis facilisis sed a sapien. Sed sit amet nisi velit. Mauris tellus arcu, commodo in feugiat in, porttitor vitae urna. Vivamus in aliquet elit. Nunc quis dui massa. Morbi blandit fringilla dui et fermentum. Nulla facilisi. Aenean et dui turpis. Mauris tempor diam ac mi scelerisque lacinia.

1.3 Thesis Organization

Lorem ipsum dolor sit amet, consectetur adipiscing elit. Duis tincidunt eros ut dictum tempor. Proin rhoncus elementum mauris, ac bibendum quam. Sed eget nisi non arcu malesuada pulvinar a at ipsum. Curabitur ante quam, aliquet id

purus ac, interdum semper odio. Suspendisse potenti. Aliquam rhoncus massa consectetur faucibus condimentum. Sed euismod tellus eu mattis elementum. In nec laoreet ligula. Donec vel blandit ante. Mauris non ligula non justo venenatis rhoncus. In quis auctor ipsum, in mattis lacus. In vitae lectus sodales arcu iaculis bibendum. Fusce ornare at ex vitae ultricies 2.

Nullam sagittis maximus leo, sit amet dictum neque suscipit at. Proin sagittis mollis mi, at ornare ligula ornare nec. Donec et pulvinar mi. Nulla ac semper dui, id mollis ante. Nam cursus vel tellus quis maximus. Vestibulum quis nunc sit amet felis mollis facilisis sed a sapien. Sed sit amet nisi velit. Mauris tellus arcu, commodo in feugiat in, porttitor vitae urna. Vivamus in aliquet elit. Nunc quis dui massa. Morbi blandit fringilla dui et fermentum. Nulla facilisi. Aenean et dui turpis. Mauris tempor diam ac mi scelerisque lacinia.

CHAPTER 2

COMPUTING RECTIFICATION FUNCTION

Lorem ipsum dolor sit amet, consectetur adipiscing elit. Duis tincidunt eros ut dictum tempor. Proin rhoncus elementum mauris, ac bibendum quam. Sed eget nisi non arcu malesuada pulvinar a at ipsum. Curabitur ante quam, aliquet id purus ac, interdum semper odio. Suspendisse potenti. Aliquam rhoncus massa consectetur faucibus condimentum. Sed euismod tellus eu mattis elementum. In nec laoreet ligula. Donec vel blandit ante. Mauris non ligula non justo venenatis rhoncus. In quis auctor ipsum, in mattis lacus. In vitae lectus sodales arcu iaculis bibendum. Fusce ornare at ex vitae ultricies.

Nullam sagittis maximus leo, sit amet dictum neque suscipit at. Proin sagittis mollis mi, at ornare ligula ornare nec. Donec et pulvinar mi. Nulla ac semper dui, id mollis ante. Nam cursus vel tellus quis maximus. Vestibulum quis nunc sit amet felis mollis facilisis sed a sapien. Sed sit amet nisi velit. Mauris tellus arcu, commodo in feugiat in, porttitor vitae urna. Vivamus in aliquet elit. Nunc quis dui massa. Morbi blandit fringilla dui et fermentum. Nulla facilisi. Aenean et dui turpis. Mauris tempor diam ac mi scelerisque lacinia.

2.1 Problem Statement

Example 2.1. *Consider a buggy 2-bit multiplier in Fig. 2.1.*

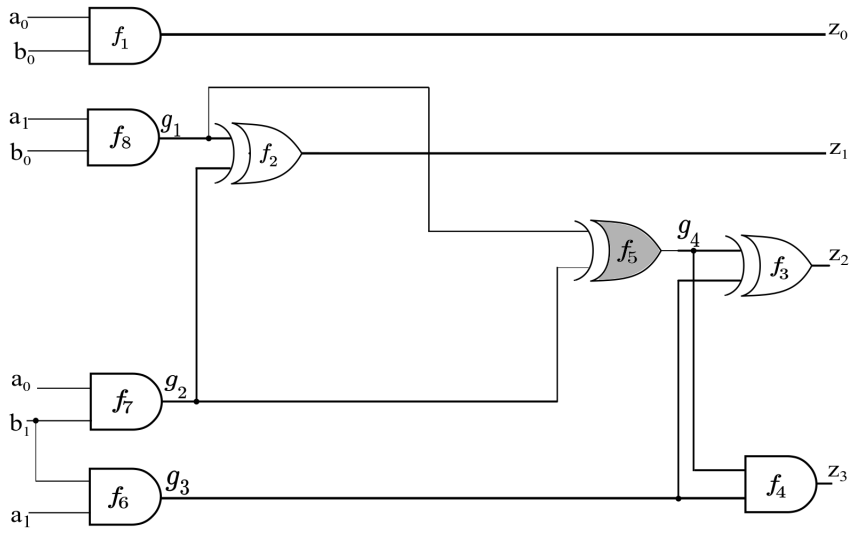

Figure 2.1: 2-bit Integer multiplier with a bug. The AND gate at g_4 replaced by an XOR gate.

2.2 Computing rectification function

LLorem ipsum dolor sit amet, consectetur adipiscing elit. Duis tincidunt eros ut dictum tempor. Proin rhoncus elementum mauris, ac bibendum quam. Sed eget nisi non arcu malesuada pulvinar a at ipsum. Curabitur ante quam, aliquet id purus ac, interdum semper odio. Suspendisse potenti. Aliquam rhoncus massa consectetur faucibus condimentum. Sed euismod tellus eu mattis elementum. In nec laoreet ligula. Donec vel blandit ante. Mauris non ligula non justo venenatis rhoncus. In quis auctor ipsum, in mattis lacus. In vitae lectus sodales arcu iaculis bibendum. Fusce ornare at ex vitae ultricies.

Nullam sagittis maximus leo, sit amet dictum neque suscipit at. Proin sagittis mollis mi, at ornare ligula ornare nec. Donec et pulvinar mi. Nulla ac semper dui, id mollis ante. Nam cursus vel tellus quis maximus. Vestibulum quis nunc sit amet felis mollis facilisis sed a sapien. Sed sit amet nisi velit. Mauris tellus arcu, commodo in feugiat in, porttitor vitae urna. Vivamus in aliquet elit. Nunc quis dui massa. Morbi blandit fringilla dui et fermentum. Nulla facilisi. Aenean et dui turpis. Mauris tempor diam ac mi scelerisque lacinia.

$$f \in \langle f_1, \ldots, f_{i-1}, \boldsymbol{f_i : x_i - U}, f_{i+1}, \ldots, f_s, x_1^2 - x_1, \ldots, x_n^2 - x_n \rangle \tag{2.1}$$

Lorem ipsum dolor sit amet, consectetur adipiscing elit. Duis tincidunt eros ut dictum tempor. Proin rhoncus elementum mauris, ac bibendum quam. Sed eget nisi non arcu malesuada pulvinar a at ipsum. Curabitur ante quam, aliquet id purus ac, interdum semper odio. Suspendisse potenti. Aliquam rhoncus massa consectetur faucibus condimentum. Sed euismod tellus eu mattis elementum. In nec laoreet ligula. Donec vel blandit ante. Mauris non ligula non justo venenatis rhoncus. In quis auctor ipsum, in mattis lacus. In vitae lectus sodales arcu iaculis bibendum. Fusce ornare at ex vitae ultricies.

Nullam sagittis maximus leo, sit amet dictum neque suscipit at. Proin sagittis mollis mi, at ornare ligula ornare nec. Donec et pulvinar mi. Nulla ac semper dui, id mollis ante. Nam cursus vel tellus quis maximus. Vestibulum quis nunc sit amet felis mollis facilisis sed a sapien. Sed sit amet nisi velit. Mauris tellus arcu, commodo in feugiat in, porttitor vitae urna. Vivamus in aliquet elit. Nunc quis dui massa. Morbi blandit fringilla dui et fermentum. Nulla facilisi. Aenean et dui turpis. Mauris tempor diam ac mi scelerisque lacinia.

2.2.1 Procedure to compute rectification function

$a_0, a_1, a_2, b_0, b_1, b_2$	h_i	h'_i
0,0,0,0,0,0	-12	1
0,0,0,0,0,1	-12	1
0,0,0,0,1,0	-12	1
0,1,0,0,0,1	0	$-\frac{1}{3}$
0,1,0,0,1,0	0	$\frac{1}{3}$
0,1,0,0,1,1	0	-1

Table 2.1: Evaluating h_i and h'_i

In order to conserve space, Table 2.1 shows the data for only some input patterns. We make some observations based on the contents of this table.

2.3 Conclusion

Lorem ipsum dolor sit amet, consectetur adipiscing elit. Duis tincidunt eros ut dictum tempor. Proin rhoncus elementum mauris, ac bibendum quam. Sed eget

nisi non arcu malesuada pulvinar a at ipsum. Curabitur ante quam, aliquet id purus ac, interdum semper odio. Suspendisse potenti. Aliquam rhoncus massa consectetur faucibus condimentum. Sed euismod tellus eu mattis elementum. In nec laoreet ligula. Donec vel blandit ante. Mauris non ligula non justo venenatis rhoncus. In quis auctor ipsum, in mattis lacus. In vitae lectus sodales arcu iaculis bibendum. Fusce ornare at ex vitae ultricies.

Nullam sagittis maximus leo, sit amet dictum neque suscipit at. Proin sagittis mollis mi, at ornare ligula ornare nec. Donec et pulvinar mi. Nulla ac semper dui, id mollis ante. Nam cursus vel tellus quis maximus. Vestibulum quis nunc sit amet felis mollis facilisis sed a sapien. Sed sit amet nisi velit. Mauris tellus arcu, commodo in feugiat in, porttitor vitae urna. Vivamus in aliquet elit. Nunc quis dui massa. Morbi blandit fringilla dui et fermentum. Nulla facilisi. Aenean et dui turpis. Mauris tempor diam ac mi scelerisque lacinia.

CHAPTER 3

CONCLUSIONS AND FUTURE WORK

Lorem ipsum dolor sit amet, consectetur adipiscing elit. Duis tincidunt eros ut dictum tempor. Proin rhoncus elementum mauris, ac bibendum quam. Sed eget nisi non arcu malesuada pulvinar a at ipsum. Curabitur ante quam, aliquet id purus ac, interdum semper odio. Suspendisse potenti. Aliquam rhoncus massa consectetur faucibus condimentum. Sed euismod tellus eu mattis elementum. In nec laoreet ligula. Donec vel blandit ante. Mauris non ligula non justo venenatis rhoncus. In quis auctor ipsum, in mattis lacus. In vitae lectus sodales arcu iaculis bibendum. Fusce ornare at ex vitae ultricies.

3.1 Future Work

Lorem ipsum dolor sit amet, consectetur adipiscing elit. Duis tincidunt eros ut dictum tempor. Proin rhoncus elementum mauris, ac bibendum quam. Sed eget nisi non arcu malesuada pulvinar a at ipsum. Curabitur ante quam, aliquet id purus ac, interdum semper odio. Suspendisse potenti. Aliquam rhoncus massa consectetur faucibus condimentum. Sed euismod tellus eu mattis elementum. In nec laoreet ligula. Donec vel blandit ante. Mauris non ligula non justo venenatis rhoncus. In quis auctor ipsum, in mattis lacus. In vitae lectus sodales arcu iaculis bibendum. Fusce ornare at ex vitae ultricies.

3.1.1 Computing multiple rectification functions

Lorem ipsum dolor sit amet, consectetur adipiscing elit. Duis tincidunt eros ut dictum tempor. Proin rhoncus elementum mauris, ac bibendum quam. Sed eget nisi non arcu malesuada pulvinar a at ipsum. Curabitur ante quam, aliquet id purus ac, interdum semper odio. Suspendisse potenti. Aliquam rhoncus massa consectetur faucibus condimentum. Sed euismod tellus eu mattis elementum. In

nec laoreet ligula. Donec vel blandit ante. Mauris non ligula non justo venenatis rhoncus. In quis auctor ipsum, in mattis lacus. In vitae lectus sodales arcu iaculis bibendum. Fusce ornare at ex vitae ultricies. Fig. 3.1.

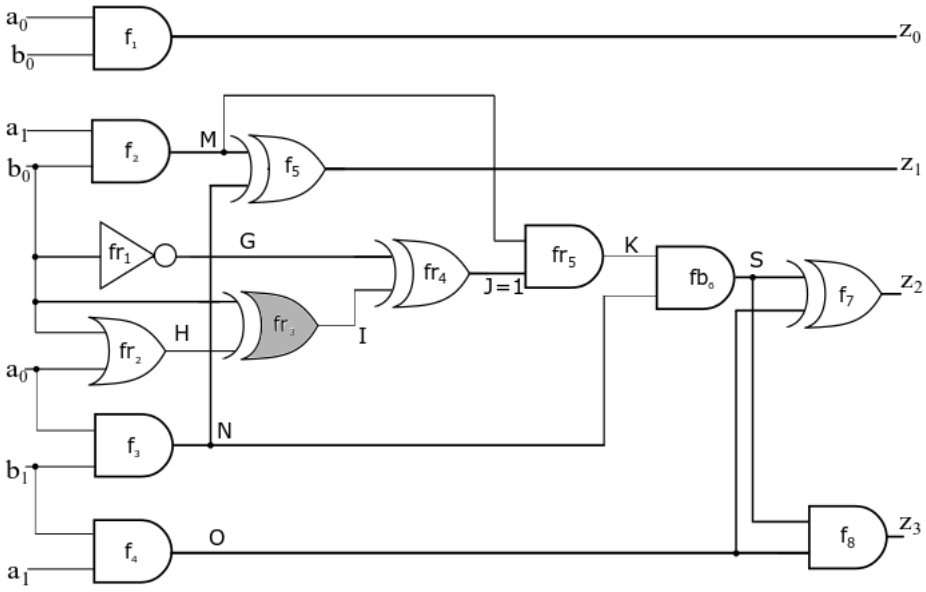

Figure 3.1: 2-bit integer multiplier with redundancy. Bug at I.

The procedure to compute a rectification polynomial is applied and the polynomial $I = b_0$ is computed.

3.1.2 Dependency constrained rectification function

Lorem ipsum dolor sit amet, consectetur adipiscing elit. Duis tincidunt eros ut dictum tempor. Proin rhoncus elementum mauris, ac bibendum quam. Sed eget nisi non arcu malesuada pulvinar a at ipsum. Curabitur ante quam, aliquet id purus ac, interdum semper odio. Suspendisse potenti. Aliquam rhoncus massa consectetur faucibus condimentum. Sed euismod tellus eu mattis elementum. In nec laoreet ligula. Donec vel blandit ante. Mauris non ligula non justo venenatis rhoncus. In quis auctor ipsum, in mattis lacus. In vitae lectus sodales arcu iaculis bibendum. Fusce ornare at ex vitae ultricies.

3.1.3 Impact of term orders on efficiency

Lorem we discuss the limitation of Gröbner Basis reduction with Reverse Topological Term Order (RTTO) imposed on the variables. We witness the problem of variable explosion. Consider the example below, where Gröbner Basis reduction is performed with a forward topology based term order.

Example 3.1. *Lorem ipsum dolor sit amet, consectetur adipiscing elit. Duis tincidunt eros ut dictum tempor. Proin rhoncus elementum mauris, ac bibendum quam. Sed eget nisi non arcu malesuada pulvinar a at ipsum. Curabitur ante quam, aliquet id purus ac, interdum semper odio. Suspendisse potenti. Aliquam rhoncus massa consectetur faucibus condimentum. Sed euismod tellus eu mattis elementum. In nec laoreet ligula. Donec vel blandit ante. Mauris non ligula non justo venenatis rhoncus. In quis auctor ipsum, in mattis lacus. In vitae lectus sodales arcu iaculis bibendum. Fusce ornare at ex vitae ultricies.*

3.1.4 Multi-fix rectification

Not all the bugs that may be present in a circuit can be rectified at a single location. Some bugs can be rectified only by the implementation of multiple functions at multiple nets in the circuit.

REFERENCES