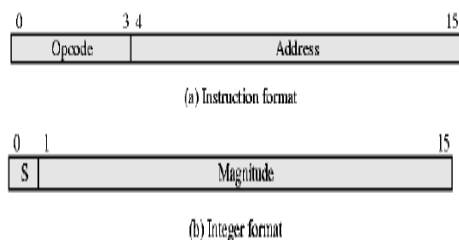
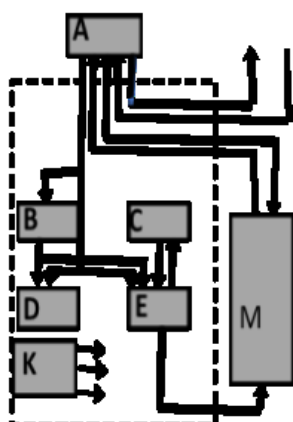


Atenção:

1. Nas perguntas 1 a 3 são oferecidas **2 hipóteses**, mas deverá selecionar **apenas uma** para desenvolver (não se aplica no teste modelo). Deve responder no enunciado e incluir **sempre** os cálculos intermédios/justificação.
2. **Não é permitida usar:** i) máquina de calcular nem ii) notas de consulta. **Duração: 1h30**

1. Considere a representação de números reais, em formato binário vírgula flutuante, usando 8-bits, baseado na norma IEEE. O bit mais significativo contém o bit do sinal, os 4 bits seguintes formam o expoente (em excesso de 8) e os últimos 3 bits representam a mantissa. **Represente** o número 73.45, neste formato.
2. Considere a subtração de 2 inteiros, **subb %dl,%al**, na arquitetura de um processador IA-8, em que os inteiros são representados em complemento para 2. O conteúdo dos registos %al e %dl antes da subtração é 0x7A e 0xC3. Realize esta **operação** aritmética em **binário** e apresente o **resultado** na **base 10**.
3. Para o processo de compilação de código C com **gcc**, identifique as **diferenças** entre **os ficheiros gerados** pelos dois comandos seguintes:
`gcc -O2 -S main.c`
`gcc -O2 -c main.c`
4. A arquitetura dum computador aborda os seus aspetos físicos? ____ Dê **três** exemplos de aspetos arquiteturais dum computador.
5. Explique o **ciclo de execução** numa instrução no modelo de von Neumann, identificando as diversas **fases**.

6. A zona a tracejado na figura representa a Unidade de Controlo do computador IAS (*Institute for Advanced Studies*). A figura inclui também os formatos de dados e instruções para uma máquina similar ao IAS. Considere que o **PC=401** e a memória contém a seguinte informação: M[401]=1641, M[402]=D642, M[403]=5640, M[404]=6640, M[640]=0402, M[641]=0404 e M[642]=0403.



Opcode	Instrução
0001	LOAD M(X)
0010	STOR M(X)
0101	ADD M(X)
0110	SUB M(X)
1011	MUL M(X)
1100	DIV M(X)
1101	JMP M(X)
1111	JMP+ M(X)

- a) Para as primeiras **3 instruções**, a partir do estado indicado no enunciado, e para as **duas fases** da execução de cada instrução, **preencha** os valores dos **3 registos** do CPU: **PC**, **ACC** e **IR**. Inclua na resposta o preenchimento das posições de memória envolvidas, a mnemónica de cada instrução executada e o nome das duas fases da execução.

Endereço	Conteúdo		Fase 1: _____	Fase 2: _____
		1ª instrução:	PC	PC
			ACC	ACC
			IR	IR
		2ª instrução:	PC	PC
			ACC	ACC
			IR	IR
		3ª instrução:	PC	PC
			ACC	ACC
			IR	IR

- b) **Identifique** os componentes **B**, **C** e **E** da figura e diga qual é a sua finalidade.

7. Suponha que os valores seguintes estão armazenados nos endereços de memória e nos registros IA-32 indicados:

Endereço	Valor
0x100 : 0x103	0xFF
0x104 : 0x107	0xAB
0x108 : 0x10B	0x13
0x10C : 0x10F	0x11

Registro	Valor
%eax	0x100
%ecx	0x1
%edx	0x3

Preencha a tabela seguinte, indicando para cada instrução IA-32 qual o registro ou endereço de memória alterado e o valor aí guardado. Apresente os cálculos necessários a cada resposta.

Instrução	Destino	Valor	Cálculos
addl %ecx,(%eax)			
subl %edx,4(%eax)			
imull \$16,(%eax,%edx,4)			
incl 8(%eax)			
decl %ecx			
subl %edx,%eax			