

ГУАП

КАФЕДРА № 44

ОТЧЕТ
ЗАЩИЩЕН С ОЦЕНКОЙ
ПРЕПОДАВАТЕЛЬ

доцент, канд. техн. наук

должность, уч. степень, звание

подпись, дата

О. О. Жаринов

инициалы, фамилия

ОТЧЕТ О ЛАБОРАТОРНОЙ РАБОТЕ

РАЗРАБОТКА КОМБИНАЦИОННОГО УСТРОЙСТВА НА ОСНОВЕ ПЛИС В СРЕДЕ QUARTUS

по курсу: СХЕМОТЕХНИКА

РАБОТУ ВЫПОЛНИЛ

СТУДЕНТ ГР. № 4143

подпись, дата

А. М. Гридин

инициалы, фамилия

Санкт-Петербург 2023

1. Цель работы

Разработать проект комбинационного устройства на основе программируемой логической интегральной схемы в среде программирования Quartus: приобрести навыки формирования проекта комбинационного устройства по заданной таблице истинности.

2. Заданная таблица истинности

Вариант 16

Состояния входных сигналов			Состояния выходных сигналов	
x2	x1	x0	y1	y0
0	0	0	1	0
0	0	1	0	0
0	1	0	0	1
0	1	1	1	0
1	0	0	1	0
1	0	1	0	1
1	1	0	1	0
1	1	1	0	1

Таблица 1 – Вариант работы

3. Логические выражения, включая промежуточные выкладки, выполняемые в процессе минимизации или переводе в заданный базис булевых функций.

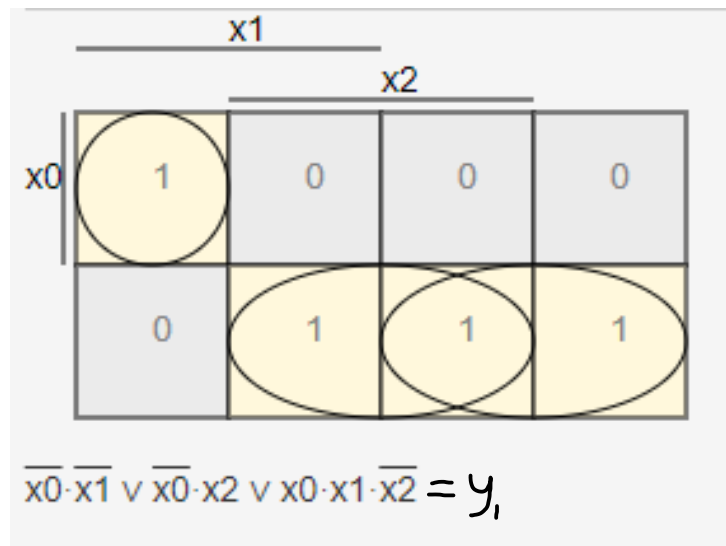


Рисунок 1 – Диаграмма Вейча для y_1

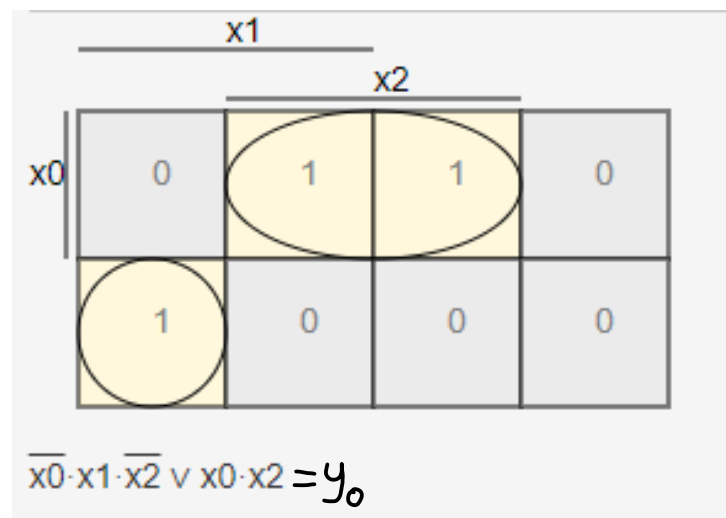


Рисунок 2 – Диаграмма Вейча для y_0

Выражение y_1 можно сократить

$$\begin{aligned}
 &\overline{x_0} \cdot \overline{x_1} \vee \overline{x_0} \cdot x_2 \vee x_0 \cdot x_1 \cdot \overline{x_2} \\
 &\overline{x_0} (\overline{x_1} \vee x_2) \vee x_0 \cdot x_1 \cdot \overline{x_2} \\
 &\overline{x_0 \cdot x_1 \cdot \overline{x_2}} \vee x_0 \cdot x_1 \cdot \overline{x_2} \\
 &\overline{x_0 \oplus x_1 \cdot \overline{x_2}}
 \end{aligned}$$

Рисунок 3 – Сокращение с помощью XNOR

4. Схема устройства в графическом формате в среде Quartus.

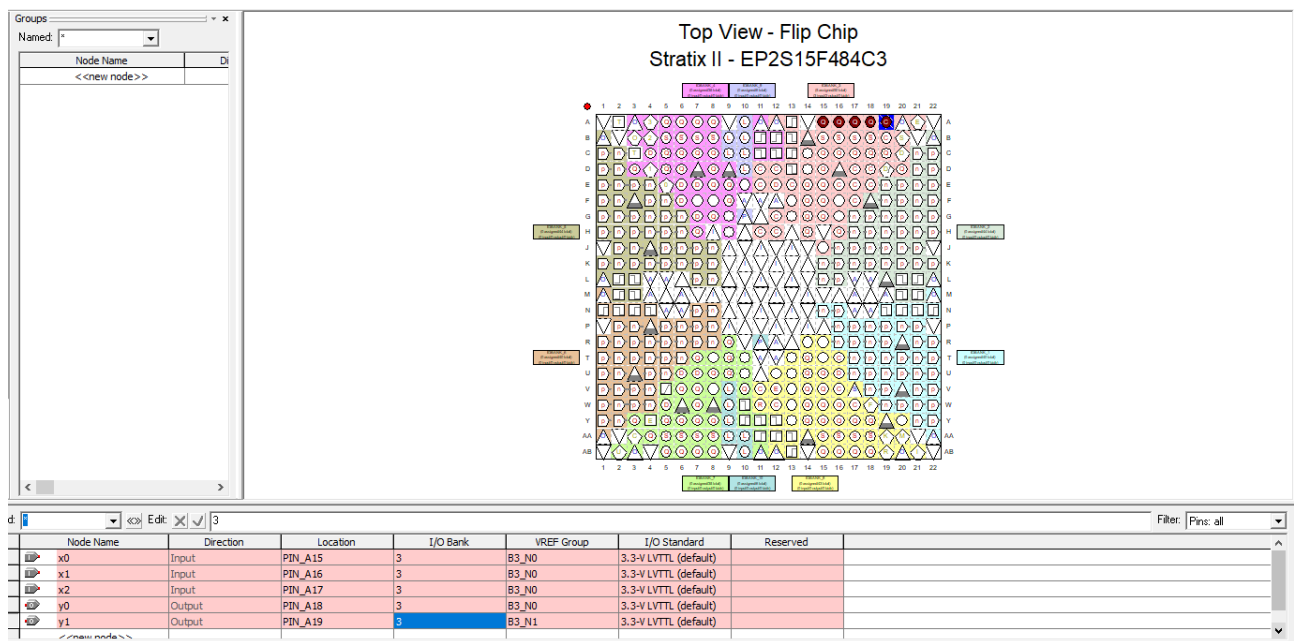


Рисунок 3 – Назначение выводов ПЛИС

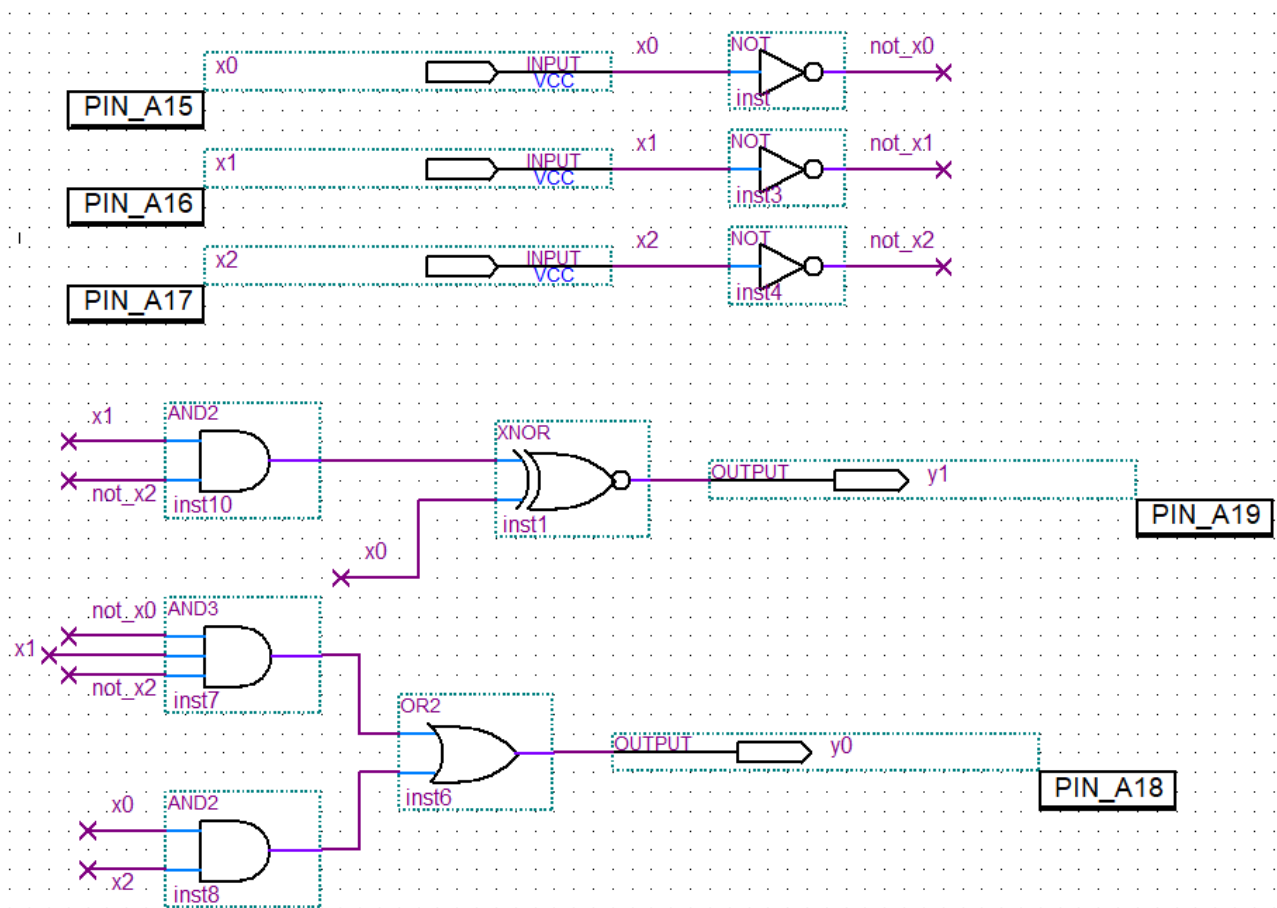


Рисунок 4 – Схема устройства

Flow Status	Successful - Fri Sep 15 20:06:45 2023
Quartus II Version	9.1 Build 222 10/21/2009 SJ Web Edition
Revision Name	firstproject
Top-level Entity Name	firstproject
Family	Stratix II
Device	EP2S15F484C3
Timing Models	Final
Met timing requirements	N/A
Logic utilization	< 1 %
Combinational ALUTs	2 / 12,480 (< 1 %)
Dedicated logic registers	0 / 12,480 (0 %)
Total registers	0
Total pins	5 / 343 (1 %)
Total virtual pins	0
Total block memory bits	0 / 419,328 (0 %)
DSP block 9-bit elements	0 / 96 (0 %)
Total PLLs	0 / 6 (0 %)
Total DLLs	0 / 2 (0 %)

Рисунок 5 – Результат компиляции после назначения выводов ПЛИС

5. Временная диаграмма работы схемы в среде Quartus.

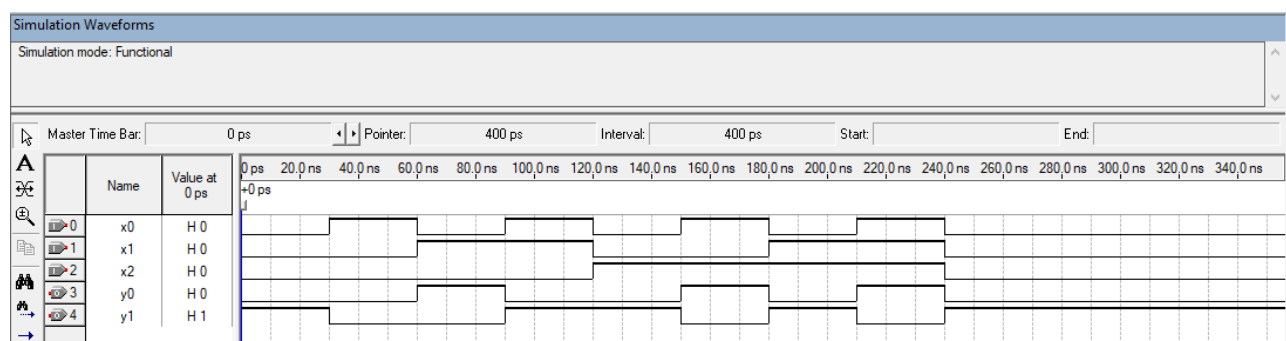


Рисунок 6 – Результаты симуляции Functional Simulation перед назначением выводов ПЛИС

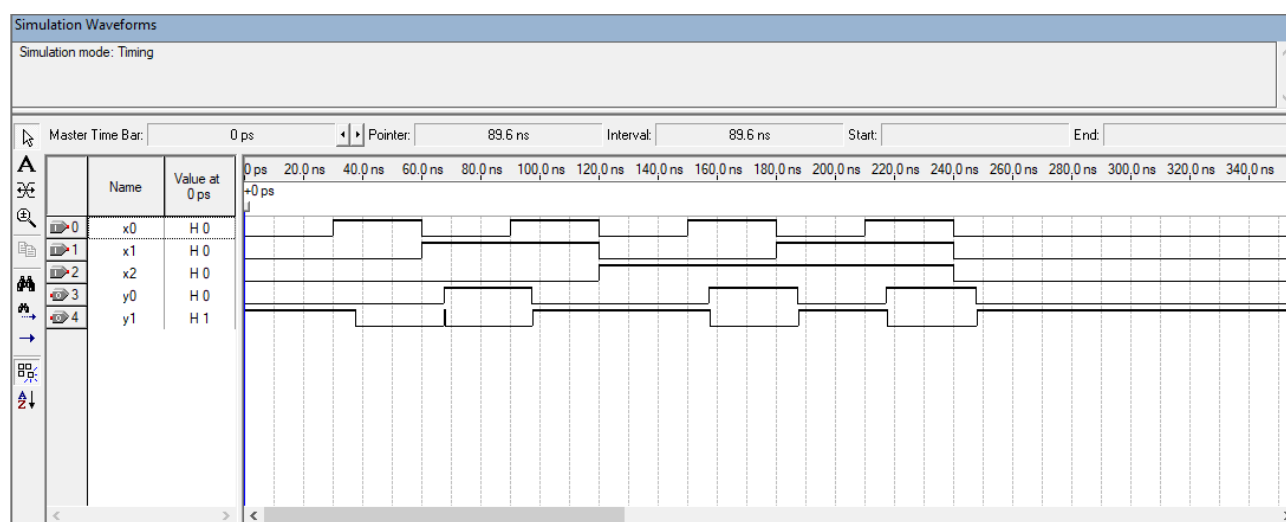


Рисунок 7 – Результаты симуляции Timing Simulation после назначения выводов ПЛИС

6. Перечисление ошибок, если они возникали в процессе работы и методов, применённых для их устранения.

Ошибок не было.

7. Выводы.

Был разработан проект комбинационного устройства на основе ПЛИС EP2S15F484C3 в среде программирования Quartus: были приобретены навыки формирования проекта комбинационного устройства по заданной таблице истинности.

8. Список используемых источников.

1 Лекция по схемотехнике от 4 сентября 2023г.

2 Минимизация булевых функций [Электронный ресурс], URL - <https://pro.guap.ru/inside/student/materials/133033bb36b64feb5f443a482b5b995e/download>