

ГУАП

КАФЕДРА № 44

ОТЧЕТ
ЗАЩИЩЕН С ОЦЕНКОЙ
ПРЕПОДАВАТЕЛЬ

доц., канд. техн. наук, доц.
должность, уч. степень, звание

подпись, дата

О. О. Жаринов
инициалы, фамилия

ОТЧЕТ О ЛАБОРАТОРНОЙ РАБОТЕ

Разработка формирователя импульсной последовательности с заданными свойствами, с использованием языков описания аппаратуры

по курсу: СХЕМОТЕХНИКА

РАБОТУ ВЫПОЛНИЛ

СТУДЕНТ ГР. № 4143

подпись, дата

А. М. Гридин
инициалы, фамилия

Санкт-Петербург 2024

1. Цель работы

Разработать проект формирователя импульсной последовательности с заданными свойствами в среде программирования Quartus, используя языки описания аппаратуры.

2. Формулировка варианта задания.

Задание заключается в разработке проекта для ПЛИС, который обеспечивает формирование импульсной последовательности с заданными свойствами. Период выходного сигнала которой ($T_{\text{вых}}$) в целое число раз больше периода входного сигнала ($T_{\text{вх}}$), с заданной длительностью фазы состояния 1 (K_1 тактов) и фазы 0 (K_0 тактов), при этом $(K_1 + K_0) \cdot T_{\text{вх}} = T_{\text{вых}}$. Пример последовательности показан на рисунке 2.

Вариант показан на рисунке 1 и выделен синим цветом.

Таблица вариантов заданий															
Вар.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
$K_{\text{нач}}$	0	1	2	1	0	2	0	1	2	3	1	2	0	1	2
K_1	3	12	1	4	5	6	9	8	14	13	1	3	4	2	1
K_0	14	5	16	13	12	11	8	9	3	4	6	4	3	3	4

Рисунок 1 – Вариант задания

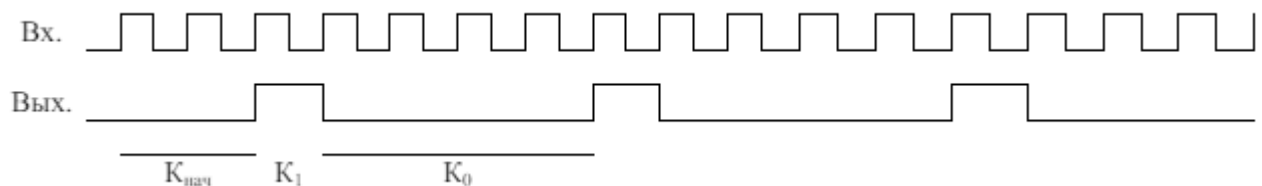


Рисунок 2 – Пример выходной последовательности

3. Краткое описание концепции разработки проекта на языке описания аппаратуры.

Проект разрабатывается на идеи конечного автомата. Т.е. существуют состояния автомата и их переходы от одного состояния к другому. Далее выбираем те состояния, которые должны нам выдавать 1 с помощью объединения. Состояний всего беру 17, тк $K_1 + K_0 = 14 + 3 = 17$. Выход реализовываю как комбинации из нескольких условий в соответствии с заданной величиной.

4. Листинг программы, реализующей заданную по варианту функциональность устройства в среде Quartus.

```

module SystemVerilog1(
    input logic clock,
    input logic reset,
    output logic out);

typedef          enum          logic          [4:0]
{S0,S1,S2,S3,S4,S5,S6,S7,S8,S9,S10,S11,S12,S13,S14,S15,S16,S17} statetype;
statetype state, nextstate;

always_ff @(posedge clock,posedge reset)
if (reset) state <=S0;
else state <= nextstate;

always_comb
case (state)
S0: nextstate <=S1;
S1: nextstate <=S2;
S2: nextstate <=S3;
S3: nextstate <=S4;
S4: nextstate <=S5;
S5: nextstate <=S6;
S6: nextstate <=S7;
S7: nextstate <=S8;
S8: nextstate <=S9;
S9: nextstate <=S10;
S10: nextstate <=S11;
S11: nextstate <=S12;
S12: nextstate <=S13;
S13: nextstate <=S14;
S14: nextstate <=S15;
S15: nextstate <=S16;
S16: nextstate <=S0;
default: nextstate <=S0;

```

endcase

assign out = ((state == S1)| (state == S2)| (state == S3));

endmodule

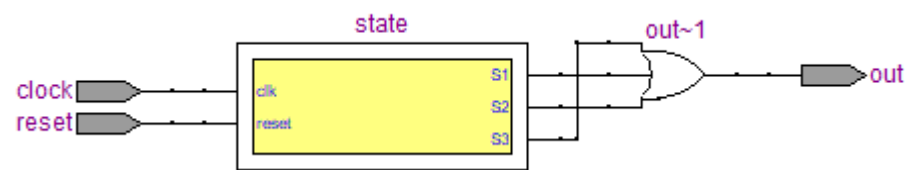
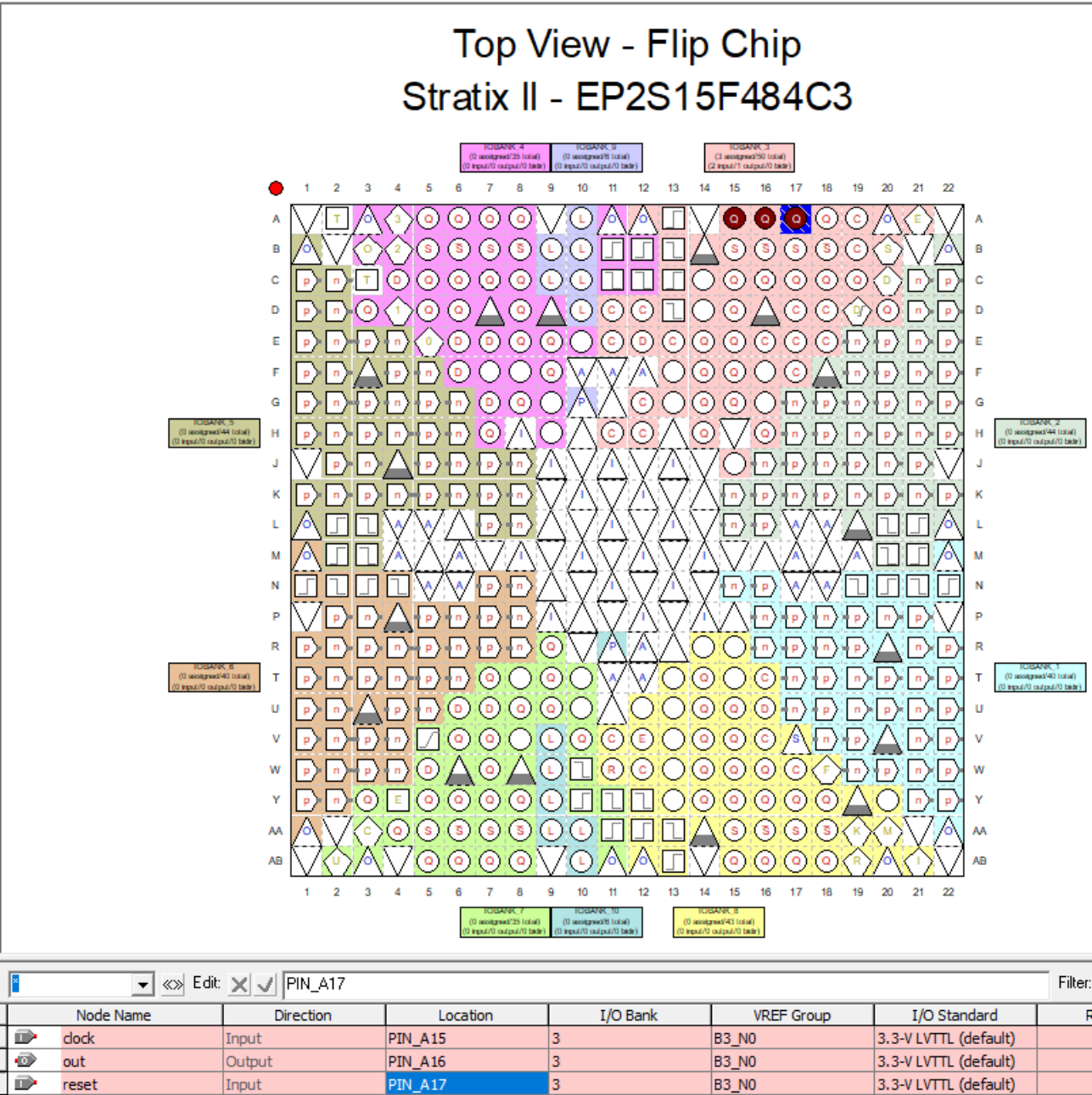


Рисунок 4 – Визуализация программы

5. Информация о назначении выводов ПЛИС для проекта



6. Временная диаграмма работы схемы в среде Quartus.

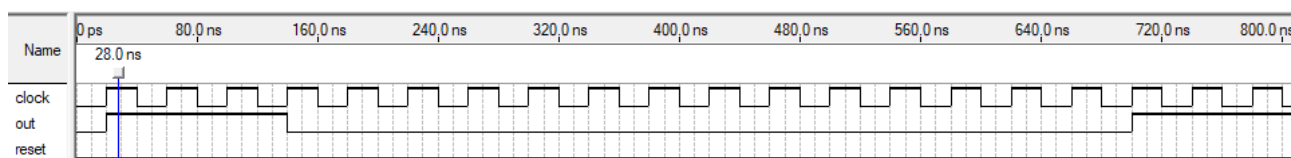


Рисунок 6 – Результаты симуляции Functional Simulation

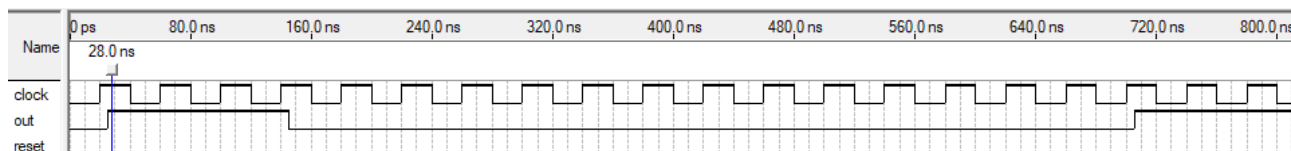


Рисунок 7 – Результаты симуляции Timing Simulation

7. Перечисление ошибок, если они возникали в процессе работы и методов, применённых для их устранения.

Ошибок не было.

8. Выводы.

Был разработан проект формирователя импульсной последовательности с заданными свойствами на основе ПЛИС EP2S15F484C3 в среде программирования Quartus, используя языки описания аппаратуры.

9. Список используемых источников.

1 Методические указания по ЛР№4 [Электронный ресурс], URL - <https://pro.guap.ru/inside/student/tasks/25ed2102258ad6938774e339be75ce34/download>

2 Лекция по схемотехнике от 26 февраля 2024г. [Электронный ресурс], URL - <https://bbb2.guap.ru/playback/presentation/2.3/90b2e04850f4d69e44e76a96a499071f6ccb45d9-1708947788923>