

ГУАП

КАФЕДРА № 44

ОТЧЕТ
ЗАЩИЩЕН С ОЦЕНКОЙ
ПРЕПОДАВАТЕЛЬ

доц., канд. техн. наук, доц.
должность, уч. степень, звание

подпись, дата

О. О. Жаринов
инициалы, фамилия

ОТЧЕТ О ЛАБОРАТОРНОЙ РАБОТЕ

Разработка модуля счетного устройства с заданным алгоритмом работы, с
использованием языков описания аппаратуры

по курсу: СХЕМОТЕХНИКА

РАБОТУ ВЫПОЛНИЛ

СТУДЕНТ ГР. № 4143

подпись, дата

А. М. Гридин
инициалы, фамилия

Санкт-Петербург 2024

1. Цель работы

Разработать проект модуля счетного устройства, работающего по заданному алгоритму, в среде программирования Quartus, используя языки описания аппаратуры.

2. Вариант задания

Вариант № 8, выделен синим цветом.

Таблица 1 (начало)* - Последовательность выходных кодов устройства																			
№ варианта	порядковый номер входного импульса счетного модуля																		
	0	1	2	...	M-2	M-1	M	M+1	M+2	...	2M-1	2M	2M+1	2M+2	...	3M-1	3M	3M+1	3M+2
1	0	1	2	...	M-2	M-1	M	M+1	M+2	...	1	0	1	2	...	M-1	M	M+1	M+2
2	0	1	2	...	M-2	M-1	M	M	M	...	M	0	1	2	...	M-1	M	M	M
3	0	1	2	...	M-2	M-1	M	M	M	...	M	M	M-1	M-2	...	1	0	1	2
4	0	1	2	...	M-2	M-1	0	0	0	...	0	0	1	2	...	M-1	0	0	0
5	0	1	2	...	M-2	M-1	M	M-1	M-2	...	1	0	0	0	...	0	0	1	2
6	0	1	2	...	M-2	M-1	0	0	0	...	0	0	0	0	...	0	0	1	2
7	0	0	0	...	0	0	0	1	2	...	M-1	M	M-1	M-2	...	1	0	0	0
8	0	1	2	...	M-2	M-1	M	M	M	...	M	0	0	0	...	0	0	1	2
9	0	0	0	...	0	0	0	1	2	...	M-1	M	0	0	...	0	0	0	0
10	0	1	2	...	M-2	M-1	0	1	2	...	M-1	0	0	0	...	0	0	1	2

Рисунок 1 – Варианты

3. Описание концепции разработки проекта.

Программа имеет 1 выход и 2 входа: для тактовых импульсов и для входа сброса.

В начале программы устанавливаются начальные значения: 0 для состояния, 0 для выхода и 9 для Q - счётчика состояния «1».

Используется оператор always с чувствительностью к положительному фронту тактовых импульсов или к импульсу сброса. В начале идёт проверка на этот самый сброс. Если импульс сброса есть, то на выходе сигнал нулевой, остальные значения приводятся к начальным.

В программе предполагается 3 состояния (state). Состояние «0» отвечает за счёт до M (в данном случае 10), состояние «1» отвечает за вывод числа M, состояние «2» отвечает за вывод 0.

Далее идёт проверка на значение выходного сигнала. При состоянии «0», значение выходного сигнала повышается на 1 до M, при достижении M состояние меняется на «1».

При состоянии «1» на выход идёт значение M, которое мы досчитали в конце состояния «0». Значение это выходит, пока счётчик уменьшается на 1 и не дойдёт до 0. После этого выходному сигналу присваивается 0 (в соответствии с вариантом), состояние меняется на «2», счётчику Q присваивается значение 8 для счёта в состоянии «2».

При состоянии «2» на выход идёт значение 0, которое мы задали после окончания работы состояния «1». Значение это выходит, пока счётчик уменьшается на 1 и не дойдёт до 0. После этого, состояние меняется на «0», счётчику Q присваивается значение 9 для счёта в состоянии «1».

Моделирование проводится с помощью файла testbench в Modelsim. В файле с помощью always задаётся тактовый генератор с длительностью 0 и 1 в 20нс.

4. Листинг программы, реализующей заданную по варианту функциональность устройства в среде Quartus.

Файл проекта lr6_1.sv

```
module lr6_1 (input clk, input reset, output reg [3:0] vixod);
reg [1:0] state;
reg [3:0] Q;
initial state <= 2'b00;
initial vixod <= 4'b0000;
initial Q <= 4'b1000;
always @(posedge clk or posedge reset) begin
if (reset) begin vixod=4'b0000;
                state <= 2'b00;
                Q <= 4'b1000;
            end
end
else begin
if (state == 2'b00) begin
if (vixod <= 9) begin
vixod <= vixod + 1;
```

```

end
else state <= 2'b01;
end
else if (state == 2'b01) begin
if ( Q > 0) begin
Q <= Q - 1;
end
else begin
state <= 2'b10;
vixod <=4'b0000;
Q<=4'b1001;
end
end
else if (state == 2'b10) begin
vixod<= 4'b0000;
if ( Q > 0) begin
Q <= Q - 1;
end
else begin
state <= 2'b00;
Q <=4'b1000;
end
end
end
end
endmodule

```

Файл testbench lr6_1_test.sv

```

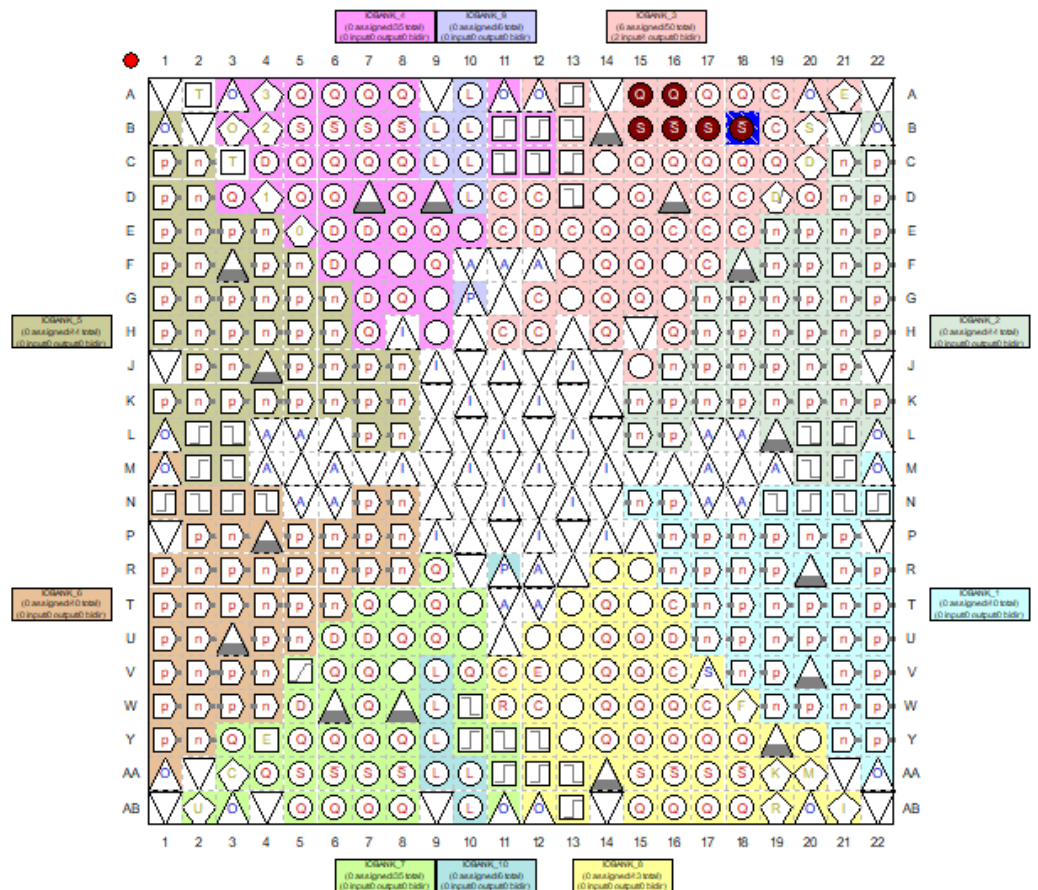
`timescale 1ns/1ps
module lr6_1_test;

```

```
logic clk;  
logic reset;  
reg [3:0] vixod;  
  
lr6_1 u1(  
    .clk(clk),.reset(reset),.vixod(vixod));  
  
always begin  
    clk=1;#20;clk=0;#20;  
end  
endmodule
```

5. Информация о назначении выводов ПЛИС для проекта

Top View - Flip Chip Stratix II - EP2S15F484C3



Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard
clk	Input	PIN_A15	3	B3_N0	3.3-V LVTTTL (default)
reset	Input	PIN_A16	3	B3_N0	3.3-V LVTTTL (default)
vixod[3]	Output	PIN_B15	3	B3_N0	3.3-V LVTTTL (default)
vixod[2]	Output	PIN_B16	3	B3_N0	3.3-V LVTTTL (default)
vixod[1]	Output	PIN_B17	3	B3_N0	3.3-V LVTTTL (default)
vixod[0]	Output	PIN_B18	3	B3_N0	3.3-V LVTTTL (default)

Рисунок 2 – Назначение выводов ПЛИС

6. Временные диаграммы работы проекта в среде Modelsim

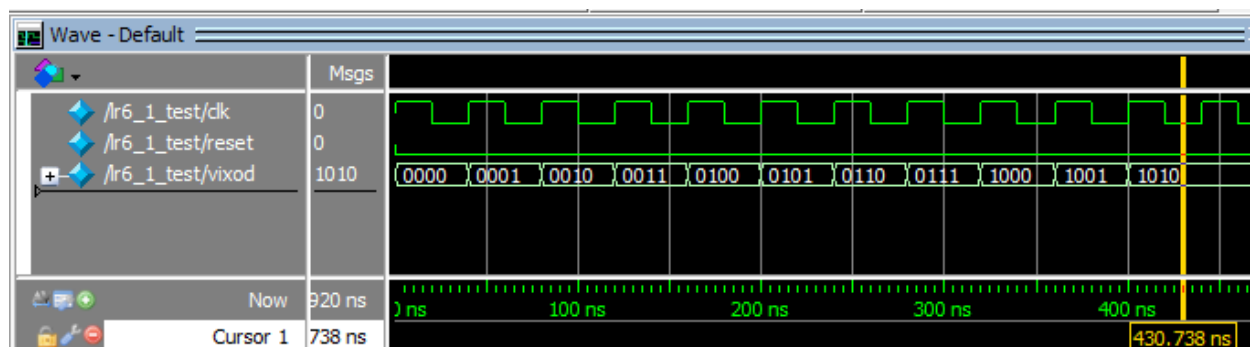




Рисунок 3 (а, б, в) – Временная диаграмма

6. Перечисление ошибок, творческих идей, приводящих в тупик, если таковые появлялись в процессе работы, и методов, применённых для их устранения.

Ошибок не было.

7. Выводы.

Был разработан проект модуля счетного устройства, работающего по заданному алгоритму, в среде программирования Quartus, используя языки описания аппаратуры. Было реализовано моделирование проекта в среде Modelsim.

8. Список используемых источников.

1. Методические указания по ЛР№6 [Электронный ресурс], URL - <https://pro.guap.ru/inside/student/tasks/43730981ca7ca6713e1a6eadb8e83b51/download>
2. Лекция по схемотехнике от 11 марта 2024г. [Электронный ресурс], URL - <https://bbb1.guap.ru/playback/presentation/2.3/4e99f54650dea30ef1dc263d08fafdd7f0c36944-1710157682528>