## ГУАП

## КАФЕДРА № 44

| ОТЧЕТ<br>ЗАЩИЩЕН С ОЦЕНКОЙ<br>ПРЕПОДАВАТЕЛЬ                     |                |                  |                   |
|---|----------------|------------------|-------------------|
| доцент, канд. техн. науг<br>доцент                              | ζ,             |                  | А. А. Востриков   |
| должность, уч. степень, зван                                    | ие под         | пись, дата       | инициалы, фамилия |
|   | ОТЧЕТ О ЛАБОРА | ТОРНОЙ РАБОТЕ №4 |                   |
| Лабораторная работа №4  |                |                  |                   |
| по курсу: Проектирование систем обработки и передачи информации |                |                  |                   |
|   |                |                  |                   |
|   |                |                  |                   |
|   |                |                  |                   |
|   |                |                  |                   |
| РАБОТУ ВЫПОЛНИЛ   |                |                  |                   |
| СТУДЕНТ ГР. №   | 4143           |                  | А. М. Гридин      |
|   |                | подпись, дата    | инициалы, фамилия |

Санкт-Петербург 2024

- 1. Цель работы: проверка работоспособности разработанных в предыдущих лабораторных работах цифровых узлов на макетной плате с установленной PLD Altera, изучение средств среды Quartus по созданию программных образов для PLD и программированию PLD, отладка созданной схемотехники.
- 2. Задание: выбрать один из вариантов реализации своего цифрового узла и провести необходимую модификацию для использования в макете, с использованием ПО Quartus назначить портам разработанного проекта фактические выводы PLD, создать программный образ (конфигурацию) для PLD, запрограммировать PLD на макетной плате. Проверить работоспособность схемы и, при необходимости, отладить.
- **3. Вариант задания:** «Бегущая змейка» сегментов на двух семисегментных индикаторах.

## 4. Ход работы

Для проверки работоспособности цифрового узла была выбрана блоксхема. Т.к. частота тактового генератора на макете  $\approx 25$  Мгц (40 нс), чо блоксхему надо подготовить к данной частоте. В моей работе змейка будет обновляться каждые 0.2 секунды, значит мне потребуется счётчик с основанием  $5*10^6$ . Сигнал соц, который выдает 1 при сбрасывании счётчика, идёт на счётчик, который изначально был в проекте. Обновлённая блок-схема показана на рисунке 1.

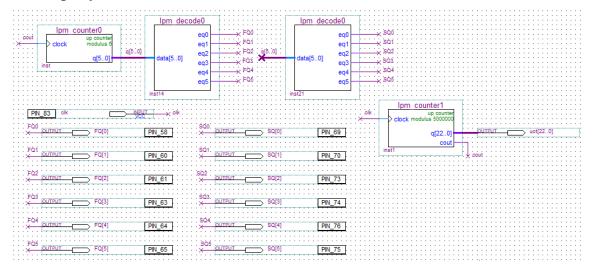


Рисунок 1 – Блок-схема

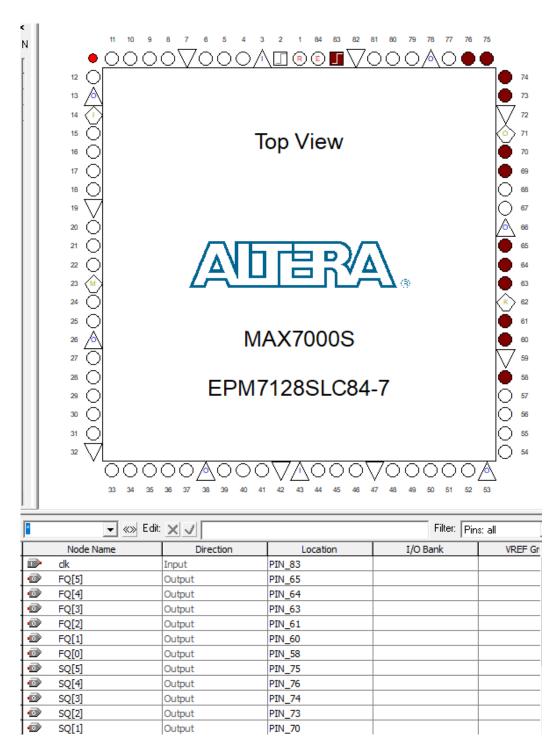


Рисунок 2 – Назначение пинов

На рисунках 3-6 показана работа на плате.



a)







Рисунок 3 (а, б, в, г) – Работа на плате

**Вывод:** в результате выполнения лабораторной работы была проверена работоспособность разработанных в предыдущих лабораторных работах цифровых узлов на макетной плате с установленной PLD Altera, были изучены средства среды Quartus по созданию программных образов для PLD и программированию PLD, отладке созданной схемотехники.