ГУАП

КАФЕДРА № 44

ОТЧЕТ
ЗАЩИЩЕН С ОЦЕНКОЙ

ПРЕПОДАВАТЕЛЬ

| доц., канд. техн. наук, доц. | | О. О. Жаринов |
|---|---|---|
| должность, уч. степень, звание | подпись, дата | инициалы, фамилия |

# ОТЧЕТ О ЛАБОРАТОРНОЙ РАБОТЕ

# РАЗРАБОТКА ФОРМИРОВАТЕЛЯ ИМПУЛЬСНОЙ ПОСЛЕДОВАТЕЛЬНОСТИ С ЗАДАННЫМИ СВОЙСТВАМИ

по курсу: СХЕМОТЕХНИКА

РАБОТУ ВЫПОЛНИЛ

| СТУДЕНТ ГР. № | 4143 | | А. М. Гридин |
|---|---|---|---|
| | | подпись, дата | инициалы, фамилия |

Санкт-Петербург 2023

**1. Цель работы**

Разработать проект формирователя импульсной последовательности с заданными свойствами в среде программирования Quartus.

**2. Вариант задания**

Вариант № 1. $К_{нач}$=0, $К_1$=3, $К_0$=14

**3. Обобщенная структурная схема формирователя и описание концепции проектирования.**

Берем 17-разрядный Shift Register и составляем таблицу истинности. Сначала для одного полного периода выходного сигнала, но потом нужно продолжить до появления повторения строчки – тогда таблица будет заполнена. Составляем логическое выражение Dsi и сокращаем по возможности. Строим схему с помощью D-триггеров.

**4. Таблица истинности, необходимая для реализации формирователя импульсной последовательности.**

| № | Dsi | Q0 | Q1 | Q2 | Q3 | Q4 | Q5 | Q6 | Q7 | Q8 | Q9 | Q10 | Q11 | Q12 | Q13 | Q14 | Q15 | Q16 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| **0** | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| **1** | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| **2** | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| **3** | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| **4** | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| **5** | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| **6** | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| **7** | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| **8** | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| **9** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| **10** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| **11** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| **12** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |

| | | | | | | | | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| **13** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| **14** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 |
| **15** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| **16 -** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| **17** | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| **18** | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| **19** | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| **20** | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

Таблица 1 – Таблица истинности

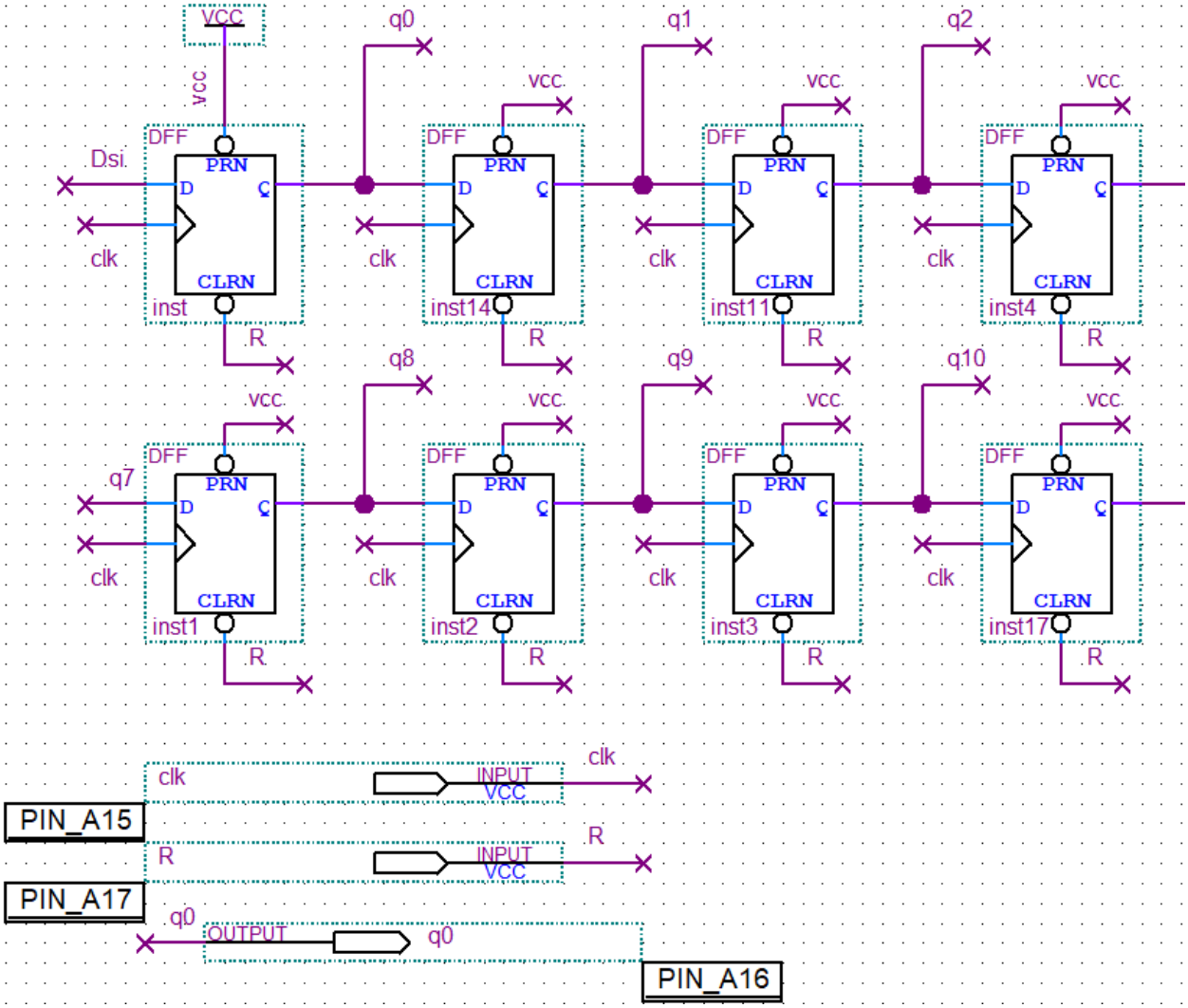
Итого Dsi=$\overline{Q2} \bullet \overline{Q3} \bullet \overline{Q4} \bullet \overline{Q5} \bullet \overline{Q6} \bullet \overline{Q7} \bullet \overline{Q8} \bullet \overline{Q9} \bullet \overline{Q10} \bullet \overline{Q11} \bullet \overline{Q12} \bullet \overline{Q13}$

**5. Логические выражения, включая промежуточные выкладки, выполняемые в процессе минимизации**

Dsi=$\overline{Q2} \bullet \overline{Q3} \bullet \overline{Q4} \bullet \overline{Q5} \bullet \overline{Q6} \bullet \overline{Q7} \bullet \overline{Q8} \bullet \overline{Q9} \bullet \overline{Q10} \bullet \overline{Q11} \bullet \overline{Q12} \bullet \overline{Q13} =$

$$\overline{Q2 + Q3 + Q4 + Q5 + Q6 + Q7 + Q8 + Q9 + Q10 + Q11 + Q12 + Q13}$$

**6. Схема устройства в графическом формате в среде Quartus**


VCC
vcc
q0
q1
q2
Dsi
DFF
PRN
D
Q
CLRN
clk
inst
inst14
inst11
inst4
R
q8
q9
q10
q7
inst1
inst2
inst3
inst17
PIN_A15
INPUT
VCC
PIN_A17
OUTPUT
PIN_A16

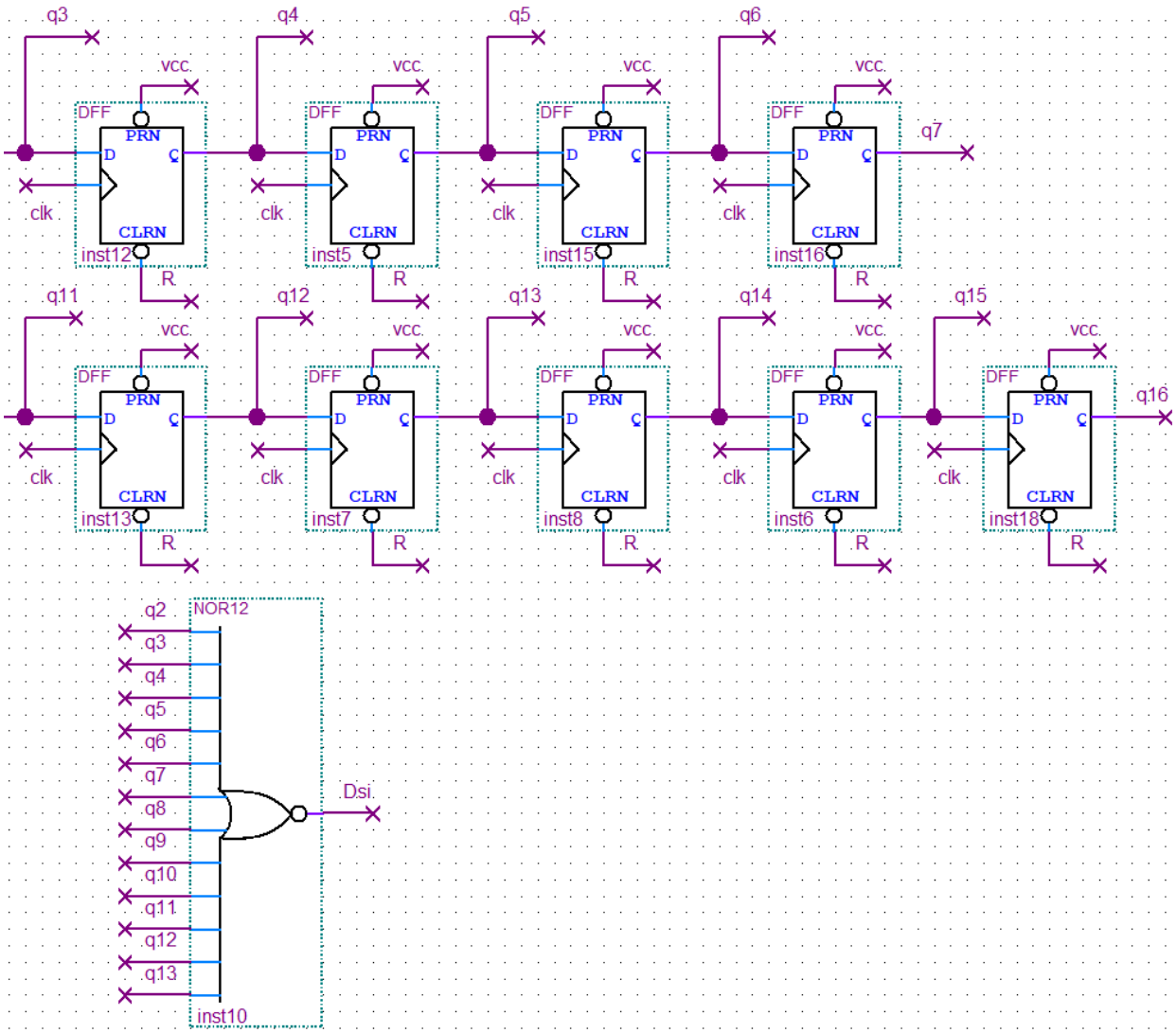
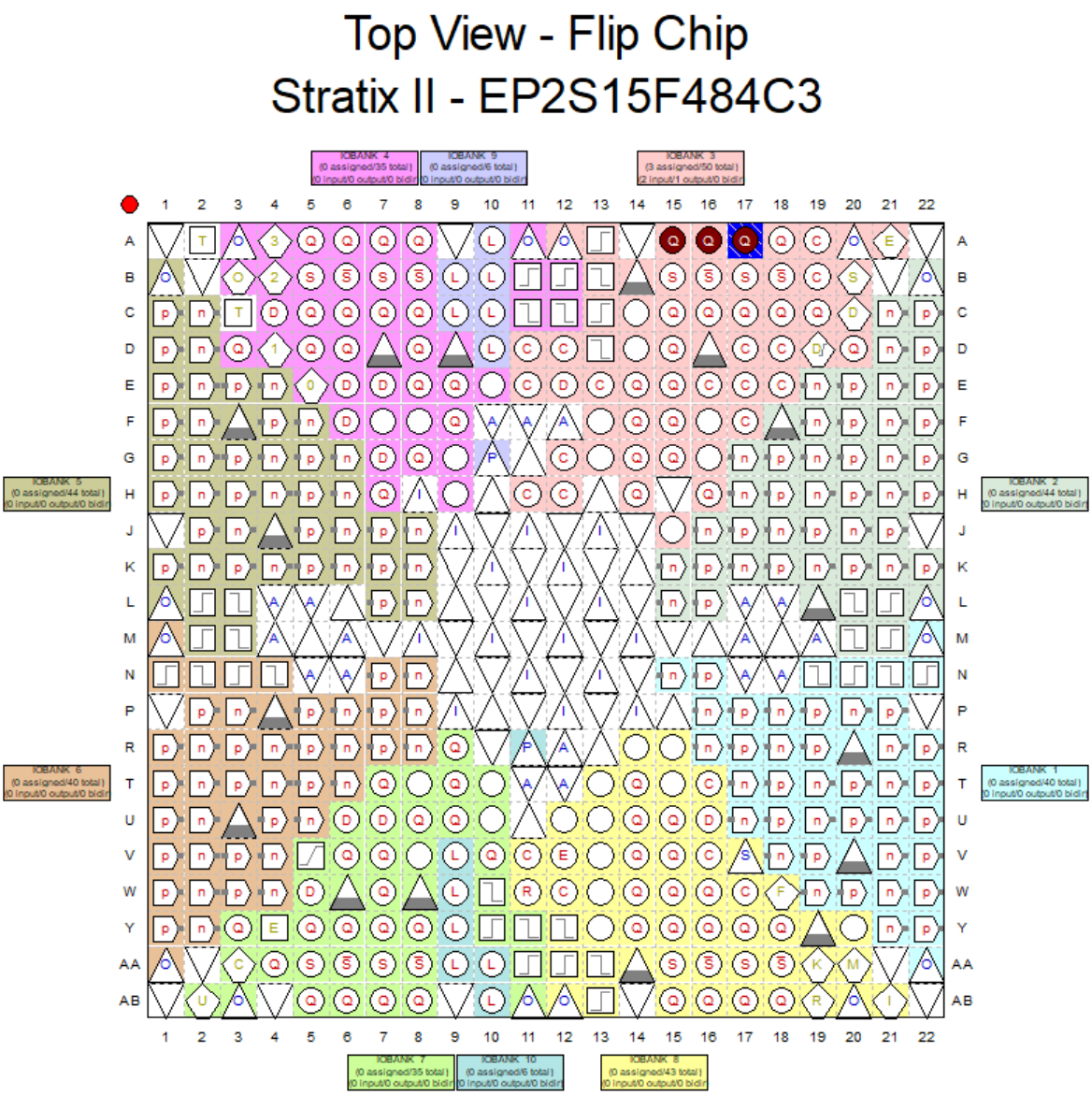



Рисунок 2 (а, б) – Схема формирователя импульсной последовательности




Edit: PIN_A17 Filter: Pins: all

| Node Name | Direction | Location | I/O Bank | VREF Group | I/O Standard | Reserved |
|---|---|---|---|---|---|---|
| clk | Input | PIN_A15 | 3 | B3_N0 | 3.3-V LVTTL (default) | |
| q0 | Output | PIN_A16 | 3 | B3_N0 | 3.3-V LVTTL (default) | |
| R | Input | PIN_A17 | 3 | B3_N0 | 3.3-V LVTTL (default) | |

Рисунок 3 – Назначение выводов ПЛИС

## 7. Временная диаграмма работы схемы в среде Quartus.

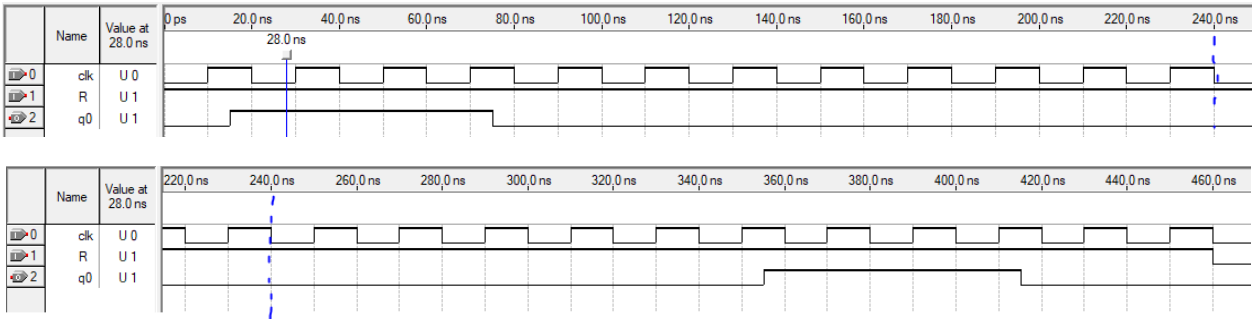



Рисунок 4 (а, б) – Временная диаграмма работы счётчика

**8. Перечисление ошибок, если они возникали в процессе работы и методов, примененных для их устранения**

Ошибок не было.

**9. Выводы.**

Был разработан проект формирователя импульсной последовательности с заданными по варианту свойствами в среде программирования Quartus на основе ПЛИС EP2S15F484C3.

**10. Список используемых источников.**

1 Лекция по схемотехнике от 2 октября 2023г. [Электронный ресурс], URL -
https://bbb1.guap.ru/playback/presentation/2.3/4c800ed744e4bb6dc2cb64a2fccc97aec30a6f96-1696247641468