



МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«МИРЭА – Российский технологический университет»

РТУ МИРЭА

Институт информационных технологий
Кафедра вычислительной техники (ВТ)

ОТЧЕТ
ПО ПРАКТИЧЕСКОЙ РАБОТЕ №2
«Графический ввод схемы и симуляция в САПР QUARTUS II и
описание логических схем при помощи языка AHDL»
по дисциплине
«Архитектура вычислительных машин и систем»

Выполнил студент группы ИКБО-15-22

Оганнисян Григор Амбрацумович

Принял преподаватель кафедры ВТ

Рыжова Анастасия Андреевна

Практическая работа выполнена

«__» _____ 2022 г.

«Зачтено»

«__» _____ 2022 г.

Москва 2022

Содержание

Цель работы	3
Постановка задачи	3
Теоретический блок	4
Таблица истинности.....	5
Реализация схем и кодов.....	7
Вывод.....	9

Цель работы

Спроектировать логическую схему при помощи графического редактора САПР QUARTUS II. Исследовать работу схемы с использованием сигнального редактора САПР QUARTUS II.

Практическое применение навыков описания цифровых схем с помощью языка описания аппаратуры AHDL. Смоделировать логическую схему при помощи текстового редактора САПР QUARTUS II.

Постановка задачи

Нарисовать логический узел в графическом редакторе и сделать его описание при помощи текстового редактора, произвести симуляцию работы, зарисовать диаграммы работы и по их результатам заполнить таблицу истинности схемы.

№ варианта: 22 (3хcompare A<B)

Теоретический блок

Мультиплексор – комбинационная схема, обладающая N адресными входами, 2^N информационными входами, одним (необязательным) разрешающим входом и одним выходом. Это управляемый переключатель, в котором сигнал с одного из информационных входов подается на выход под управлением адресных входов по следующему принципу: сигнал подается с того информационного входа, номер которого в виде двоичного числа подан на адресные.

Мультиплексоры традиционно применяются:

- В качестве коммутатора N к 1 для преобразования параллельного кода в последовательный (для поочередного подключения многих источников информации к одному потребителю).
- «Ленивая» реализация логических функций при возможности пренебрежения минимизацией

Таблица истинности

Таблица 1 – Таблица истинности

A0	A1	A2	B0	B1	B2	A<B
0	0	0	0	0	0	0
0	0	0	0	0	1	1
0	0	0	0	1	0	1
0	0	0	0	1	1	1
0	0	0	1	0	0	1
0	0	0	1	0	1	1
0	0	0	1	1	0	1
0	0	0	1	1	1	1
0	0	1	0	0	0	0
0	0	1	0	0	1	0
0	0	1	0	1	0	1
0	0	1	0	1	1	1
0	0	1	1	0	0	1
0	0	1	1	0	1	1
0	0	1	1	1	0	1
0	0	1	1	1	1	1
0	1	0	0	0	0	0
0	1	0	0	0	1	0
0	1	0	0	1	0	0
0	1	0	0	1	1	1
0	1	0	1	0	0	1
0	1	0	1	0	1	1
0	1	0	1	1	0	1
0	1	0	1	1	1	1
0	1	1	0	0	0	0
0	1	1	0	0	1	0
0	1	1	0	1	0	0
0	1	1	0	1	1	0
0	1	1	1	0	0	1
0	1	1	1	0	1	1
0	1	1	1	1	0	1
0	1	1	1	1	1	1
1	0	0	0	0	0	0
1	0	0	0	0	1	0
1	0	0	0	1	0	0
1	0	0	0	1	1	0
1	0	0	1	0	0	0
1	0	0	1	0	1	1
1	0	0	1	1	0	1
1	0	0	1	1	1	1
1	0	1	0	0	0	0
1	0	1	0	0	1	0

1	0	1	0	1	0	0
1	0	1	0	1	1	0
1	0	1	1	0	0	0
1	0	1	1	0	1	0
1	0	1	1	1	0	1
1	0	1	1	1	1	1
1	1	0	0	0	0	0
1	1	0	0	0	1	0
1	1	0	0	1	0	0
1	1	0	0	1	1	0
1	1	0	1	0	0	0
1	1	0	1	0	1	0
1	1	0	1	1	0	0
1	1	0	1	1	1	1
1	1	1	0	0	0	0
1	1	1	0	0	1	0
1	1	1	0	1	0	0
1	1	1	0	1	1	0
1	1	1	1	0	0	0
1	1	1	1	0	0	0
1	1	1	1	0	1	0
1	1	1	1	1	0	0
1	1	1	1	1	1	0

Реализация схем и кодов

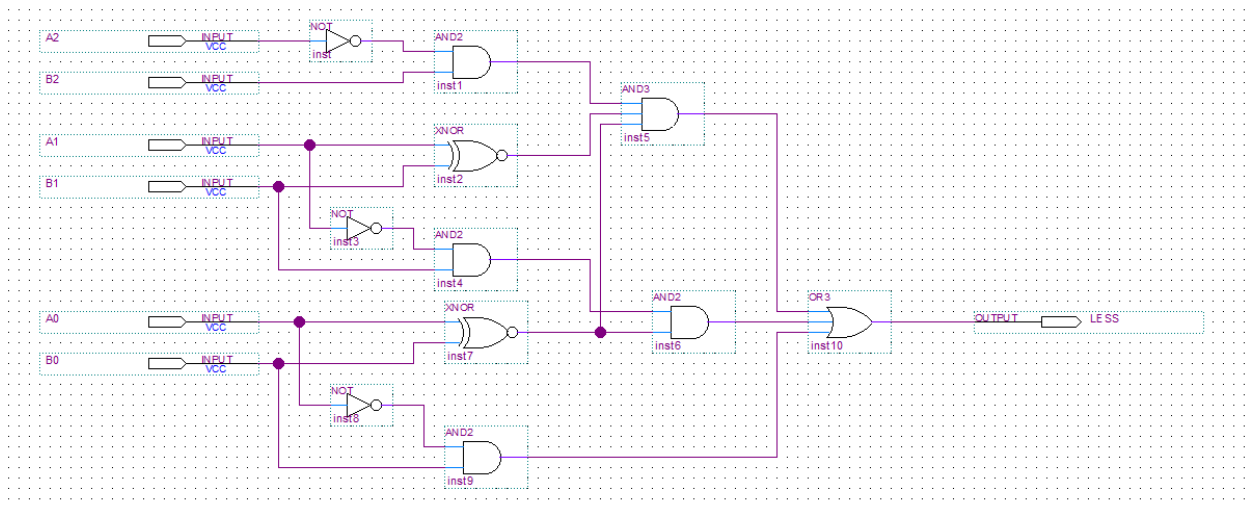


Рисунок 1 – Логическая схема

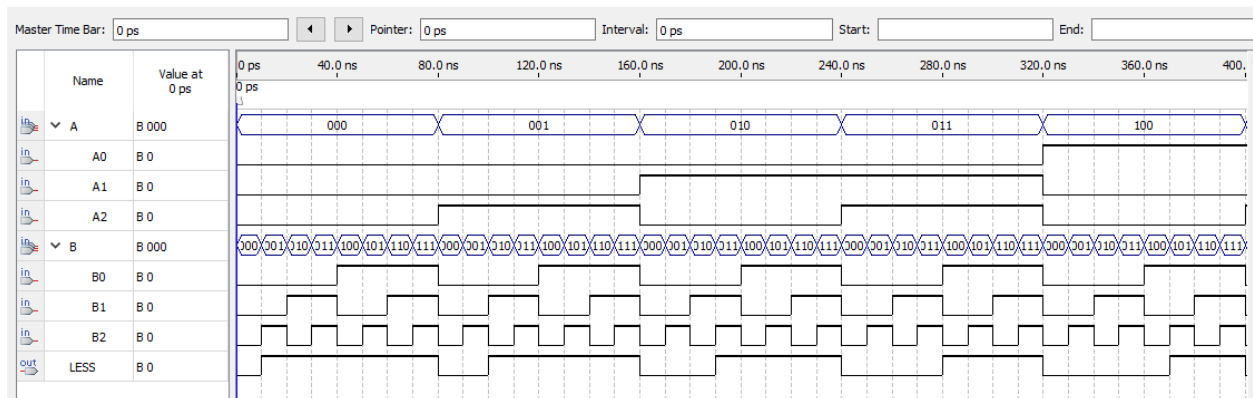


Рисунок 2 – Временная диаграмма для логической схемы

```

subdesign 'LAB_2_2' (
    a0,a1,a2,b0,b1,b2 : input;
    y : output;
)
begin
    y = (((!a2 and b2) and (a1 XNOR b1) and (a0 XNOR b0)) or ((!a1 and b1) and (a0 XNOR b0)) or (!a0 and b0));
end;

```

Рисунок 3 – Код, реализующий логическую схему

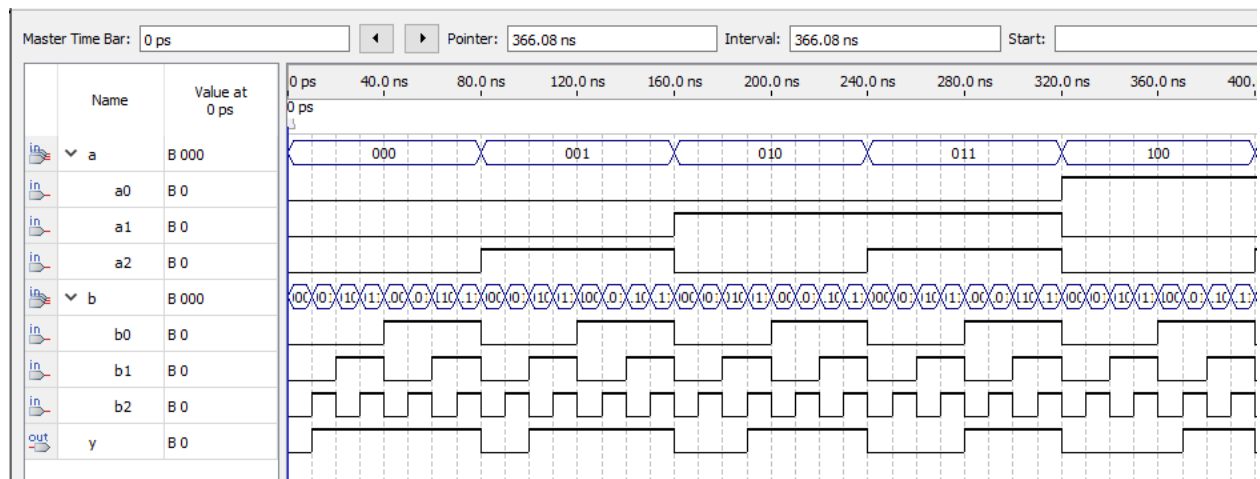


Рисунок 4 – Временная диаграмма для кода

Вывод

Были закреплены и применены навыки по работе с графическим и текстовым редакторами САПР QUARTUS II. Реализована логическая схема в обоих редакторах, произведена симуляция работы, зарисована диаграмма работы и построена таблица истинности. Результаты, полученные в первой работе, совпали с результатами второй.