



МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ
ФЕДЕРАЦИИ Федеральное государственное бюджетное образовательное
учреждение высшего образования «МИРЭА – Российский технологический
университет»

РТУ МИРЭА

Институт информационных технологий Кафедра
вычислительной техники (ВТ)

ОТЧЕТ ПО ПРАКТИЧЕСКОЙ РАБОТЕ №3

«Графический ввод схемы из библиотеки
логических элементов и симуляция в САПР
QUARTUS II» по дисциплине
«Архитектура вычислительных машин и систем»

Выполнил студент группы ИКБО-15-22

Оганнисян Григор Амбарцумович

Принял преподаватель кафедры ВТ

Рыжова Анастасия Андреевна

Практическая работа выполнена

«__»_____ 2023 г.

«Зачтено»

«__»_____ 2023 г.

Москва 2023
Содержание

Цель работы	3
Постановка задачи	3
Теоретический блок.....	4
Таблица истинности.....	5
Схема и условное графическое обозначение	Ошибка! Закладка не определена.
Реализация схемы	7
Вывод.....	8

Цель работы

Практическое применение навыков по проектированию и настройке логических схем в графическом редакторе САПР QUARTUS II. Исследование работы схемы с использованием сигнального редактора САПР QUARTUS II.

Постановка задачи

Спроектировать логическую схему в графическом редакторе САПР QUARTUS II с использованием компонентов из стандартной библиотеки узлов. Исследовать работу схему с использованием сигнального редактора.

№ варианта: 22 (3xcompare A<B)

Теоретический блок

Компаратор - это комбинационная схема, способная сравнивать два входных сигнала и выдавать результат сравнения. Он обычно имеет два N-битных входа для сравнения, N выходов для сигнализации о результатах сравнения, а также дополнительные управляющие входы для настройки его работы.

Компараторы традиционно применяются:

- Для сравнения двух чисел или данных и выдачи сигнала о том, какое из них больше, меньше или равно.
- В различных цифровых системах для выполнения различных операций, таких как сравнение и управление потоком данных.

Таблица истинности

Таблица 1 – Таблица истинности двухразрядного мультиплексора

A0	A1	A2	B0	B1	B2	A<B
0	0	0	0	0	0	0
0	0	0	0	0	1	1
0	0	0	0	1	0	1
0	0	0	0	1	1	1
0	0	0	1	0	0	1
0	0	0	1	0	1	1
0	0	0	1	1	0	1
0	0	0	1	1	1	1
0	0	1	0	0	0	0
0	0	1	0	0	1	0
0	0	1	0	1	0	1
0	0	1	0	1	1	1
0	0	1	1	0	0	1
0	0	1	1	0	1	1
0	0	1	1	1	0	1
0	0	1	1	1	1	1
0	1	0	0	0	0	0
0	1	0	0	0	1	0
0	1	0	0	1	0	0
0	1	0	0	1	1	1
0	1	0	1	0	0	1
0	1	0	1	0	1	1
0	1	0	1	1	0	1
0	1	0	1	1	1	1
0	1	1	0	0	0	0
0	1	1	0	0	1	0
0	1	1	0	1	0	0
0	1	1	0	1	1	0
0	1	1	1	0	0	1
0	1	1	1	0	1	1
0	1	1	1	1	0	1
0	1	1	1	1	1	1
1	0	0	0	0	0	0
1	0	0	0	0	1	0
1	0	0	0	1	0	0
1	0	0	0	1	1	0
1	0	0	1	0	0	0
1	0	0	1	0	1	1
1	0	0	1	1	0	1
1	0	0	1	1	1	1
1	0	1	0	0	0	0

1	0	1	0	0	1	0
1	0	1	0	1	0	0
1	0	1	0	1	1	0
1	0	1	1	0	0	0
1	0	1	1	0	1	0
1	0	1	1	1	0	1
1	0	1	1	1	1	1
1	1	0	0	0	0	0
1	1	0	0	0	1	0
1	1	0	0	1	0	0
1	1	0	0	1	1	0
1	1	0	1	0	0	0
1	1	0	1	0	1	0
1	1	0	1	1	0	0
1	1	0	1	1	1	1
1	1	1	0	0	0	0
1	1	1	0	0	1	0
1	1	1	0	1	0	0
1	1	1	0	1	1	0
1	1	1	1	0	0	0
1	1	1	1	0	1	0
1	1	1	1	1	0	0
1	1	1	1	1	0	0
1	1	1	1	1	1	0
1	1	1	1	1	1	0
1	1	1	1	1	1	0

Реализация схемы

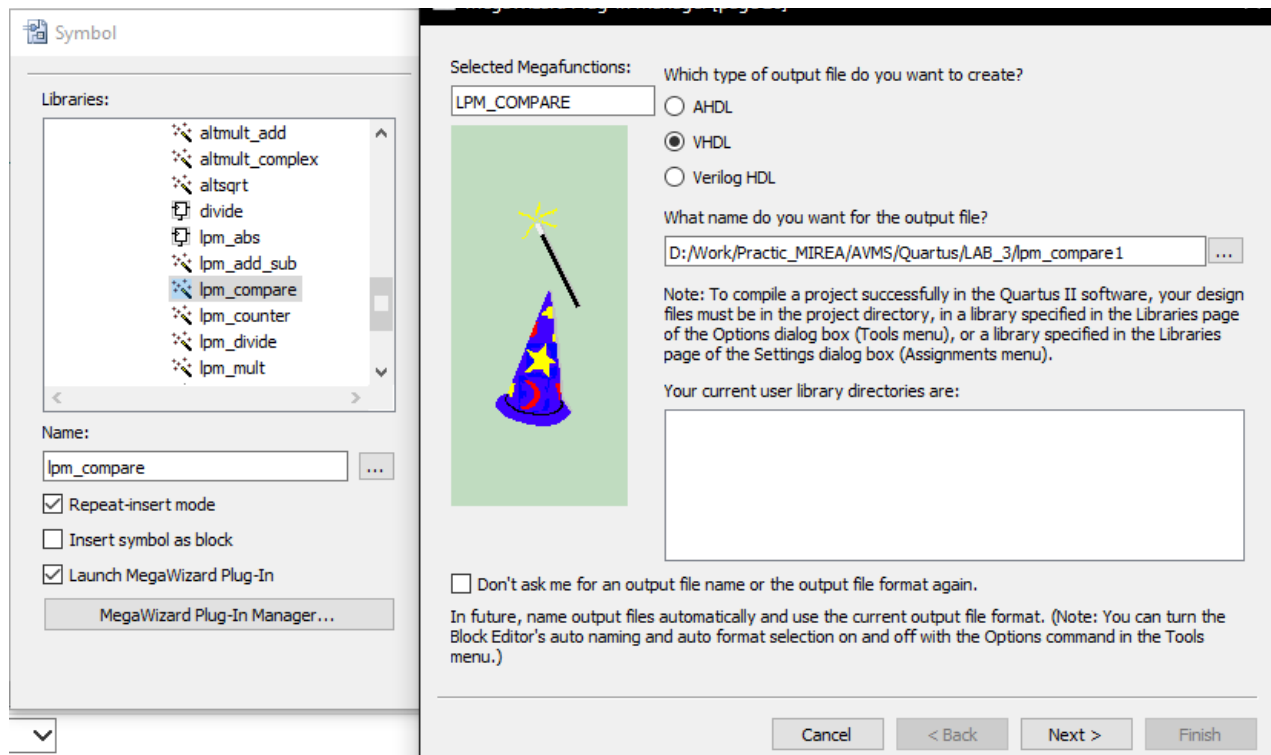


Рисунок 1 – Процесс создания параметрического элемента

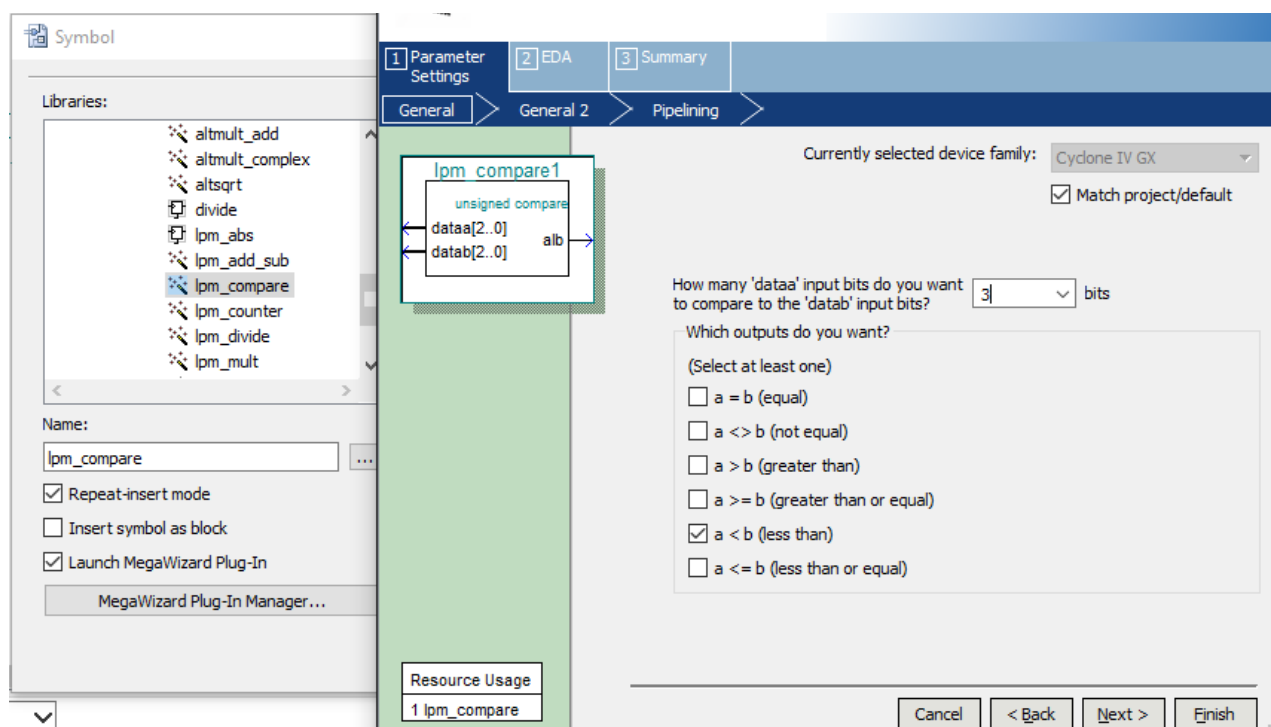


Рисунок 2 – Процесс создания параметрического элемента

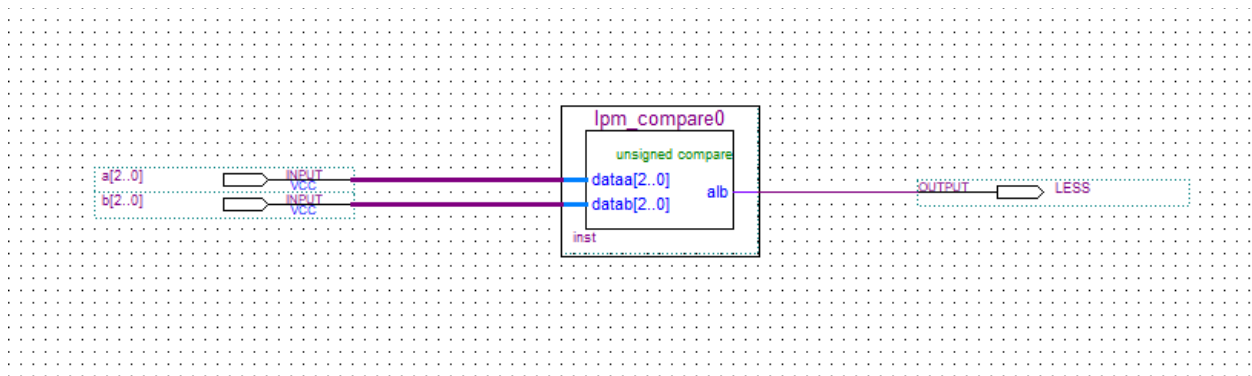


Рисунок 3 – Логическая схема

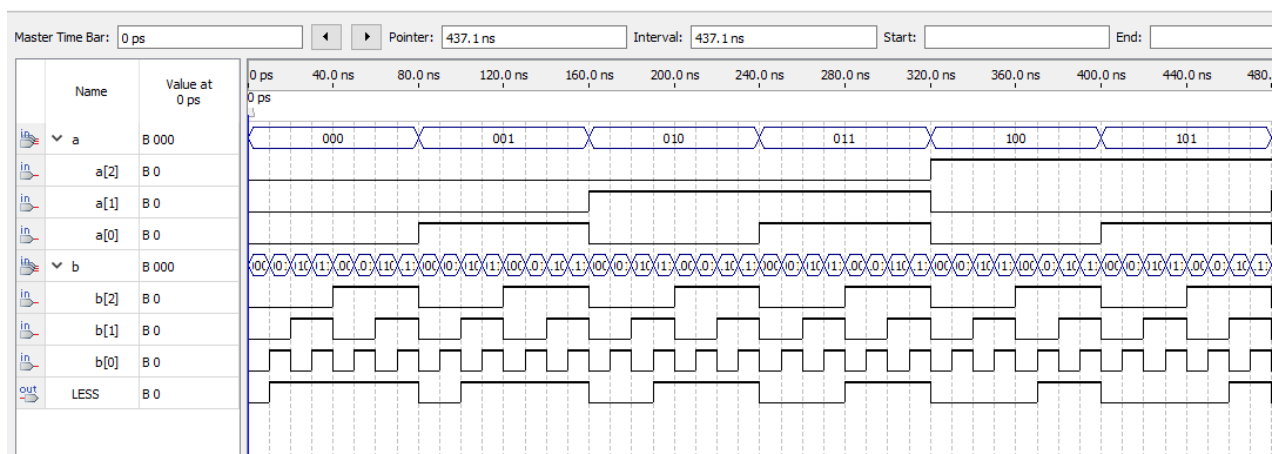


Рисунок 4 – Временная диаграмма для логической схемы

Вывод

Были закреплены и применены навыки по работе с графическим редактором САПР QUARTUS II. Изучены принципы работы со стандартной библиотекой логических узлов, их настройки и тестированию спроектированных схем. Реализована логическая схема, произведена симуляция работы, зарисована диаграмма работы и построена таблица истинности.