ՀՏԴ

Գ. Ս. Խաչատրյան

**ԼՈՂԱՑՈՂ ՍՏՈՐԱԿԵՏՈՎ ԹՎԵՐԻ ԳՈՒՄԱՐՈՒՄ ԵՎ ՀԱՆՈՒՄ ԳՈՐԾՈՂՈՒԹՅՈՒՆՆԵՐԻ ՄՇԱԿՈՒՄԸ ԹՎԱՅԻՆ ՀԱՄԱԿԱՐԳԵՐՈՒՄ՝ ԸՍՏ IEEE 754 ՍՏԱՆԴԱՐՏԻ**

Թվային համակարգերում կան թվերի պահպանման և դրանց հետ գործողությունների կատարման մեխանիզմներ։ Տեխնոլոգիաների զարգացումը հանգեցրեց նրան, որ թվային համակարգերում անհրաժեշտություն առաջացավ ամբողջ թվերի հետ մեկտեղ պահպանել նաև իրական թվերի բազմությանը պատկանող թվեր։ Մշակվեցին և զարգացվեցին տարբեր մեթոդներ, որն ի վերջո հանգեցրեց ստանդարտացման։ Մշակվեց և կիրառվեց IEEE 754 ստանդարտը, որն ընկած է ներկայիս թվային համակարգերի գերակշռող մասի աշխատանքի հիմքում։ Սույն հոդվածում նկարագրված է նշված ստանդարտի հիման վրա ներկայացված թվերի գումարման և հանման գործողությունները՝ Verilog ապարատային նկարագրման լեզվով։ Մշակված են նաև սիմուլյացիոն մոդելները, դրանց վրա հիմնված փորձերի արդյունքները։ Հոդվածում նկարագրված է համակարգի մոդուլային կառուցվածքը, յուրաքանչյուր մոդուլի առանձին նկարագրությունն ու աշխատանքի սիմուլյացիան։ Սիմուլյացիայի համար օգտագործվել է «Mentor Graphics» ընկերության «ModelSim» ծրագրի «Student Edition» տարբերակը, որը նախատեսված է ուսանողների՝ ակադեմիական դասընթացներում օգտագործելու համար՝ 180 օր տրվող անվճար լիցենզիայով։

Հոդվածում նկարագրված գումարիչի կիրառությունները բազմազան են։ Այն հնարավոր է սինթեզել և իրագործել FPGA -ների վրա։ Դրա կիրառումը անհարժեշտ կլինի այն համակարգերում, որտեղ կա աշխատանք իրական թվերի հետ, անհրաժեշտություն այդ թվերը մշակելու իրական ժամանակում՝ մեծ արագությամբ։ Հոդվածում նկարագրված այլագրի կիրառմամբ ստեղծված ապարատային համակարգերի արագագործությունը հնարավորություն է տալիս այն օգտագործել այնպիսի ոլորտներում, ինչպիսիք են, օրինակ, բժշկական սարքավորումներն ու ռազմարդյունաբերությունը։