

# Rezolvare of Problemă examen CN2 09.02.2015

Avem un procesor cu adrese pe 8 biți și o memorie cache de 16 octeți cu lungimea liniei de 2 octeți, datele fiind accesibile la nivel de octet. Timpul de acces în cazul unui hit este  $T_{hit} = 50$  ns și timpul de acces în cazul unui miss este  $T_{miss} = 250$  ns. Cât va dura următoarea secvență de cod și ce date se vor afla în cache dacă:

- A. Adresele sunt mapate direct
- B. Adresele sunt mapate set asociativ cu 2 căi și politica de înlocuire a liniilor este LRU
- C. Adresele sunt mapate full asociativ și politica de înlocuire a liniilor este FIFO

Ce date se vor afla în RAM la aceleași adrese (cele folosite în cod) după terminarea execuției în cele trei cazuri dacă politica de scriere în cache este write-through?

Se știe:

RAM[0x04] = 0;

RAM[0x05] = 1;

RAM[0x0A] = 2;

RAM[0x0B] = 3;

RAM[0x1A] = 4;

RAM[0x1B] = 5;

RAM[0x40] = 6;

RAM[0x41] = 7;

lds R<sub>19</sub>, 0x0A

lds R<sub>20</sub>, 0x0B

sts 0x40, R<sub>20</sub>

lds R<sub>20</sub>, 0x1A

lds R<sub>21</sub>, 0x05

sts 0x05, R<sub>19</sub>

lds R<sub>19</sub>, 0x0A

Observație: Pentru fiecare subpunct scrieți ce conține memoria RAM la adresele folosite în cod, ce se află în fiecare linie de cache la finalul execuției codului și timpul total de execuție. Puteți scrie timpul necesar fiecărei instrucțiuni (se punctează parțial).

A.

```
lds R19, 0x0A      ; miss
lds R20, 0x0B      ; hit
sts 0x40, R20      ; miss
lds R20, 0x1A      ; miss
lds R21, 0x05      ; miss
sts 0x05, R19      ; hit
lds R19, 0x0A      ; miss
```

Cache:

0: 0x40,	0x41
1: x,	x
2: 0x04,	0x05
3: x,	x
4: x,	x
5: <del>0x0A</del> <del>0x1A</del> 0x0A,	<del>0x0B</del> <del>0x1B</del> 0x0B
6: x,	x
7: x,	x

RAM:

RAM[0x40] = 3;

RAM[0x05] = 2;

$$T = 5 \cdot T_{\text{miss}} + 2 \cdot T_{\text{hit}} = 1350$$

B. b

```
lds R19, 0x0A      ; miss
lds R20, 0x0B      ; hit
sts 0x40, R20      ; miss
lds R20, 0x1A      ; miss
lds R21, 0x05      ; miss
sts 0x05, R19      ; hit
lds R19, 0x0A      ; hit
```

Cache:

0.0: 0x40,	0x41
0.1: x,	x
1.0: 0x0A,	0x0B
1.1: 0x1A,	0x1B
2.0: 0x04,	0x05
2.1: x,	x
3.0: x,	x
3.1: x,	x

RAM:

RAM[0x40] = 3;

RAM[0x05] = 2;

$$T = 4 \cdot T_{\text{miss}} + 3 \cdot T_{\text{hit}} = 1150$$

C. c

```
lds R19, 0x0A      ; miss
lds R20, 0x0B      ; hit
sts 0x40, R20      ; miss
lds R20, 0x1A      ; miss
lds R21, 0x05      ; miss
sts 0x05, R19      ; hit
lds R19, 0x0A      ; hit
```

Cache:

0: 0x0A,	0x0B
0: 0x40,	0x41
0: 0x1A,	0x1B
0: 0x04,	0x05
0: x,	x
0: x,	x
0: x,	x
0: x,	x

RAM:

RAM[0x40] = 3;

RAM[0x05] = 2;

$$T = 4 \cdot T_{\text{miss}} + 3 \cdot T_{\text{hit}} = 1150$$