

CARRERA	ASIGNATURA	Año	Régimen	Plan	Total Horas
Licenciatura en Sistemas	Arquitecturas de Computadoras II	2°	2° Cuatrimestre	071/08	60

EQUIPO DOCENTE:

PROFESOR	CATEGORÍA
RIBA, ALBERTO EDUARDO	Titular
	Asociado
	Adjunto
Jorge Tejada	Jefe de Trabajos Prácticos
	Ayudante de 1 ^{ra}
	Ayudante de 2 ^{da}

1. CONTENIDOS MÍNIMOS:

Entrada y Salida. Técnicas de Entrada Salida. Sistemas de Memoria. Memoria Caché. Implementación. Memoria Virtual. Dispositivos de Almacenamiento. Periféricos. Paralelismo y mejora de Prestaciones. Conceptos de paralelismo. Descripción de Procesadores CISC y RISC. Estructura de Placa Madre. Microcontroladores. Estructura. Sistemas de Desarrollo. Programación en Lenguaje Ensamblador. Procesadores de alta prestación. Arquitecturas Reconfigurables.

2. CONTENIDOS DE LA ASIGNATURA:

Unidad N° 1: Componentes de la Arquitectura

Contenidos:

Conceptos Introductorios. Repaso del funcionamiento básico. Modelo de Von Neumann y Harvard. Modos de direccionamiento. Ciclo de Instrucción. Set de instrucciones. Formato de Instrucción. Concepto de Arquitectura y Organización. Interrupciones tipos y tratamiento. Interrupciones múltiples y anidadas. Rendimiento métricas y métodos de evaluación. Ley de Amdahl. Benchmark. La Unidad de Control. Arquitecturas CISC y RISC. Evolución de la UC. Los Microcontroladores. Principios de funcionamiento. Programación de microcontroladores.

Bibliografía específica de la unidad:

- Organización y Arquitectura de Computadores — Williams Stallings: Capítulo 1 y 2.
- Organización de Computadores — Andrew S. Tanenbaum: Capítulo 1.

Unidad N° 2 Paralelismo a Nivel de Instrucción

Contenidos:

Paralelismo a nivel de instrucción y a nivel de procesador. Pipeline o segmentación de cauce. Características. Etapas del pipe MIPS-DLX. Arquitectura del MIPS 64. Lenguaje Assembler. Riesgos de la segmentación de cauce. Riesgos estructurales de datos y de control. Bifurcación de Saltos y Predicción de saltos. Operaciones multiciclo. Procesadores supersegmentados y superecalares. Estructuras de las Etapas. Política de emisión. Las estaciones de reserva. Ventajas y desventajas.

Bibliografía específica de la unidad:

- Organización y Arquitectura de Computadores — Williams Stallings: Unidad 8.
- Organización de Computadores — Andrew S. Tanenbaum: Apéndice A y B.

Unidad N° 3: Planificación y Predicción de Saltos

Contenidos:

Planificación Estática y Planificación Dinámica. El método del marcador. Algoritmo de Tomasulo. Ventajas y Desventajas de la Planificación. Implementación en arquitecturas actuales. Predicción de saltos. Técnicas dinámicas (Buffer de predicción de saltos, Buffer de destino de saltos y Predictores globales).

Bibliografía específica de la unidad:

- Organización y Arquitectura de Computadores — Williams Stallings: Capítulo 8.
- Organización de Computadores — Andrew S. Tanenbaum: Apéndice A y B.

Unidad N° 5: Memorias

Contenidos:

Tipos de memorias, clasificación. Parámetros característicos, tamaño, tiempo de acceso, costo, otros. Memoria principal, formas de organización. Memoria secundaria, organización y formato de datos. Organización jerárquica de la memoria. Métodos de detección y corrección de errores en memorias semiconductoras. Memoria Cache. Memoria Virtual.

Bibliografía específica de la unidad:

- Organización y Arquitectura de Computadores — Williams Stallings: Capítulo 4 y 5.
- Organización de Computadores — Andrew S. Tanenbaum: Capítulo 2 y 3.

Unidad N° 6: Buses y Entrada Salida

Contenidos:

Estructura de Interconexión. Concepto de Bus. Tipos de transferencias. Clasificación Funcional. Funcionamiento. Protocolo del Bus. Tipos de Buses. Ancho del Bus. Escalabilidad. Temporización: Bus Síncrono y Asíncrono. Mecanismos de Arbitraje: Centralizado y Descentralizado. Jerarquía de Buses. Ejemplos de Arquitectura de Buses. Periféricos. Diskettes, discos, cintas, impresoras, teclados, monitores, terminales. Estructura de las placas más comunes. Interface serie, paralelo, controladora de diskettes. Controladoras de video, tipos y características.

Bibliografía específica de la unidad:

- Organización y Arquitectura de Computadores — Williams Stallings: Capítulo 6.
- Organización de Computadores — Andrew S. Tanenbaum: Capítulo 2.

3. PROGRAMA DE TRABAJOS PRÁCTICOS:

Práctico N° 1: Evaluación de Rendimiento

Objetivo:

- Comprender el funcionamiento de los distintos sistemas de numeración posicionales en distintas bases.
- Manejar las técnicas de complemento para representar las restas como sumas.
- Comprender el funcionamiento de los distintos sistemas de codificación BCD, ASCII, EBCDIC).

Actividades a desarrollar:

Resolución de la guía ejercicios presentados en la guía.

Materiales (si fuera del caso):

Bibliografía de la materia.

Práctico N° 2: Aritmética del computador

Objetivo:

- Comprender la forma utilizada internamente por los computadores modernos para realizar los cálculos aritméticos.
- Aprender a representar y a operar utilizando los formatos normalizados IEEE 754.

Actividades a desarrollar:

Resolución de la guía ejercicios presentados en la guía.

Materiales (si fuera del caso):

Bibliografía de la materia.

Práctico N° 3: Métodos de Detección y Corrección de Errores

Objetivo:

- Comprender el funcionamiento de los distintos códigos de detección y corrección de errores.

Actividades a desarrollar:

Resolución de la guía ejercicios presentados en la guía.

Materiales (si fuera del caso):

Bibliografía de la materia.

4. BIBLIOGRAFÍA:

BIBLIOGRAFÍA BÁSICA			
TÍTULO	AUTOR(ES)	EDITORIAL	LUGAR Y AÑO DE EDICIÓN
Arquitectura de computadores - Un enfoque cuantitativo	Hennessy & Patterson	Mc Graw Hill	1° Edición
Organización y Arquitectura de Computadoras	William Stallings	Prentice Hall (5 ^{ta} Ed.)	Madrid 2000
BIBLIOGRAFÍA COMPLEMENTARIA			
TÍTULO	AUTOR(ES)	EDITORIAL	LUGAR Y AÑO DE EDICIÓN
Organización de Computadoras	Andrew Tanenbaum	Prentice Hall (4 ^{ta} Ed.)	México 2000
Estructura de Computadores y Periféricos	R. Martinez Durá	Alfaomega	2001

13. OBSERVACIONES:

--

CHILECITO, Provincia de La Rioja, 07 de Marzo de 2017

Profesor Titular