

1. Explique la diferencia entre una memoria RAM estática (SRAM) y una memoria RAM dinámica (DRAM).

RAM dinámica o DRAM: Es el tipo más común, ocupa menos espacio y la menos costosa. Requiere energía continua para mantener la información. Se utilizan principalmente cuando se necesitan grandes cantidades de memoria RAM. Se utiliza como memoria del sistema en prácticamente todos los equipos.

RAM estática o SRAM: Es mucho más cara que la DRAM. Requiere alrededor de cuatro veces la cantidad de espacio en el interior del equipo, es de rápido acceso. Se utiliza cuando se necesitan pequeñas cantidades de memoria RAM que trabajan con rapidez. La memoria caché es el uso principal de SRAM. Se utiliza en componentes del sistema, tales como unidades de disco duro y procesadores.

2. Explique la diferencia entre una memoria de acceso secuencial (SRAM) y una memoria de acceso aleatorio (DRAM).

Una memoria **DRAM** puede tener una gran capacidad de almacenamiento, pero requiere ser energizada de nuevo para conservar su contenido. Se usa, generalmente, un transistor y un capacitor para representar un bit. El capacitor debe ser energizado cientos de veces por segundo para conservar la información.

Una memoria **SRAM** es más rápida, requiere más energía y es más costosa que una memoria dinámica. No requiere ser refrescada mientras siga conectada. El bit de una SRAM estática se construye con un circuito flip-flop, esto permite que la corriente fluya de un lado a otro de acuerdo con cuál de los dos transistores es activado.

3. Algunos circuitos integrados RAM tienen terminales de entrada/salida comunes, ¿Qué circuito nos permite lograr esto y explique cómo lo hace?

Bus común bidireccional con una señal de activación (R/W generalmente) para poder decidir qué tipo de operación se realizará.

4. Simule con MAXPLUS II de Altera o algún otro simulador, la memoria RAM estática con una organización de 2 x 2 que se presenta en el diagrama esquemático (abajo) donde analizaremos el comportamiento de las entradas y salidas. Nota: Deberá entregar la simulación y el análisis de tiempo para todas las posibles entradas, en papel al instructor.

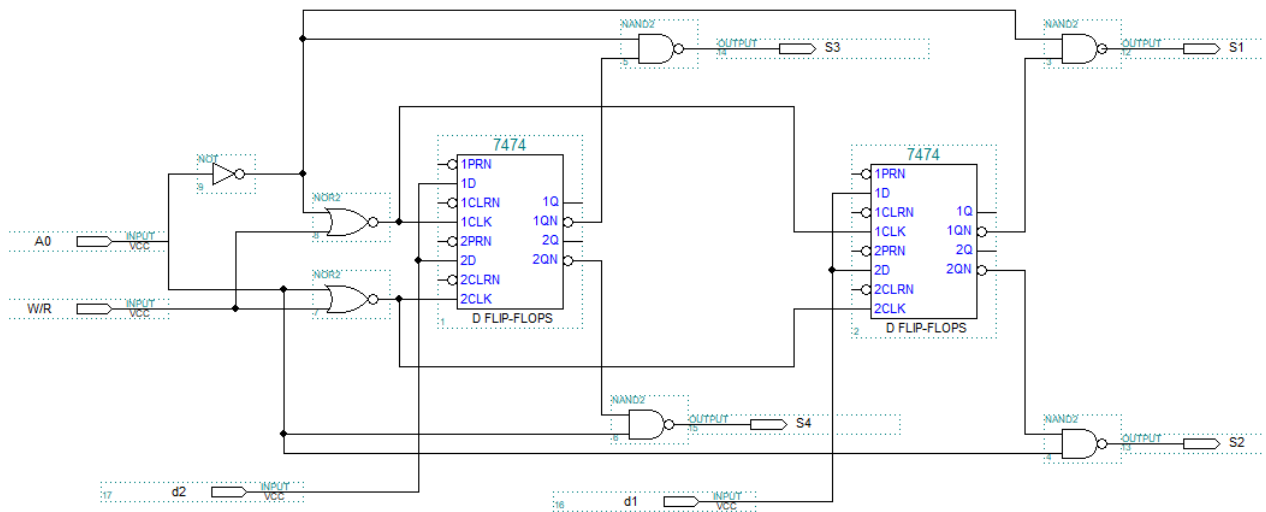
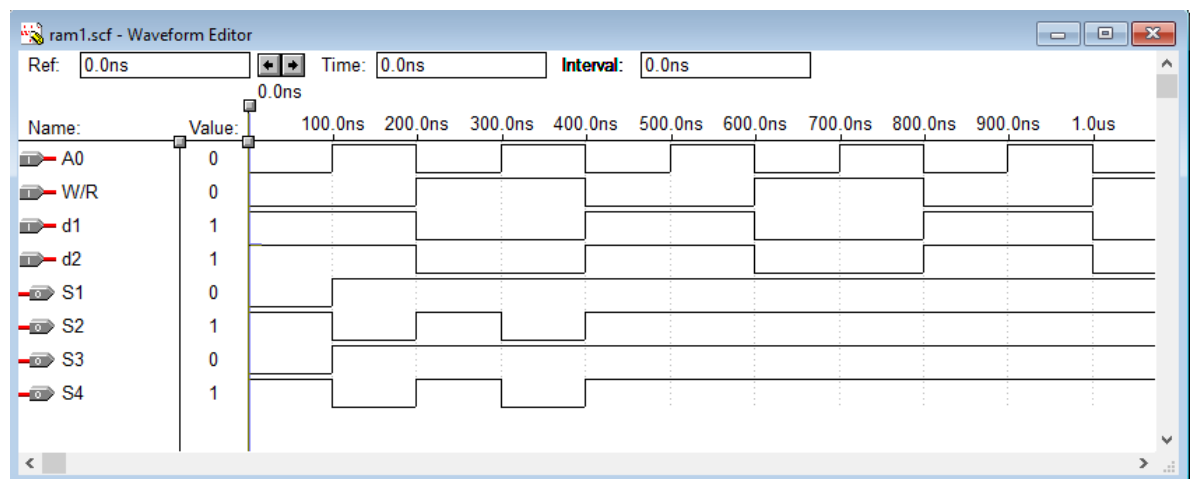


TABLA DE FUNCIONAMIENTO

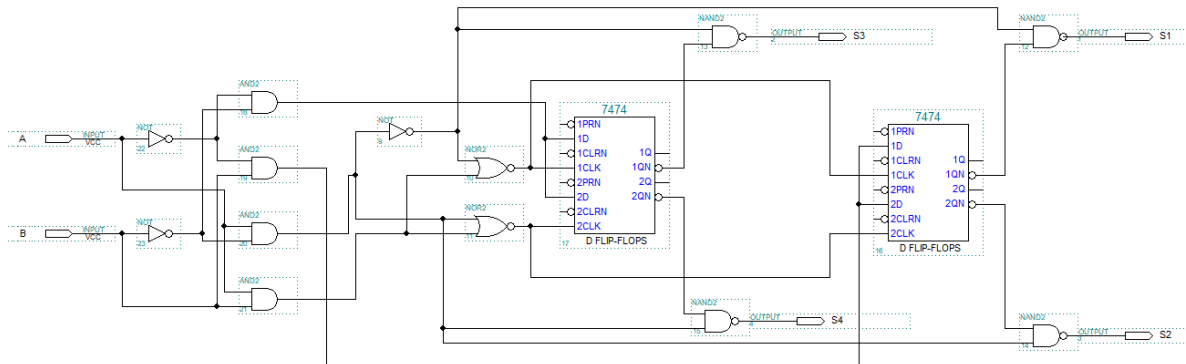
| W/R | A0 | s1 | s2 | s3 | s4 | Función |
|-----|----|-------|-------|-------|-------|------------------|
| 0 | 0 | d1 | x | d2 | x | Escribe en loc.0 |
| 0 | 1 | x | d1 | x | d2 | Escribe en loc.1 |
| 1 | x | ----- | ----- | ----- | ----- | Lectura |

Input:
A0
W/R
d1
d2

Output:
s1
s2
s3
s4



5. Simule en forma digital ¿cómo se implementaría un habilitador general CE (Chip Enable)? de la figura anterior.



| B | A | S1 | S2 | S3 | S4 | Función |
|---|---|----|----|----|----|-------------------|
| 0 | 0 | 0 | 1 | 0 | 1 | Escribe en loc. 0 |
| 0 | 1 | 1 | 0 | 1 | 0 | Escribe en loc. 1 |
| 1 | 0 | 0 | 1 | 0 | 1 | Lectura |
| 1 | 1 | 0 | 1 | 0 | 1 | Lectura |

