UFRR – DCC

Alunos: Luiz Gustavo Dall’Agnol Cavalcante, José Victor Rocha de Alencar e Guilherme Miranda de Araújo

Relatório de arquitetura de computadores.

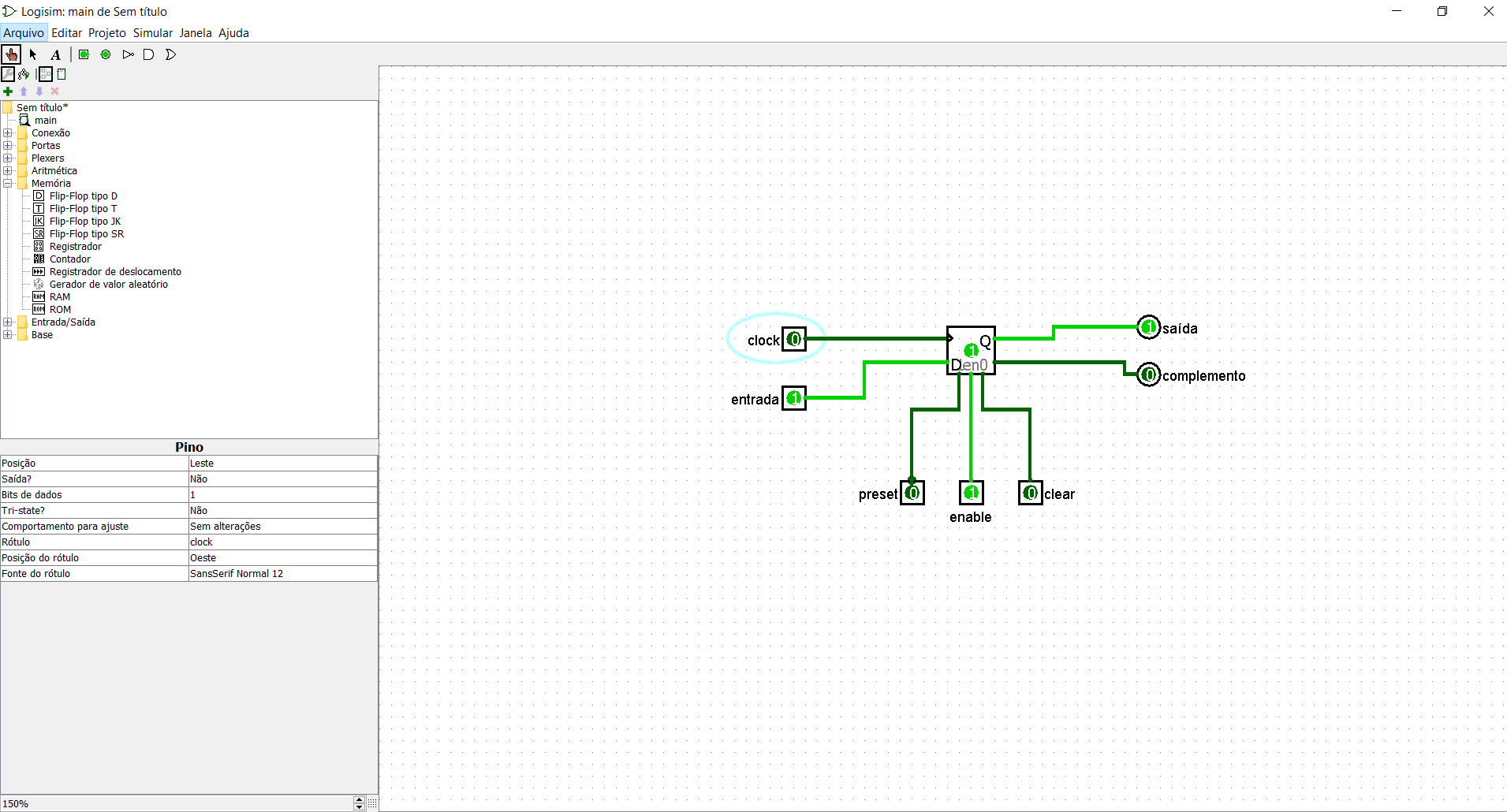
Codificações e simulações

Relatório

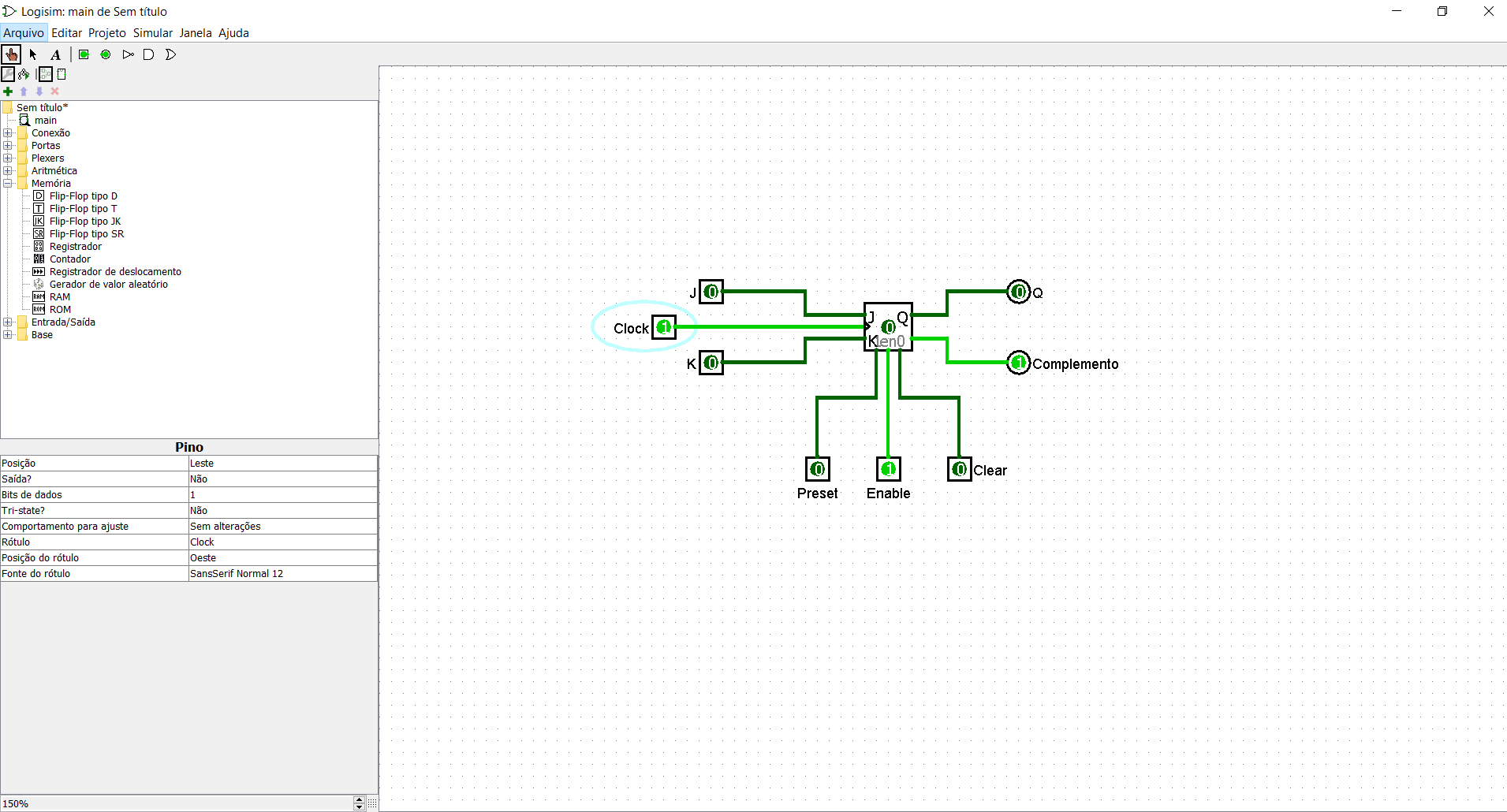
COMPONENTE 1

Flip flop D

Um flip flop D, com entrada D, entrada para significar o clock, saída Q, complemento de estado atual, e 3 entradas especiais, preset, enable e clear. Observamos que a saída Q, quando não influenciada por alguma entrada especial, é sempre igual ao valor da entrada D. A entrada Preset sempre torna o valor da saída para 1, independente de D. Enable congela o ciclo de clock, ou seja qualquer input é ignorado enquanto enable for igual a 0, tornando o valor de Q o último valor registrado. Clear sempre torna o valor da saída para 0, independente de qualquer outro input. O complemento sempre é o valor oposto ao valor da saída

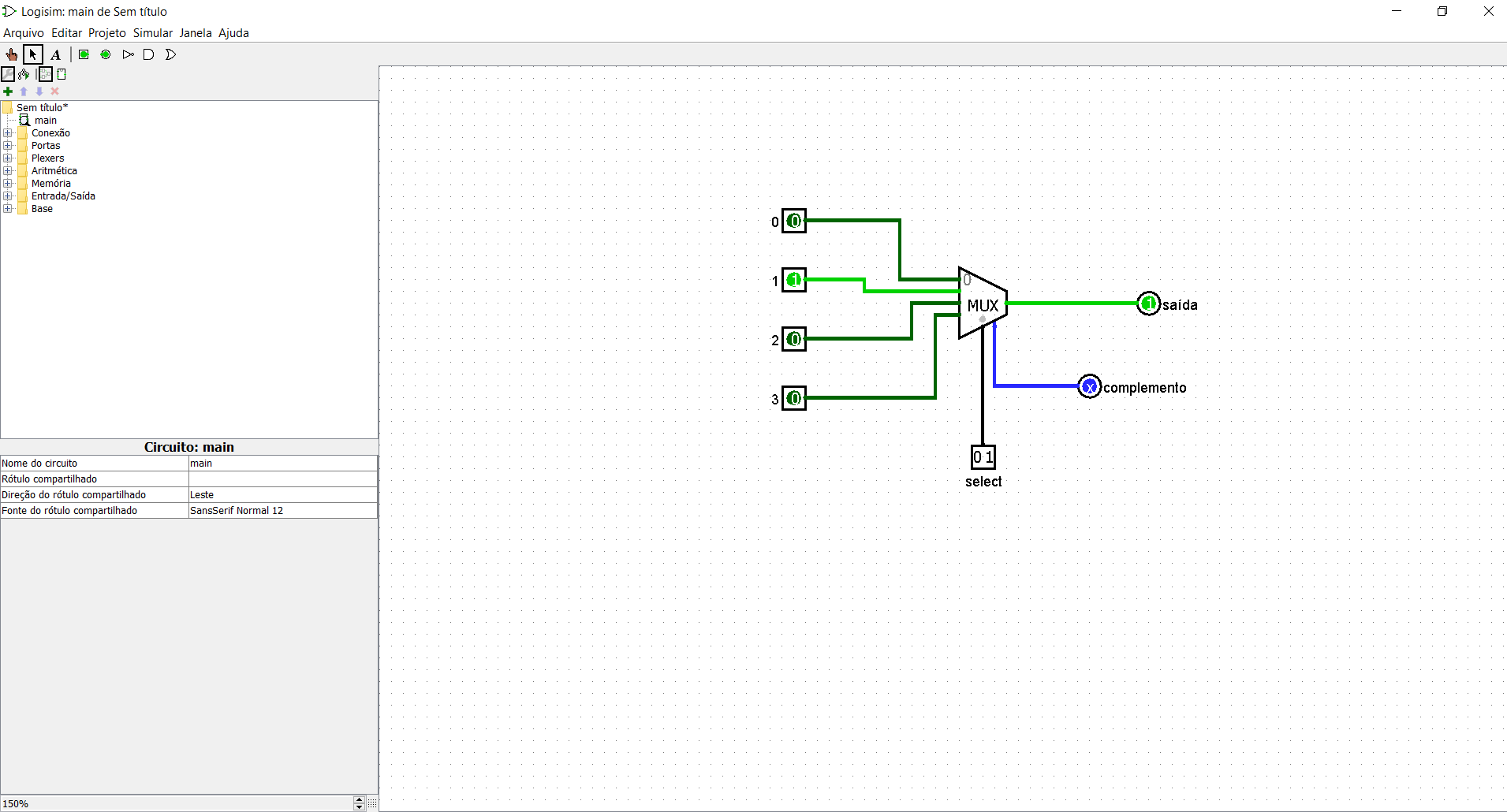


Flip flop JK

Um flip flop com entradas J e K, entrada do clock, entradas especiais, saída Q e complemento de estado. As entradas especiais e complemento de estado funcionam exatamente iguais ao Flip flop D. Diferença sendo que quando as entradas J e K são 0 a saída Q permanece com seu valor anterior, quando J e K são 1, Q alterna seu valor a cada ciclo de clock. Quando as entradas são diferentes, Q é igual a 1 quando J for 1, e Q é igual a 0 quando K for 1.

COMPONENTE 2

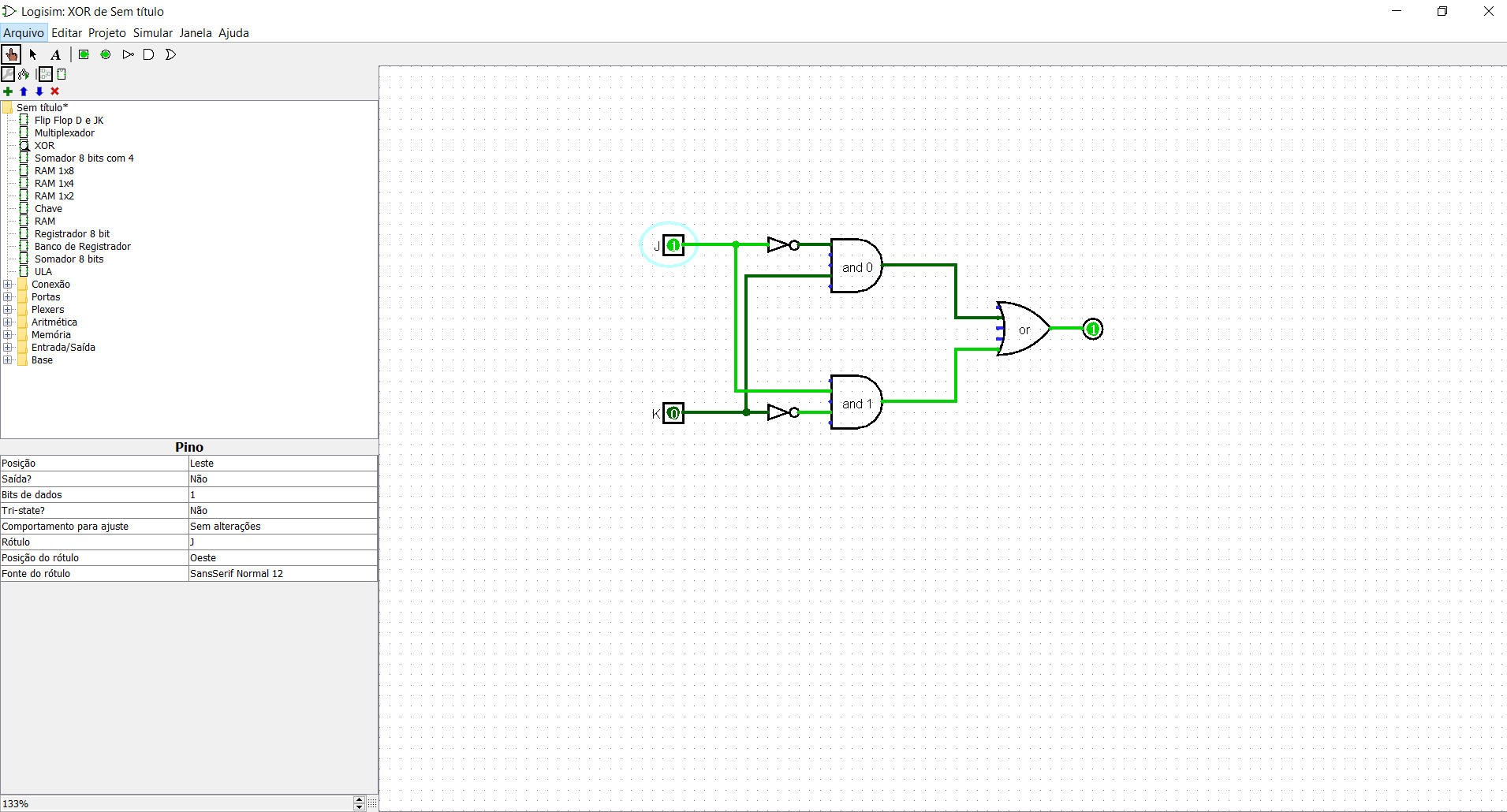
Multiplexador de quatro opções de entrada

Um multiplexador com 4 entradas de input, uma entrada “select”, um complemento de estado e uma saída. Observamos que o valor da saída era sempre igual a entrada que correspondia ao valor dentro da entrada select em binário, caso fosse 00 a entrada 0 seria o valor mostrado na saída, independente do valor das outras entradas. Caso select mostrasse 01 a entrada 1 mostraria o valor da saída, e assim por diante.

COMPONENTE 3

Porta lógica XOR usando port map com AND, NOT, e OR.

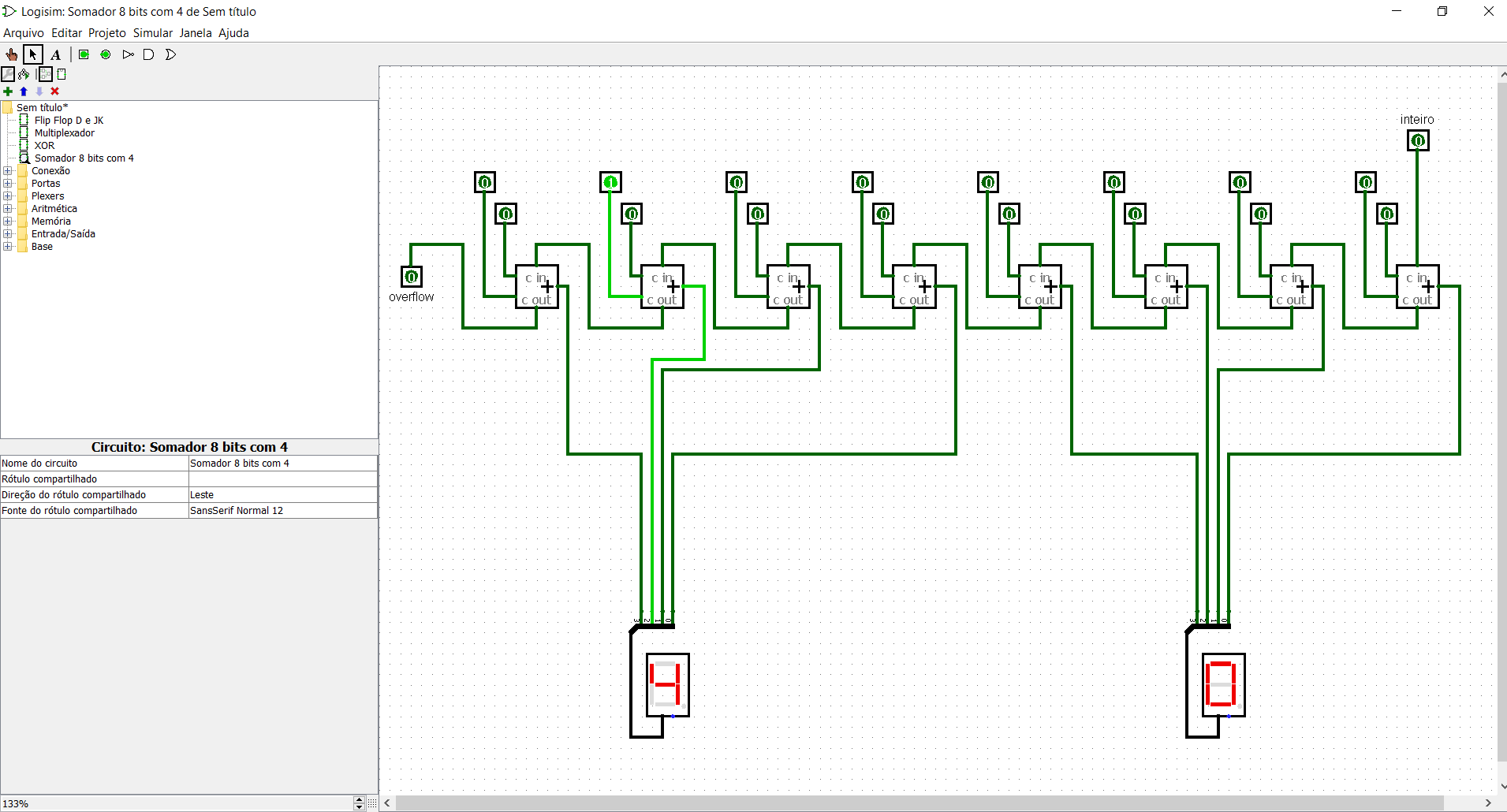
Composto de duas entradas J e K, saída, e dois componentes and, dois not e um or. Observamos que quando ambas entradas têm o mesmo valor, a saída é igual a 0, e quando as entradas possuem valores diferentes, a saída equivale a 1.



COMPONENTE 4

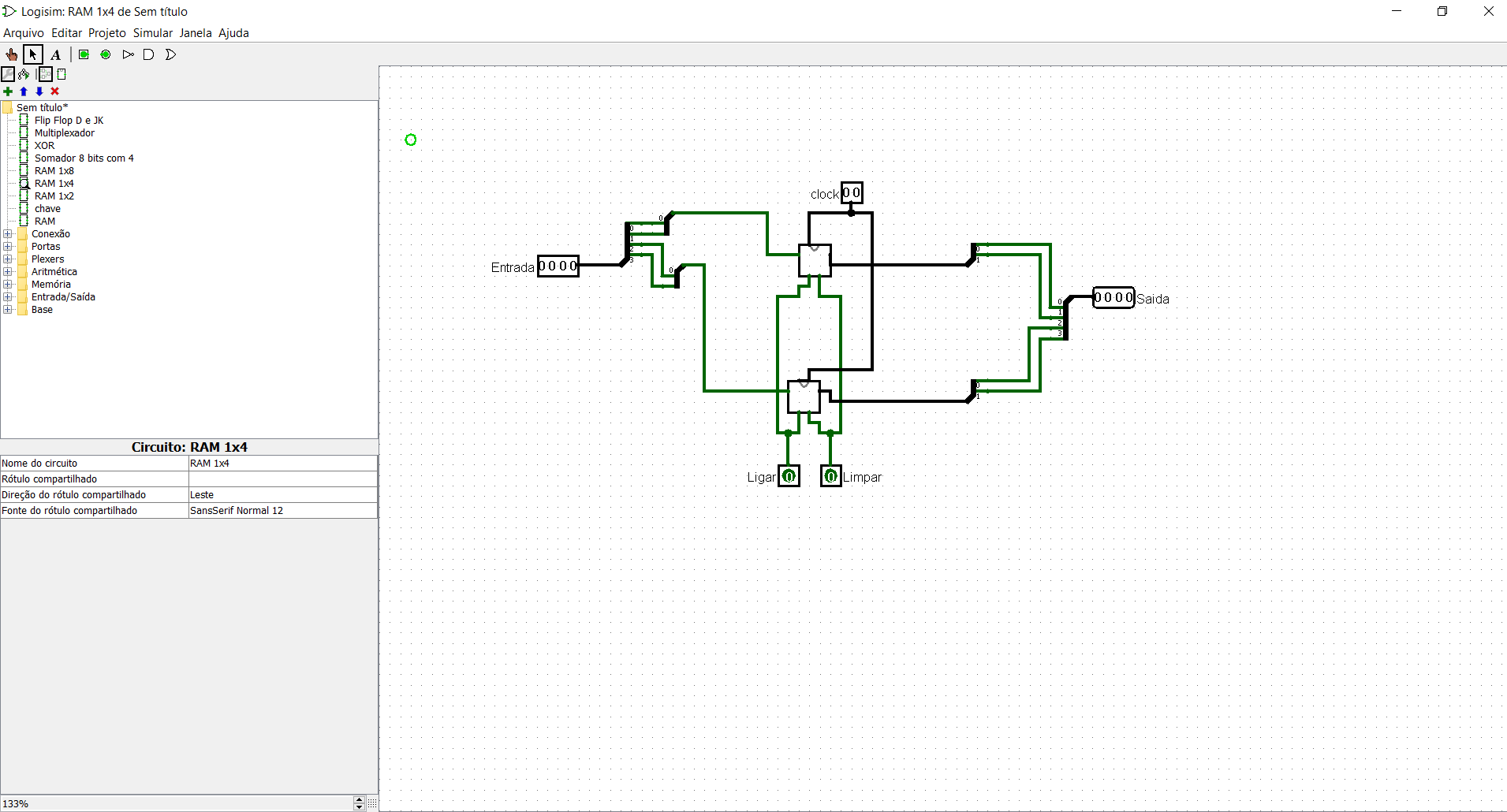
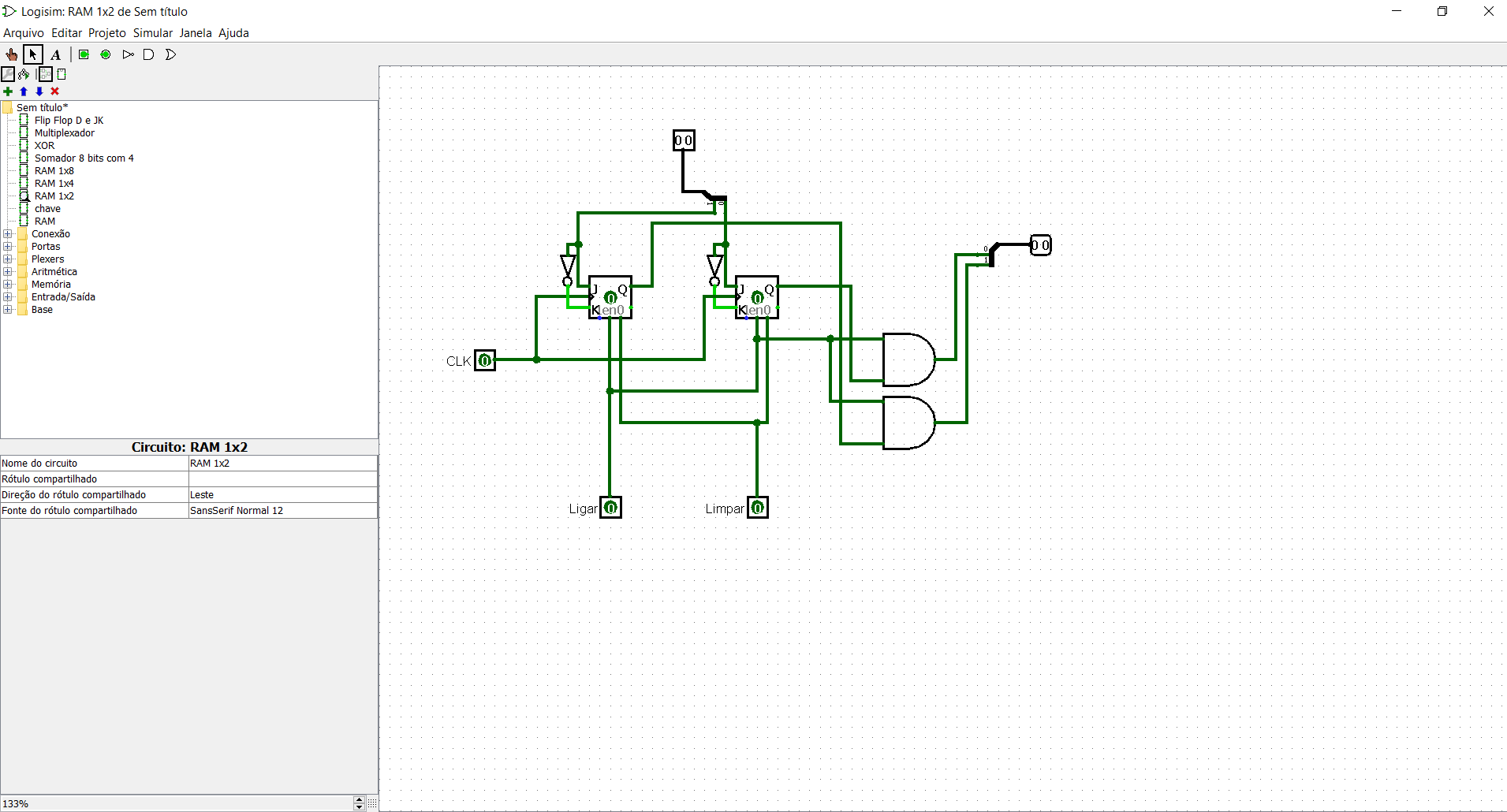
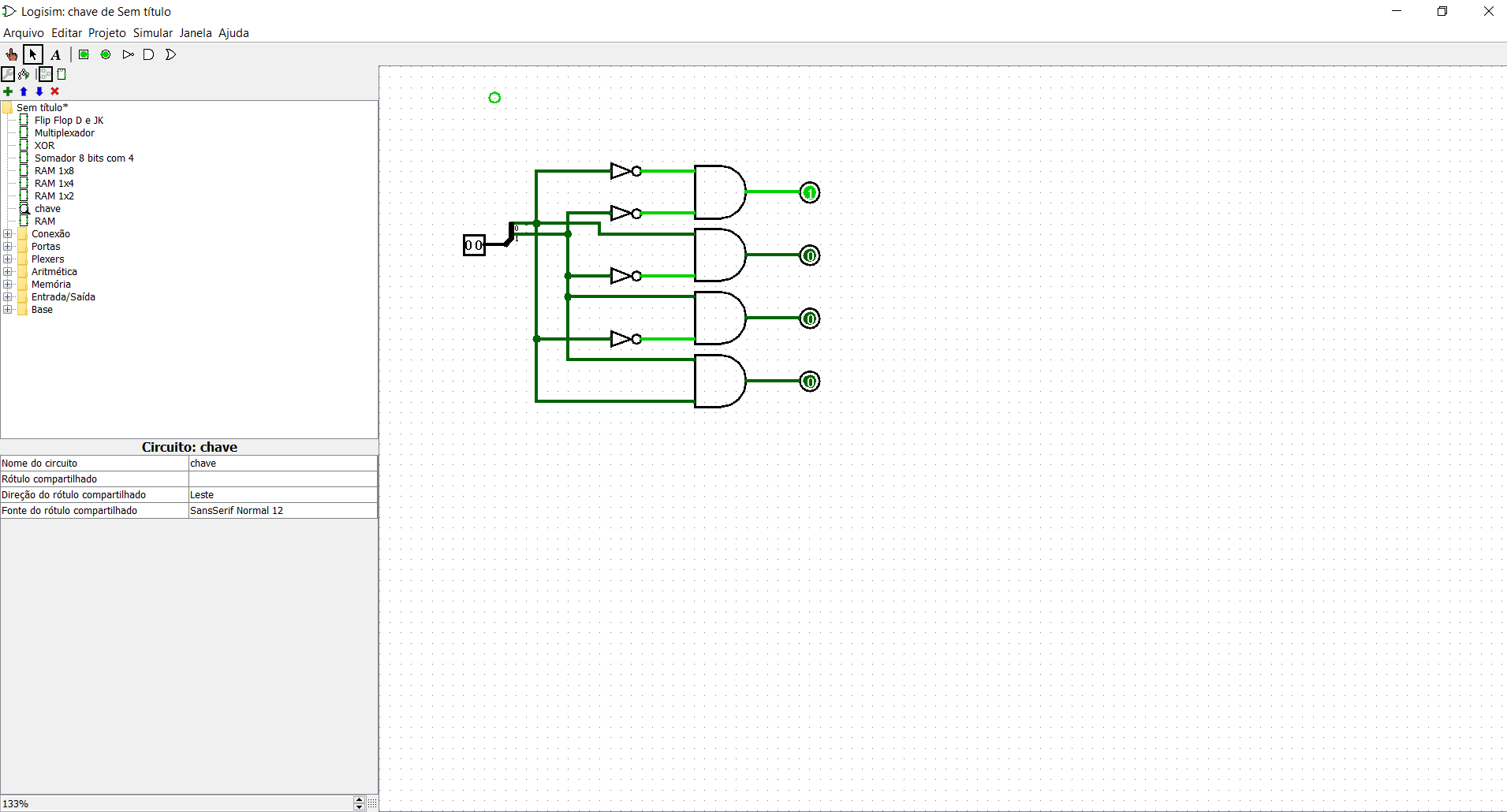
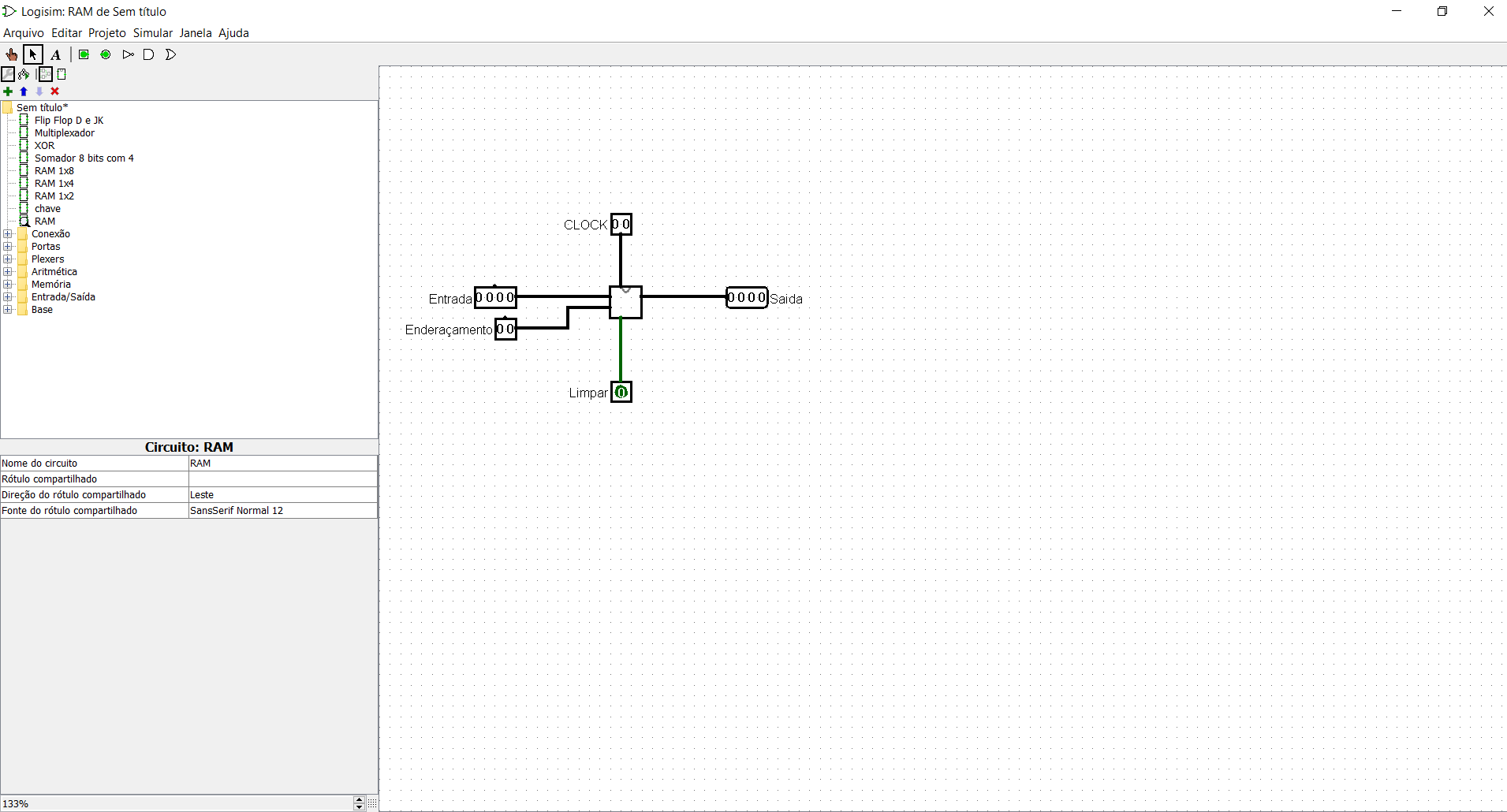
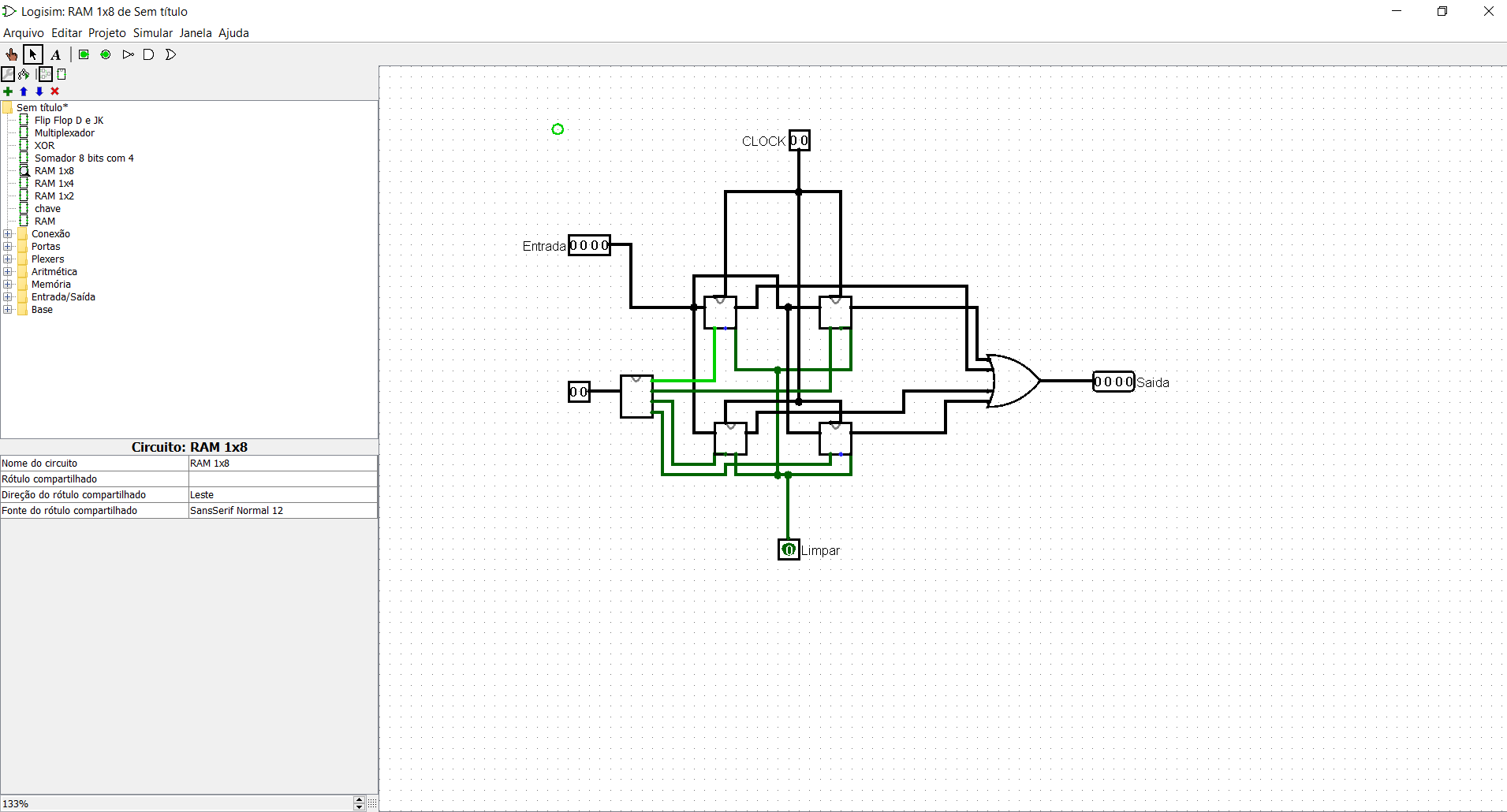
Somador de 8 bits que recebe um valor inteiro e soma com o valor 4.

8 somadores de 1 bit, com 3 entradas cada, carry in que leva até os displays e carry out que leva ou para o próximo somador ou o overflow.



COMPONENTE 6

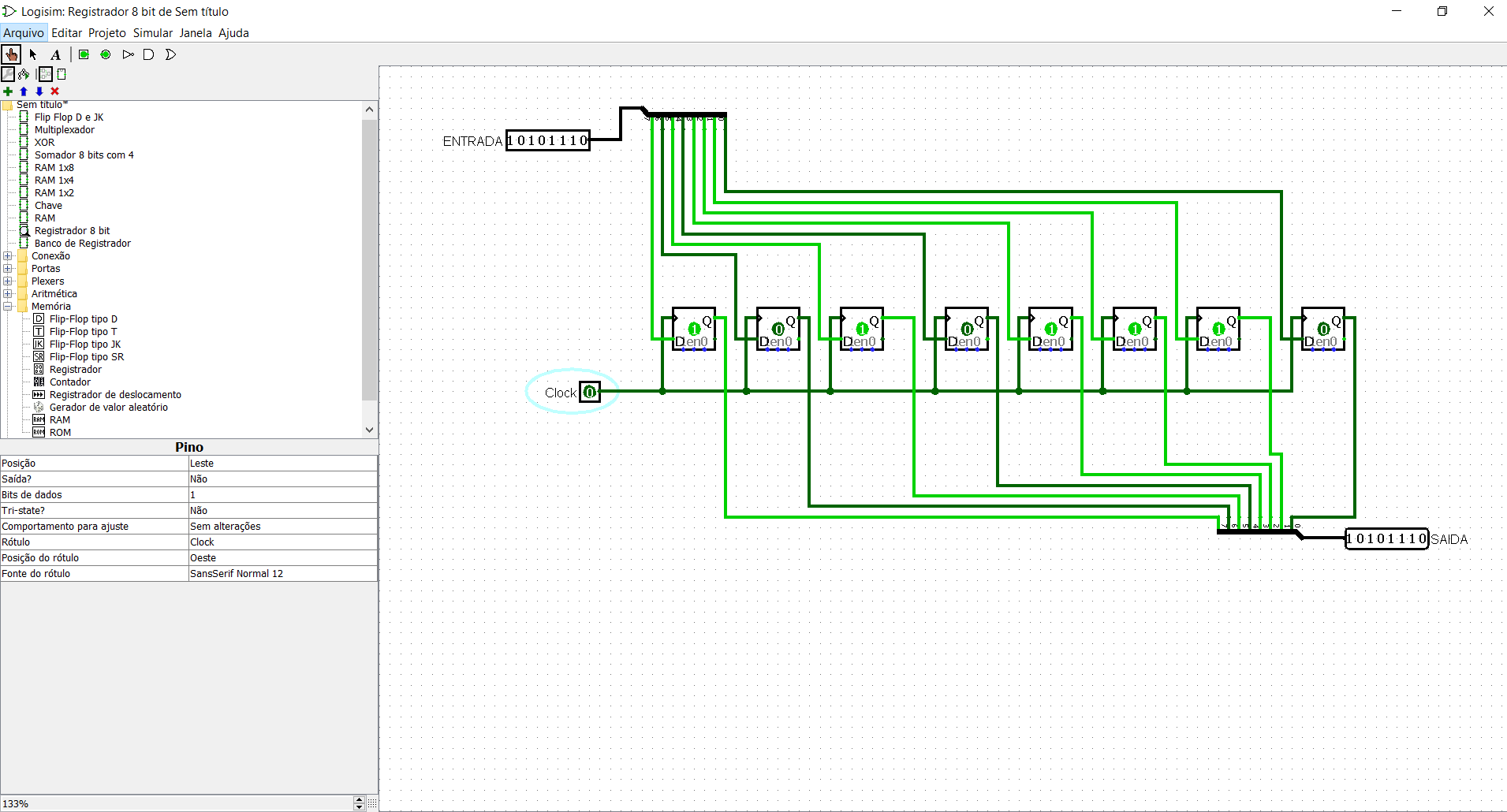
Memória RAM de 8 bits

Memória RAM, composta por 4 circuitos individuais, incluindo 1x2, 1x4, 1x8 e Chave

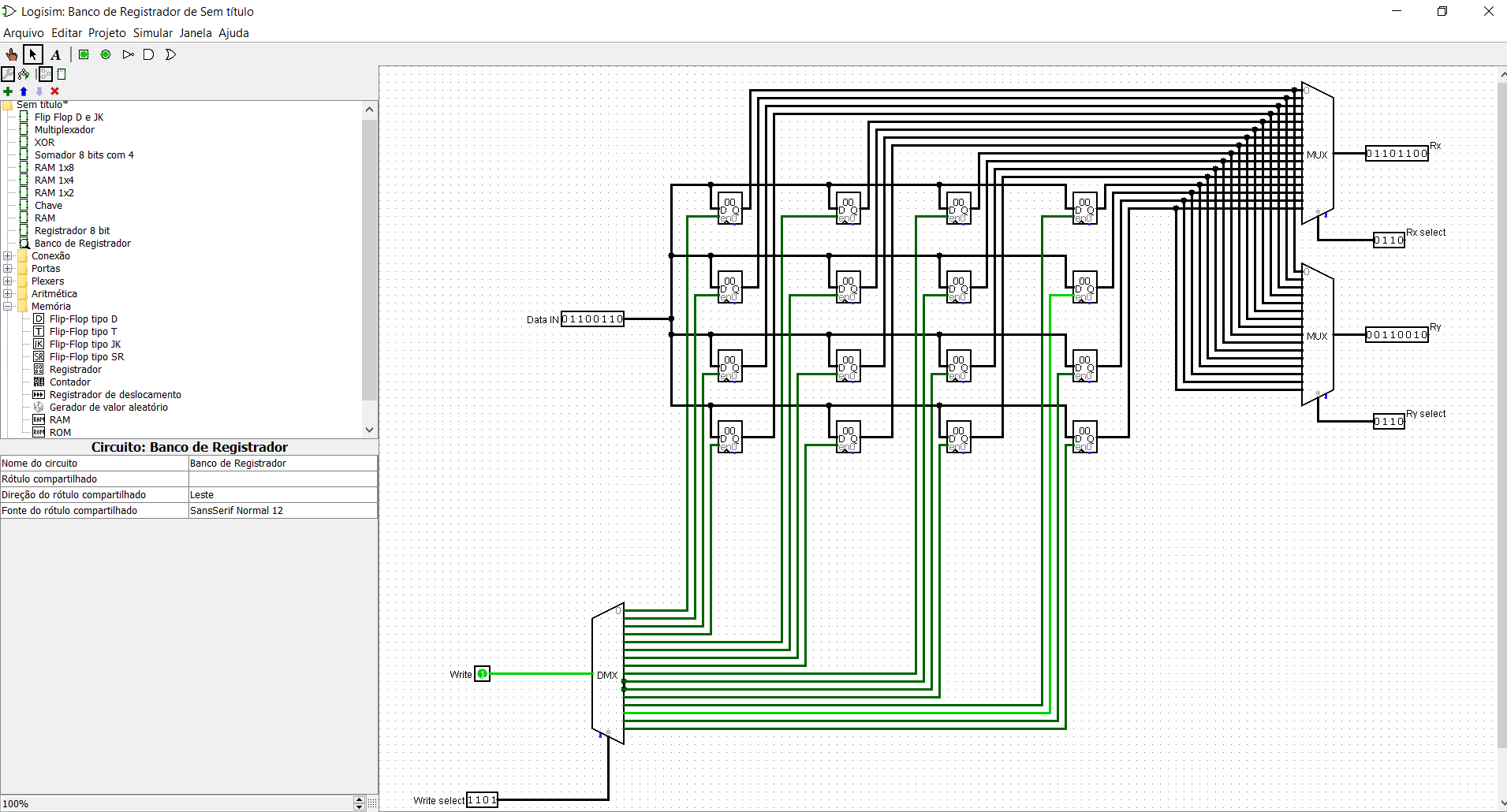
COMPONENTE 7

Registrador de 8 bits

Fora criado inicialmente um Registrador de 8 bits, com 8 Flip flops D, uma entrada clock, e dois distribuidores, um servindo como entrada e outro como saída.



Banco de Registradores de 8 bits

16 Registradores de 8 bits, 1 Demultiplexador, 2 Multiplexadores, 3 entradas, uma Write, Write Select e uma Data IN

COMPONENTE 8

Somador de 8 bits

Similar ao somador do componente 4, com 8 somadores de 1 bit, com 3 entradas cada, carry out que leva até o próximo somador da corrente, porém com o carry in que leva até um pino saída com valor. Observamos que o último carry out leva até um overflow na corrente, caso não tenha mais nenhum somador na corrente ou se os valores em duas entradas sejam iguais a 0.