



Universidade Federal de Roraima
Departamento de Ciência da Computação
Arquitetura e Organização de Computadores

Atividade – Aulas 21/11 e 23/11



PRAZO DE ENTREGA: 30/11 (quinta-feira)

OBSERVAÇÃO: A entrega da atividade deve ser feita de forma individual.

[Questão – 01] Utilizando como base o conjunto de instruções para uma CPU de 8bits (similar ao MIPS) projetada para o projeto final, descreva:

(a) Quantos registradores a CPU possui?

A CPU do processador Fluminense possui 4 registradores.

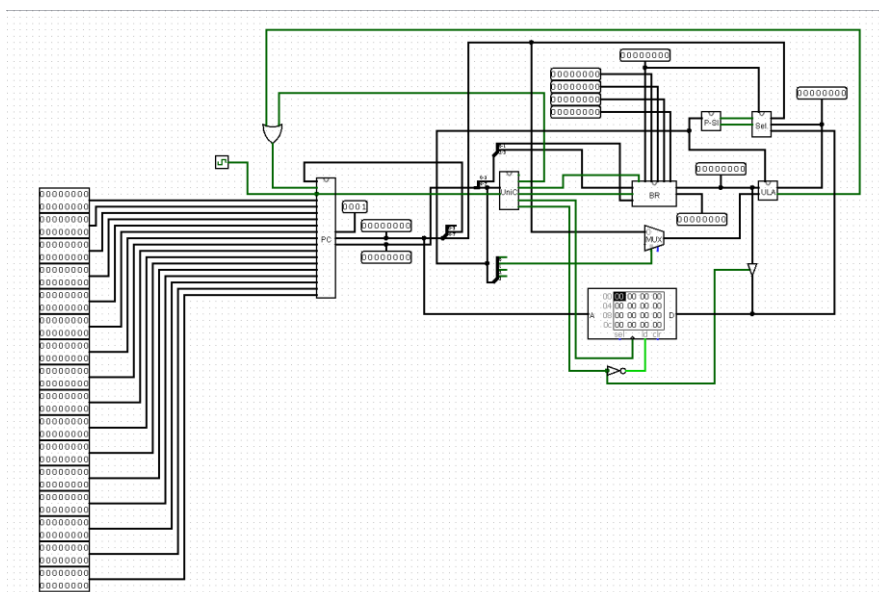
(b) Descreva os formatos de instruções que a CPU suporta?

Fluminense possui 5 formatos suportados de instruções 16 bits: R, RN, I, J e M.

(c) Quais as instruções que a CPU suporta?

Fluminense suporta 14 instruções: AND, OR, NAND, NOR, SOMA, SUB, SOMAN, SUBN, BEQ, BNQ, J, LOAD, LOADN e STORE.

(d) Apresente o *datapath* (barramento do sistema, similar ao do MIPS 32 bits) para a CPU utilizando as instruções de 8 bits projetadas.



[Questão – 02] Apresente um relatório do status do andamento do seu projeto final, contendo as atividades:

(a) Feitas

Implementar Datapath e integrar a maioria dos componentes como o banco de registradores, ULA e PC. Estruturar o relatório e criação dos slides.

(b) Em andamento

Integrar a Memória RAM 16 bits e realizar novos testes, atualizar tabelas do relatório e slides com novos resultados.



(c) **Concluídas**

Integração dos demais componentes e testes pré-nova memória RAM.