

# МИНОБРНАУКИ РОССИИ

# федеральное государственное бюджетное образовательное учреждение высшего образования

# «Московский государственный технологический университет «СТАНКИН» (ФГБОУ ВО «МГТУ «СТАНКИН»)

Отчет по лабораторной работе №1

> Выполнил Студент ИДМ-24-01 Барышников Егор

Задание представлено на рисунке 1.

# 1) Самостоятельно реализовать проект (mysecond) из лекции:

```
x_1 + x_2 = y_1 y_2
```

Рисунок 1

Код модуля представлен на рисунке 2.

```
module mysecond(y1,y2,x1,x2);
output y1,y2;
input x1,x2;
and(y1,x1,x2);
xor(y2,x1,x2);
endmodule
```

Рисунок 2

Результаты представлены на рисунках 3-6.

	<sup>0ns</sup> 17,0 ns   <sup>50ns</sup>	100ns  150ns
x1	0	
x2	00	
y1	00	
y2	0	

Рисунок 3



Рисунок 4

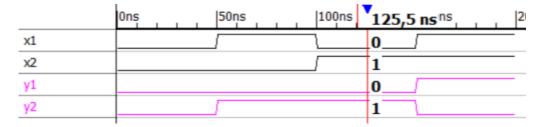


Рисунок 5

	0ns	50ns	100ns	150ns	175,5 n
x1			1		1
x2					1
y1					1
y2					0

Рисунок 6

Задание представлено на рисунке 7.

#### 2) Реализовать функцию без преобразования ее формулы:

Реализовать функцию 
$$y = (x_1 \oplus \overline{x_2} \vee \overline{x_3}) \& (\overline{x_1} \vee x_2 \& \overline{x_3})$$

Рисунок 7

Код модуля представлен на рисунке 8.

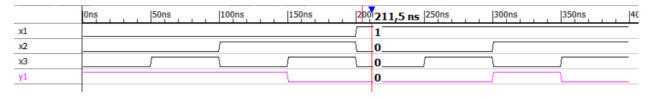
```
module mymodule(y1,x1,x2,x3);
    output y1;
    input x1,x2,x3;
    wire z1,z2,z3,z4,z5,z6,z7;
        not(z1,x2);
        xor(z2,x1,z1);
        not(z3,x3);
        or(z4,z2,z3);

        not(z5,x1);
        and(z6,x2,z3);
        or(z7,z5,z6);

and(y1,z4,z7);
endmodule
```

Рисунок 8

Результаты представлены на рисунках 9-10.



#### Рисунок 9



Рисунок 10

Задание представлено на рисунке 11.

#### 3) Упростить вторую задачу (использовать МИН количество примитивов).

Подсказка: не нужно раскрывать скобки и составную операцию, попробуйте только перемещать отрицания.

Если задача оказывается слишком сложной, ее можно пропустить.

### Рисунок 11

Код модуля представлен на рисунке 12.

```
module mymodule(y1,x1,x2,x3);
    output y1;
    input x1,x2,x3;
    wire z1,z2,z3,z4,z5,z6,z7;
    not(z1,x1);
    not(z2,x2);
    not(z3,x3);

and(z4,z1,z2);
    and(z5,x2,z3);

or(y1,z4,z5);
endmodule
```

Рисунок 12

Результаты представлены на рисунках 13-14.

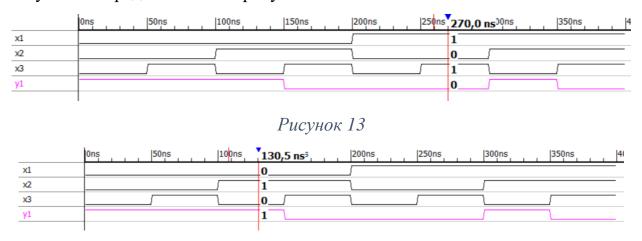


Рисунок 14

Как мы видим, при упрощении задачи результат схемы не изменился.

Задание представлено на рисунке 15.

#### Задача 4.1:

Для трех входных сигналов x1,x2,x3 определить количество пришедших единиц (y1,y2 - в двоичной системе).

#### Задача 4.2:

+ дополнительно создать сигнал err=1 - ошибка (если все нули).

#### Задача 4.3:

+ дополнительно в случае ошибки выдать "неопределенность" в у1,у2.

#### Рисунок 15

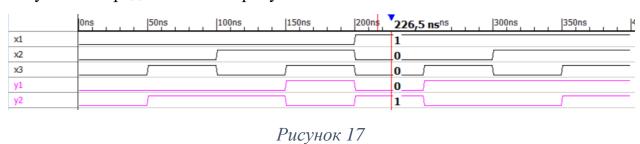
Код модуля для пункта 4.1 представлен на рисунке 16.

```
module mymodule(y1, y2, x1, x2, x3);
    output y1, y2;
    input x1, x2, x3;
    wire z1, z2, z3;
    and(z1, x1, x2);
    and(z2, x1, x3);
    and(z3, x2, x3);
    or(y1, z1, z2, z3);

    xor(y2, x1, x2, x3);
endmodule
```

Рисунок 16

Результаты представлены на рисунках 17-18.



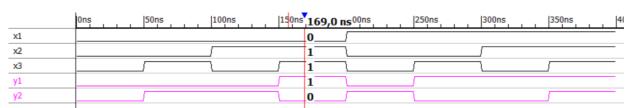


Рисунок 18

Код модуля для пункта 4.2 представлен на рисунке 19.

```
module mymodule(y1, y2, err, x1, x2, x3);
    output y1, y2, err;
    input x1, x2, x3;
    wire z1, z2, z3, z4;
    and(z1, x1, x2);
    and(z2, x1, x3);
    and(z3, x2, x3);
    or(y1, z1, z2, z3);

    xor(y2, x1, x2, x3);
    or(z4, x1, x2, x3);
    not(err, z4);
endmodule
```

Рисунок 19

#### Результаты представлены на рисунке 20.

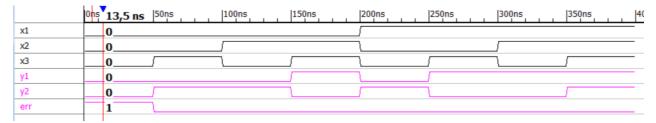


Рисунок 20

#### Код модуля для пункта 4.3 представлен на рисунке 21.

```
module mymodule(y1,y2,err,x1,x2,x3);
         output y1, y2, err;
         input x1,x2,x3;
         wire z1, z2, z3, z4, z5, z6, z7, nx1, nx2, nx3;
                 not (nxl,xl);
                  not (nx2, x2);
                  not (nx3, x3);
                  and(z7, nx1, nx2, nx3);
                  and(z1,x1,x2);
                  and(z2,x1,x3);
                  and(z3,x2,x3);
                  or (z5, z1, z2, z3);
                  or (y1, z1, z2, z3);
                  or (y1, z7, z5);
                  xor(z6,x1,x2,x3);
                  xor (y2, x1, x2, x3);
                  or (y2, z6, z7);
                  or (z4, x1, x2, x3);
                  not (err, z4);
endmodule
```

Рисунок 21

# Результаты представлены на рисунке 22.

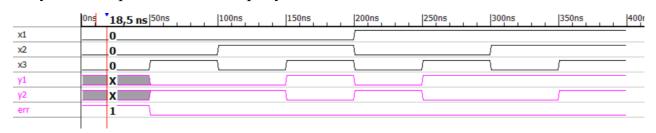


Рисунок 22