Arquitetura e Organização de Computadores

Linguagem dos Computadores

Prof. André D'Amato

andredamato@utfpr.edu.br







- Conjunto de Instruções (ISA)
 - O vocabulário dos comandos entendidos por uma determinada arquitetura.
- Princípios básicos semelhantes
 - Operações básicas devem ser fornecidas por todos os hardwares
 - Exemplo: adição
 - add a, b, c # a = b + c
 - E para somar b + c + d?

- Princípios básicos semelhantes
 - Operações básicas devem ser fornecidas por todos hardware
 - Exemplo: adição
 - add a, b, c # a = b + c
 - E para somar b + c + d?
 - add a, b, c

- Princípios básicos semelhantes
 - Operações básicas devem ser fornecidas por todos hardware
 - Exemplo: adição
 - add a, b, c # a = b + c
 - E para somar b + c + d?
 - add a, b, c
 - add a, a, d

- Princípios básicos semelhantes
 - Operações básicas devem ser fornecidas por todos hardware
 - Exemplo: adição
 - add a, b, c # a = b + c
 - E para somar b + c + d?
 - add a, b, c
 - add a, a, d
 - Simplicidade favorece regularidade

- Outro exemplo:
 - a = (b + c) (d + e)?

• Outro exemplo:

- a = (b + c) (d + e)?
- add \$t0, b, c
- add \$t1, d, e
- sub \$t3, \$t0, \$t1

• Outro exemplo:

- a = (b + c) (d + e)?
- add \$t0, b, c
- add \$t1, d, e
- sub \$t3, \$t0, \$t1

O Simulador QTSPIM

Categoria	Instrução	Exemplo	Significado
	add	add \$s1,\$s2,\$s3	\$s1 = \$s2 + \$s3
Aritmética	subtract	sub \$s1,\$s2,\$s3	\$s1 = \$s2 - \$s3
	add immediate	addi \$s1,\$s2.20	\$\$1 = \$\$2 + 20
	load word	lw \$s1,20(\$s2)	\$s1 = Memória[\$s2 + 20]
	store word	sw \$s1,20(\$s2)	Memória[\$s2 + 20] = \$s1
	load half	1h \$s1,20(\$s2)	\$s1 = Memória[\$s2 + 20]
	load half unsigned	1hu \$s1,20(\$s2)	\$s1 = Memória[\$s2 + 20]
	store half	sh \$s1,20(\$s2)	Memória[\$s2 + 20] = \$s1
Transferência de dados	load byte	1b \$s1,20(\$s2)	\$s1 = Memória[\$s2 + 20]
	load byte unsigned	1bu \$s1.20(\$s2)	\$s1 = Memória[\$s2 + 20]
	store byte	sb \$s1.20(\$s2)	Memória[\$s2 + 20] = \$s1
	load linked word	11 \$s1.20(\$s2)	\$s1 = Memória[\$s2 + 20]
	store condition, word	sc \$s1,20(\$s2)	
			Memória[\$s2+20]=\$s1;\$s1=0 or \$s1 = 20 * 2 ¹⁶
	load upper immed.	lui \$s1,20	
	and	and \$s1,\$s2,\$s3	\$s1 = \$s2 & \$s3
	or	or \$s1,\$s2,\$s3	\$s1 = \$s2 \$s3
D-14/12/AN	nor	nor \$s1,\$s2,\$s3	\$s1 = ~ (\$s2 \$s3)
Lógica	and immediate	andi \$s1.\$s2.20	\$s1 = \$s2 & 20
	or immediate	ori \$s1,\$s2,20	\$s1 = \$s2 20
	shift left logical	sll \$sl.\$s2.10	\$s1 = \$s2 << 10
	shift right logical	srl \$s1.\$s2,10	\$s1 = \$s2 >> 10
	branch on equal	beq \$s1,\$s2,25	if (\$51 == \$52) go to PC + 4 + 100
	branch on not equal	bne \$s1,\$s2,25	if (\$s1!= \$s2) go to PC + 4 + 100
Desvio	set on less than	slt \$s1,\$s2,\$s3	if (\$s2 < \$s3) \$s1 = 1; else \$s1 = 0
condicional	set on less than unsigned	sltu \$s1,\$s2,\$s3	if (\$s2 < \$s3) \$s1 = 1; else \$s1 = 0
	set less than immediate	slti \$s1,\$s2,20	if (\$s2 < 20) \$s1 = 1; else \$s1 = 0
	set less than immediate unsigned	sltiu \$s1.\$s2,20	if (\$s2 < 20) \$s1 = 1; else \$s1 = 0

Mips: Conjunto de instruções

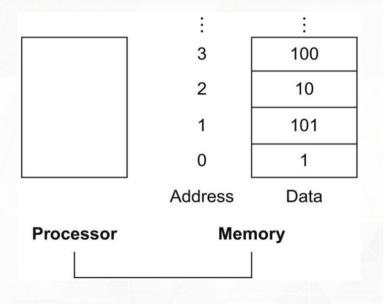
do registrador	Número	Uso
\$zero	0	constante 0
\$at	1	reservado para o montador
\$v0	2	avaliação de expressão e resultados de uma função
\$v1	3	avaliação de expressão e resultados de uma função
\$a0	4	argumento 1
\$a1	5	argumento 2
\$a2	6	argumento 3
\$a3	7	argumento 4
\$t0	8	temporário (não preservado pela chamada)
\$t1	9	temporário (não preservado pela chamada)
\$t2	10	temporário (não preservado pela chamada)
\$t3	11	temporário (não preservado pela chamada)
\$t4	12	temporário (não preservado pela chamada)
\$t5	13	temporário (não preservado pela chamada)
\$t6	14	temporário (não preservado pela chamada)
\$t7	15	temporário (não preservado pela chamada)
\$s0	16	temporário salvo (preservado pela chamada)
\$s1	17	temporário salvo (preservado pela chamada)
\$s2	18	temporário salvo (preservado pela chamada)
\$s3	19	temporário salvo (preservado pela chamada)
\$s4	20	temporário salvo (preservado pela chamada)
\$s5	21	temporário salvo (preservado pela chamada)
\$s6	22	temporário salvo (preservado pela chamada)
\$s7	23	temporário salvo (preservado pela chamada)
\$t8	24	temporário (não preservado pela chamada)
\$t9	25	temporário (não preservado pela chamada)
\$k0	26	reservado para o kernel do sistema operacional
\$k1	27	reservado para o kernel do sistema operacional
\$gp	28	ponteiro para área global
\$sp	29	stack pointer
\$fp	30	frame pointer
\$ra	31	endereço de retorno (usado por chamada de função)

Conjunto de Registradores do MIPS

Exercícios Introdução: Instruções Aritméticas

Faça os exercícios disponibilizados no moodle

Operações Load & Store



Mips: Endereços de memória

Vetor A[] = {1, 101, 10, 100 ...}

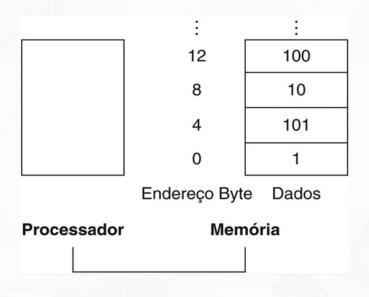
Supondo que o reg S0 contenha a posição inicial de A. Vamos carregar em \$t0 o valor 10.

lw \$t0, 2(\$s0)

addi \$t0, \$t0, 92

sw \$t0, 1(\$s0)

Operações Load & Store



Mips: Endereços reais

Supondo que o reg S0 contenha a posição inicial de A. Vamos carregar em \$t0 o valor 10.

addi \$t0, \$t0, 92

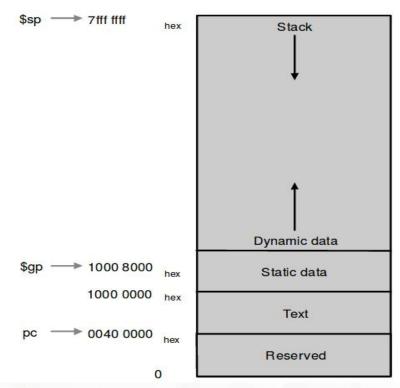
sw \$t0, 4(\$s0)

Exercícios de Introdução: Instruções Load/store

Faça os exercícios disponibilizados no moodle

Serviço	Código de chamada ao sistema	Argumentos	Resultado
print_int	1	\$a0 = integer	
print_float	2	\$f12 = float	
print_double	3	\$f12 = double	
print_string	4	\$a0 = string	
read_int	5		integer (in \$v0)
read_float	6		float (in \$f0)
read_double	7		double (in \$f0)
read_string	8	\$a0 = buffer, \$a1 = length	
sbrk	9	\$a0 = amount	endereço (em \$v0)
exit	10		
print_char	11	\$a0 = char	
read_char	12		char (in \$v0)
open	13	\$a0 = nome de arquivo (string), \$a1 = flags, \$a2 = modo	descritor de arquivo (em \$a0)
read	14	\$a0 = descritor de arquivo, \$a1 = buffer, \$a2 = tamanho	número de caracteres lidos (em \$a0)
write	15	\$a0 = descritor de arquivo, \$a1 = buffer, \$a2 = tamanho	número de caracteres escritos (em \$a0)
close	16	\$a0 = descritor de arquivo	
exit2	17	\$a0 = resultado	

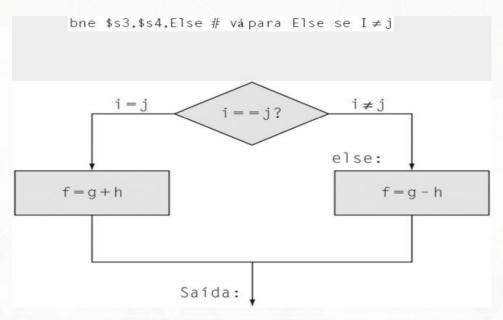
Mips: Serviços de sistema



Exemplo: Pilha de execução

Exercícios de Introdução: Syscalls

Faça os exercícios disponibilizados no moodle



Exemplo: Instrução Condicional

#Considerando: \$s3 = I e \$s4 = j

bne \$s3, \$s4, Else add f, g, h

Else: sub f, g, h

Exemplo:

#Considerando:

$$\$s3 = i$$

$$\$s5 = k$$

$$\$s6 = save$$

Como você implementaria em assembly? (mips)

#Considerando:

```
$s3 = i

$s5 = k

$s6 = save
```

Loop:

sll \$t0, \$s3, 2 add \$t0, \$t0, \$s6

#Considerando: \$s3 = i

$$\$s5 = k$$

$$\$s6 = save$$

Loop:

```
sll $t0, $s3, 2
add $t0, $t0, $s6
lw $t1, 0($t0)
```

#Considerando:

```
$s3 = i
$s5 = k
$s6 = save
```

Loop:

```
sll $t0, $s3, 2
add $t0, $t0, $s6
lw $t1, 0($t0)
bne $t1, $s5, Sair
```

Sair:

```
#Considerando:
    \$s3 = i
    \$s5 = k
    $s6 = save
Loop:
  sll $t0, $s3, 2
  add $t0, $t0, $s6
  lw $t1, 0($t0)
  bne $t1, $s5, Sair
  addi $s3, $s3, 1
  J Loop
Sair:
```

Exercícios de Introdução: Instruções de Desvio e Saltos

Faça os exercícios disponibilizados no moodle

R (Register) Format:

Opcode	Rs	Rt	Rd	Shamt	Funct
(6)	(5)	(5)	(5)	(5)	(6)

Most arithmetic and logic instructions (except 'immediate')

I (Immediate) Format:

Opcode	Rs	Rt	16-bit Immediate value
(6)	(5)	(5)	(16)

Data Transfer, Immediate, and Cond. Branch instructions

J (Jump) Format:

Opcode	26-bit word address
(6)	(26)

Unconditional Jump instructions

Mips: Formatos de instruções (fonte Yul Chu*)

https://www.researchgate.net/figure/Instruction-formats-for-MIPS-architecture-1_fig2_228942202

	Lo	oad and Stor	re Instructions	
100000	base	dest	signed offset	LB rt, offset(rs)
100001	base	dest	signed offset	LH rt, offset(rs)
100011	base	dest	signed offset	LW rt, offset(rs)
100100	base	dest	signed offset	LBU rt, offset(rs)
100101	base	dest	signed offset	LHU rt, offset(rs)
101000	base	dest	signed offset	SB rt, offset(rs)
101001	base	dest	signed offset	SH rt, offset(rs)
101011	base	dest	signed offset	SW rt, offset(rs)

Mips: Opcodes (FonteBerkeley*)

	I-Typ	e Computat	ional Instructions
001001	src	dest	signed immediate
001010	src	dest	signed immediate
001011	src	dest	signed immediate
001100	src	dest	zero-ext. immediate
001101	src	dest	zero-ext. immediate
001110	src	dest	zero-ext. immediate
001111	00000	dest	zero-ext. immediate

ADDIU rt, rs, signed-imm. SLTI rt, rs, signed-imm. SLTIU rt, rs, signed-imm. ANDI rt, rs, zero-ext-imm. ORI rt, rs, zero-ext-imm. XORI rt, rs, zero-ext-imm. LUI rt, zero-ext-imm.

Mips: Opcodes (FonteBerkeley*)

D Trmo	Computational	Instructions
n-Ivbe	Computational	Instructions

SLL rd, rt, shamt
SRL rd, rt, shamt
SRA rd, rt, shamt
SRA rd, rt, rs
SRLV rd, rt, rs
SRAV rd, rt, rs
SRAV rd, rt, rs
ADDU rd, rs, rt
SUBU rd, rs, rt
AND rd, rs, rt
OR rd, rs, rt
XOR rd, rs, rt
NOR rd, rs, rt
SLT rd, rs, rt
SLTU rd, rs, rt

000000	00000		1 1		000000
000000	00000	src	dest	shamt	000000
000000	00000	src	dest	shamt	000010
000000	00000	src	dest	shamt	000011
000000	rshamt	src	dest	00000	000100
000000	rshamt	src	dest	00000	000110
000000	rshamt	src	dest	00000	000111
000000	src1	src2	dest	00000	100001
000000	src1	src2	dest	00000	100011
000000	src1	src2	dest	00000	100100
000000	src1	src2	dest	00000	100101
000000	src1	src2	dest	00000	100110
000000	src1	src2	dest	00000	100111
000000	src1	src2	dest	00000	101010
000000	src1	src2	dest	00000	101011

Mips: Opcodes (Fonte Berkeley*)

	Jur	np and Brai	nch Instruct	ions		
000010	target					J
000011		target				
000000	src	00000	00000	00000	001000	J
000000	src	00000	dest	00000	001001	J
000100	src1	src2	signed offset			В
000101	src1	src2	signed offset			В
000110	src	00000	signed offset			В
000111	src	00000	signed offset			В
000001	src	00000	signed offset			В
000001	src	00001		signed offse	et	В

J target
JAL target
JR rs
JALR rd, rs
BEQ rs, rt, offset
BNE rs, rt, offset
BLEZ rs, offset
BGTZ rs, offset
BLTZ rs, offset
BGTZ rs, offset

Mips: Opcodes (Fonte Berkeley*)

Exemplo:

Como a instrução subu \$s0, \$s1, \$s2 ficaria Em binário?

Opcode:

0

Exemplo:

Como a instrução subu \$s0, \$s1, \$s2 ficaria Em binário?

Opcode: 0 17 18 16

Exemplo:

Como a instrução subu \$s0, \$s1, \$s2 ficaria Em binário?

Opcode: 0 17 18 16 0 35(dec)

Exemplo:

Como a instrução subu \$s0, \$s1, \$s2 ficaria Em binário?

Opcode:

0 17 18 16 0 35(dec)

000000 10001 10010 10000 00000 100011(bin)

Exercícios de Introdução: Tradução

Faça os exercícios disponibilizados no moodle

Referências

• PATTERSON, David A.; HENNESSY, John L.Organizac ao e projeto de computadores: ainterface hardware/software, 5. ed. Rio de Janeiro: Elsevier, 2017. ISBN 9788535287936.

STALLINGS, William.; Arquitetura e Organização de Computadores. 10.
 ed. São Paulo:Pearson Education do Brasil, 2017. ISBN 9788543020532.

 TANENBAUM, A. S.; AUSTIN, T. Organização Estruturada de Computadores. 6. ed. SãoPaulo: Pearson Education do Brasil, 2013. ISBN 9788581435398.