

# 展步大學

### 电工与电子技术基础 II 课程设计

题 目	数字智力竞赛抢答器的设计				
学院 (部)	汽车学院				
专 业	车辆工程				
班级	2018220106 班				
学生姓名	安天雷				
学 号	2018904307				
同组同学	张行文 师海涛				

**2019**年 12 月 16 日至 12 月 20 日 共 1 周

## 目 录

<b>一</b> 、	引言 <b>错误!未定义书签。</b>
二、	摘要3 -
三、	总体设计方案论证及选择4-
四、	设计方案的原理框图、总体电路原理图及说明
五、	单元电路设计、主要元器件选择与电路参数计算
	1、抢答电路5-
	2、组别信号电路7-
	3、步进电路9-
	4、报警电路11 -
	5、计分电路12 -
	6、总体电路图13 -
六、	仿真测试及结果13 -
七、	收获与体会,存在的问题等16-
八、	感谢16 -
九、	参考文献16 -
十、	附件17 -

#### 数字智力抢竞赛抢答器

#### 一、引言

课题名称: 数字智力竞赛抢答器的设计

#### 1. 设计说明:

比赛中为了准确、公正、直观地判断出第一抢答者,所设计的抢答器通常由数码显示、灯光、音响等多种手段指示出第一抢答者。同时还应设计记分、犯规和奖惩记录等多种功能。

#### 2. 设计要求:

#### (1) 基本要求:

- 1) 抢答器可供四组使用,组别键(信)号可以锁存;抢答指示用发光二极管(LED)。
- 2)记分部分独立(不受组别信号控制),至少用2位二组数码管指示,步进有10分,并且具有预置、递增、递减功能。
  - 3)要求性能可靠、操作简便。

#### (2) 发挥部分:

- 1)增加抢答路数。
- 2) 数码管显示组别键(信)号。
- 3)自动记分(受组别信号控制): 当主持人分别按步进得分键、递增键或递减键后能够将分值自动累计在某组记分器上)。
  - 4) 超时报警。

#### 3. 实际应用:

此次设计的具有四个选手的数字抢答器电路,主持人和四位选手各有一个开关,当主持人的开关打开并开始计时后,选手开始抢答,该数字抢答器电路可以通过对应的灯光来显示抢答选手的代表号数,还可以在第一位选手抢答成功时阻止其他选手抢答。同时还设有报警系统,若有人抢答或超过预定时间蜂鸣器便会报警。

#### 二、摘要

本次课程设计要求做一个数字智力竞赛抢答器,供四组抢答使用,实现 5 分和 10 分步进,有加、减和置数功能,具有无人抢答报警和选手回答超时报警功能。

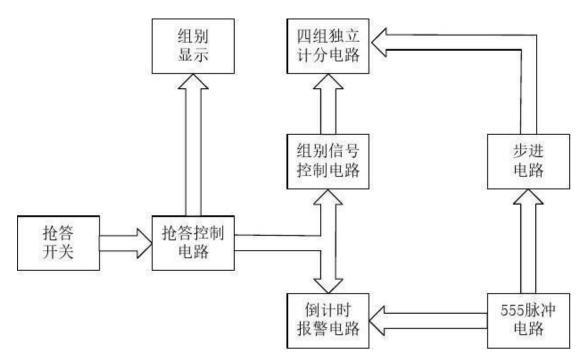
根据题目要求设计抢答电路: 抢答部分选用一个锁存器存储组别信号并用数码管显示;步进电路: 选用移位寄存器提供 5 个或者 10 个高低电平交替的信号,形成计数脉冲;计分电路选用加减计数器完成计分功能;超时报警电路通过计数器借位输出端控制蜂鸣器报警。经过 Proteus 仿真,结果表明,电路可以正常工作,并完成所有功能。

#### 三、 总体设计方案论证及选择

方案一、采用51系列单片机,通过编写相应的程序,完成电路设计的要求。

方案二、设计一种采用数字电路制作的可定时四路数显抢答器,主要采用 74 系列的常用集成电路。

#### 四、 设计方案的原理框图、总体电路原理图及说明



图一 数字智力竞赛抢答器系统框图 1

#### 数字智力竞赛抢答器系统的工作原理:

抢答开关是由四个按键组成的,按键的公共端接地,另一端分别接入 74LS373 寄存器 Q0~Q3 端。

抢答控制电路由 74LS373 寄存器、与非门组成。74LS373 寄存器存储按键信息,按键信息经与非门输出锁存信号,从而保证 74LS373 锁存器信息不被第一个抢答的信息之后的信息干扰。

组别显示由 74HC147 优先编码器、74LS47、共阴极七段数码管和 LED 发光二极管构成。74LS373 寄存器存储的按键信息直接用 LED 灯显示,按键信息同时经 74HC147 编码后,利用 74LS47 和七段共阴极数码管显示组号。

555 脉冲电路是由 555 定时器构成的多谐振荡器提供脉冲。其中为倒计时电路提供 1 Hz 脉冲,为步进电路提供 47 Hz 脉冲。

倒计时报警电路由抢答时间报警电路和回答时间报警电路构成。其中,抢答时间电路由 74LS192 计数器、74LS48 和七段共阴极数码管组成一位十进制减法计数器,可预置 0~9 秒抢答时间,报警信号由 192 计数器借位输出端控制;回答时间电路由 74LS192、74LS48 和七段共阴极数码管组成两位十进制减法计数器,基于本设计,此部分电路预置 30 秒回答时间,报警信号由 192 计数器借位输出端控制。

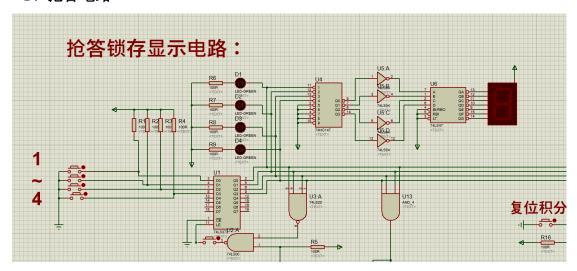
组别信号控制电路由 74LS138 译码器和非门组成。74LS373 寄存器存储的按键信息经 74LS138 译码器和非门输出组别信号,控制四组计分电路。

步进电路由 74LS198 移位寄存器和 74LS194 移位寄存器组成。通过置零和置一,可实现一次提供 5 个脉冲或者 10 个脉冲,实现步进 5 分和 10 分。步进电路提供的脉冲信号频率由 555 脉冲电路所提供的脉冲决定。

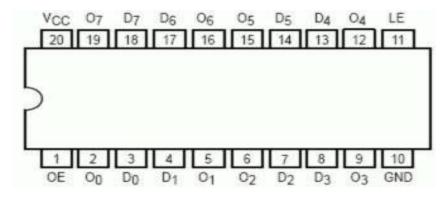
四组独立计分电路由 74LS192、74LS48、七段共阴极数码管构成的两位十进制计数器,可实现清零和预置数。

#### 五、 单元电路设计、主要元器件选择与电路参数计算

#### 1、抢答电路



图二 抢答仿真电路



图三 74LS373 引脚图 1

$D_n$	LE	<u>OE</u>	Qn
1	1	0	1
0	1	0	0
X	0	0	$Q_n$
X	X	1	Q <sub>n</sub> 高阻态

图二中按键 1~4 分别代表各组抢答按钮,按键 5 是复位键。在抢答开始前,74LS373 锁存器的 OE 端接地,LE 端为高电平,Dn 端信息可锁存至 Qn 端,此时 D0、D1、D2、D3 端均为高电平;开始抢答后,当 D0~D3 端有一个变为低电平后,经两个四输入与非门输出的低电平,可使 74LS373 锁存器保持 Qn 信息不变,便可锁存抢答信号,若再有键按下,抢答信号不会再锁存。当按键 5 按下,LE 端变为高电平,可重新锁存信号,即开始新一轮抢答。高阻态四个绿色 LED 灯公共端接电源,当有出现低电平信号,即可点亮相应 LED 灯。

# 

图四 74LS148 引脚图

当有按键按下时,对应的 Q0~Q3 中只有一个输出低电平,为使 74LS148 编码器正常编码组号,接线需从 "6"端开始接, "7"端接高电平。表二是 74LS148 真值表,图四是 74LS148 引脚图。

	Inputs									Out	puts	
1	2	3	4	5	6	7	8	9	D	C	В	Α
Н	Н	Н	Н	Н	Н	Н	Н	Н	Н	Н	Н	Н
X	X	X	X	X	X	X	X	L	L	Н	Н	L
X	X	X	X	X	X	X	L	Н	L	Н	Н	Н
X	X	X	X	X	X	L	Н	Н	Н	L	L	L
X	X	X	X	X	L	H	H	H	Н	L	L	H
X	X	X	X	L	Н	H	Н	Н	Н	L	Н	L
X	X	X	L	H	H	H	H	H	Н	L	H	H
X	X	L	Н	Н	Н	Н	Н	H	Н	Н	L	L
X	L	Н	Н	Н	H	Н	H	H	Н	Н	L	Н
L	Н	Н	Н	Н	Н	Н	Н	Н	Н	Н	Н	L

H = High Logic Level, L = Low Logic Level, X = Irrelevant

表二 74LS148 真值表

#### 2、组别信号电路

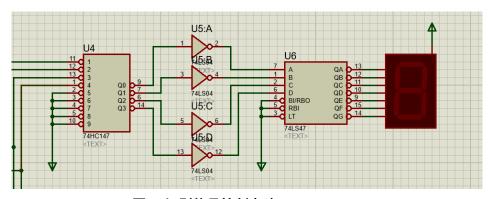
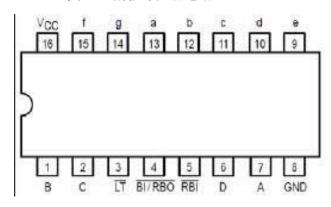


图 7 组别信号控制电路 1



图五 74LS47 引脚图 1

$\overline{LT}$	RBI	BI / RBO	D	C	В	A	abcdefg	说明
0	х	1	x	x	x	x	0000000	划灯
х	х	0	x	х	х	х	1111111	熄灭
1	0	0	0	0	0	0	1111111	灭零
1	1	1	0	0	0	0	0000001	0
1	х	1	0	0	0	1	1001111	1
1	x	1	0	0	1	0	0010010	2
1	x	1	0	0	1	1	0000110	3
1	x	1	0	1	0	0	1001100	4
1	х	1	0	1	0	1	0100100	5
1	x	1	0	1	1	0	1100000	6
1	x	1	0	) 1	1	1	0001111	1
1	x	1	i	(	0	0	0000000	8
1	x	1	1		0	1	0001100	9

表 4 74LS47 真值表 1

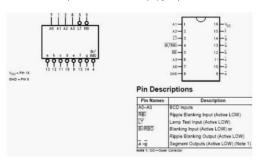
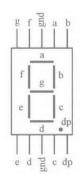


图 8 74LS47 引脚图 1



图六 7SEG-COM-ANODE 引脚图 1

74LS47 的 A、B、C、D 端口分别接 74LS148 的 A0、A1、A2 输出端和接地端。74LS373 的 Q0 $^{\sim}$ Q3 端同一时间只有一个为低电平, Q0 $^{\sim}$ Q2 接 74LS138 的 A、B 和 C端, 因为当 Q0 $^{\sim}$ Q2 全为高电平就是 Q3 为低电平, 所以用 Q0 $^{\sim}$ Q2 可正常译码出组别信息。Yn 接非门, 即可将相应组别信号变为高电平, 其余组为低电平。使 74LS48 的相应输出驱动七段共阴极数码管显示组号,即可表示组别信号。

#### 3、步进电路

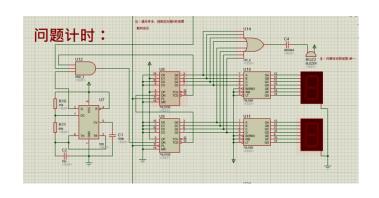


图 9 步进电路

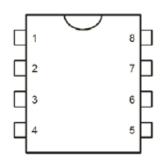


图 10 555 定时器引脚图 1

1-GND 2-触发 3-输出 4-复位 5-控制电压 6-门槛 7-放电 8-Vcc

利用 555 定时器构成多谐振荡器,图 10 中,接通电源后,电容 C2 被充电,当 uc 上升到 2/3V CC 时,使"3"输出为低电平,同时放电三极管 T 导通,此时电容 C2 通过 R6 和 T 放电,uc 下降。当 uc 下降到 1/3V CC 时,uo 翻转为高电平。电容 C2 放电所需时间为:

t2=R6\*C\*ln2≈0.7\*R6\*C2(1) 电容充电时间:

t1≈(R5+R6)\*C4\*ln2≈0.7(R5+R6)\*C2(2) 电路的频率:

f=1tt1+tt2=1.43(R5+2\*R6)\*C2 (3) 为使移位寄存器的移位速度较快,在按键 6 按下的瞬间,需要完成将所有的信号向右移位,故这里参数 R5 选取 1K,R6 选取 1K,C4 选取 1uF,产生的脉冲频率为  $f\approx 47.67$ Hz.

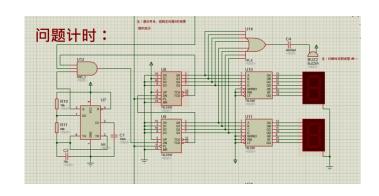
#### CONNECTION DIAGRAM DIP (TOP VIEW) TCD TCU 15 10 NOTE: The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package. 2 5 7 1 3 4 6 8 CPD CPU

图 12 74LS192 引脚图 1

74LS192 是双时钟方式的十进制可逆计数器。LD 为预置输入控制端,异步预置。CR 为复位输入端,高电平有效,异步清除。CPU 为加计数时钟输入端,CPD 为减计数时钟输入端。。CO 为进位输出: 1001 状态后负脉冲输出,BO 为借位输出: 0000 状态后负脉冲输出。在脉冲来到后即可进行加减分。

	輸入								输出			
MR	PL	$CP_U$	$CP_D$	Р3	P2	P1	PO	Q3	Q2	Q1	QO	
1	×	×	×	×	×	×	×	0	0	0	0	
0	0	×	×	d	S <b>e</b>	ь	\$ <b>4</b>	d	c	Ъ	a	
0	1		1	×	×	×	×		加计数	9		
0	1	1		×	×	×	×	i.	减计数			

#### 4、报警电路



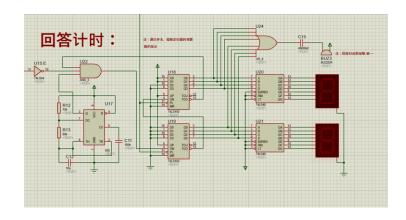


图 13 报警电路

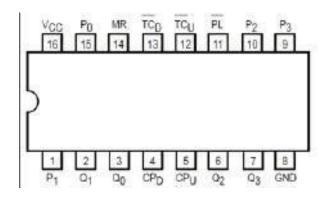


图 14 74LS192 引脚图

首先用 555 定时器产生一个 1Hz 的秒脉冲,根据公式(1)~(3),可选取 R7=R8=200K, C1=470nF。

图上 13 上边是抢答时间倒计时,拨码开关 DSW1 可实现预置不同的时间,74LS192 计数器从 0 减到 9 时,借位输出端 TCD 引脚由高电平变为低电平,可作为报警电路的控制信号。置数端 PL 由抢答控制电路(见图 7)第二个与非门输出提供,当没有人抢答时,第二个与非门输出高电平,抢答倒计时电路启动,计数器在 0~9 的变化时,借位输出信号控制蜂鸣器发声,此时主持人可断开开关 3,停止倒计时。当有人抢答时第二个与非门输出低电平,使计数器置数。

图 13 下边是回答时间倒计时,置数 30。两个 74LS192 计数器采用串联形式,第二个计数器的借位输出端 TCD 作为报警电路的控制信号。置数端 PL 由抢答控制电路(见图 7)第一个与非门输出提供,当没有人抢答时,第一个与非门输出低电平,抢答倒计时置数;当有人抢答时第一个与非门输出高电平,回答倒计时电路启动,标号为"192-2"的计数器在 0~9 的变化时,借位输出信号控制蜂鸣器发声。

			ina es	
MR	PL	$CP_U$	$CP_D$	模式
1	X	X	X	清零
0	0	X	X	置数
0	1	1	1	保持
0	1	<b>†</b>	1	加数
0	1	1	<b>↑</b>	减数

74LS192 真值表 1

#### 5、计分电路

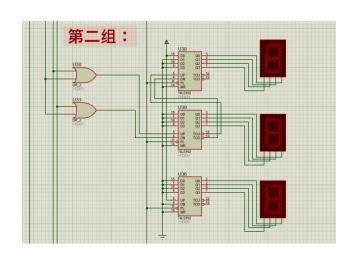
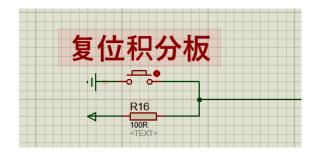
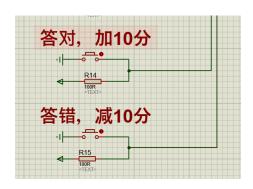


图 15 计分电路 1





组别控制信号(见图7)和移位寄存器产生的特定个数脉冲进行与非运算,通过按钮来进行加减分。计分电路共有四组,结构内容一致,这里展示第二组。使用三个74LS192 加减计数器构成了十进制两位记分器。通过复位积分板实现置数功能,当置数为零时,即实现清零功能。

#### 6、总体电路图

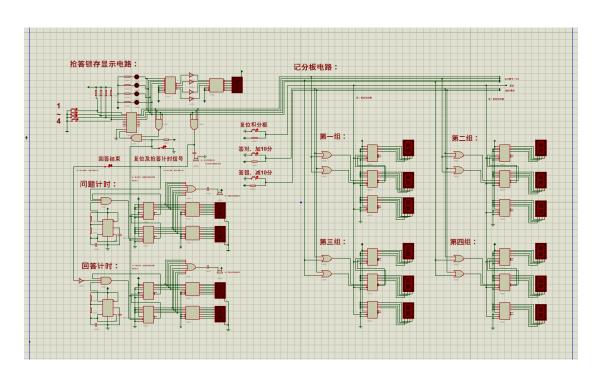


图 16 总体电路 1

#### 六、仿真测试及结果

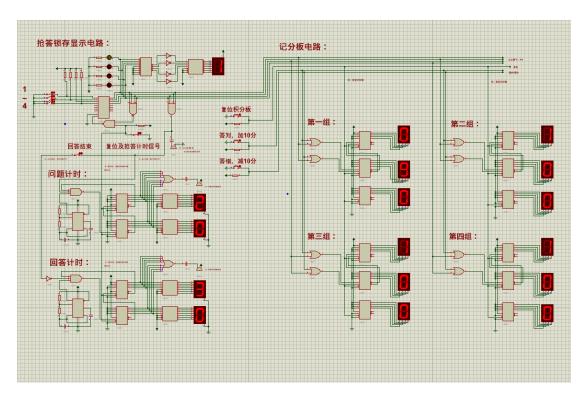


图 17 系统初始化以后

电路完成显示初始化状态正常。

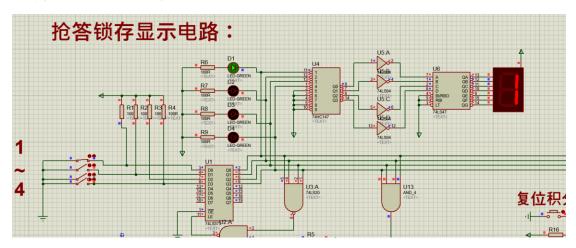


图 18 抢答电路仿真 1

图 18 仿真第一组抢答, 组别 LED 灯和数码管均正常显示。仿真结果表明系统正常工作, 可完成组别锁存和显示的功能。

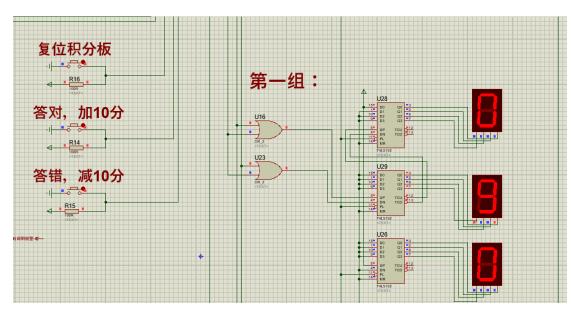
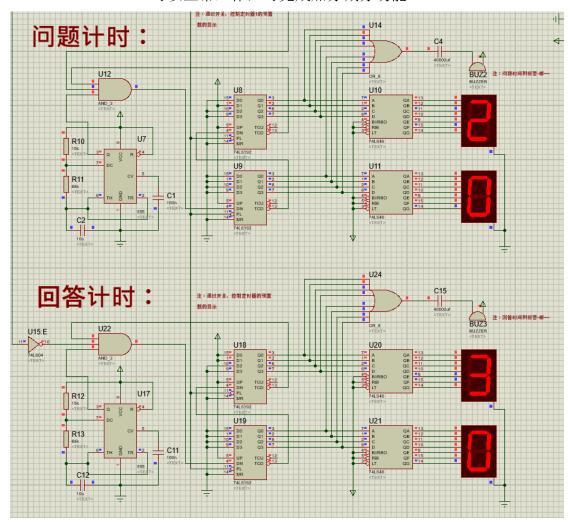
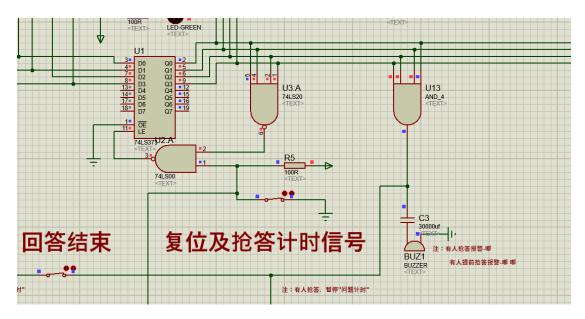


图 19 加分电路仿真 1

图 19 是对第一组选手抢答成功回答错误以后,给第一组减十分,结果表明电路可以正常工作,可完成加分减分功能。





В

#### 图 20 报警电路仿真部分

图 20(a) 是系统未报警时的状态, 蜂鸣器两端均为低电平, (b) 是抢答报警状态, 其中蜂鸣器一端为高电平, 驱动蜂鸣器发声报警。仿真结果表明系统工作正常, 可正常报警。

#### 七、收获与体会,存在的问题等

通过一周的课程设计,使我充分的把所学的知识运用到实践中,使我对数字电路有了进一步的了解,并且使我初步掌握了电路设计的基本方法。我们要先设计总体框架,然后把框架进行分解,化整为零地分析。设计好每个小模块然后组成大电路。在搭接电路时,搭完每个小模块都要对它进行调试,调试成功以后再把模块一个一个连接起来,每接入一个模块都要进行调试。

此次课程设计我选择的课题是数字竞赛器,我选择这个课题的原因有两点。1:它相对来说比较实用2:它要用到锁存器、优先编码器、译码器、计数器、与非门、NE555等芯片,这可以让我了解这些常用芯片。在设计抢答器、报警器、定时器地过程中,通过翻阅资料,上网搜索等,使我对上面这些电路器件及原理有了更深一层次的认识。虽然开始时我还不太明白电路时如何连接的,并且对其原理也不甚了解,但通过对所学知识更深入的了解和同学的帮助,最终使我克服了困难,并成功做出了设计。

总结:这次课程设计我有过对知识掌握不足地迷茫,也有过思路不清时地懊恼,但一路走来对我的设计、动手能力有了进一步的提升。虽然整个过程都很头疼,但是最终我们还是成功了。收获了知识,收获了希望和努力后地成果。

#### 八、感谢

在这次的电工与电子技术基础课程设计中,首先要感谢杨武刚、肖梅老师对 我们的帮助,没有老师的帮助我们很难完成这次的课设任务。其次要感谢同组同 学的努力和互相鼓励,正是因为大家各司其职努力完成各自的部分,我们才可以 较好的完成这次任务。

#### 九、参考文献

- 【1】秦曾煌主编. 电工学简明教程(第2版)[M]. 北京: 高等教育出版社, 2007.06.
- 【2】黎小桃, 余秋香. 数字电子电路分析与应用[M]. 北京理工大学出版社, 2014
- 【3】邬春明, 雷宇凌, 李蕾. 数字电路与逻辑设计[M]. 清华大学出版 社, 2015
- 【4】阎石, 王红. 数字电子技术基础(第六版)[M]. 高等教育出社, 2014

#### 十、附件

元件	参数/规格	数量
7段译码器	74LS48	双里
4位2进制加减计数器	74LS192	11
定时器	NE555	2
83 优先编码器	74LS148	1
38 译码器	74LS138	1
三态输出 8D 锁存器	74LS373	1
8 位双向移位寄存器	74LS198	2
4 位双向移位寄存器	74LS194	1
2 输入与非门	74LS03	5
4 输入与非门	4012	2
非门	74LS05	4
发光二极管	LED-RED	4
共阴极7段数码管1位,红		12
色		
独石电容	470nF	1
独石电容	1μF	1
瓷片电容	0.01μF	2
金属膜电阻	$1/4$ W, $100 \Omega$	4
金属膜电阻	1/4W,1k Ω	2
金属膜电阻	1/4W,200k Ω	2
单刀双掷开关		11
4 位拨码开关		1

8 位拨码开关	5
按钮开关	6
单刀单掷开关	11
5V 有源蜂鸣器	1

特别鸣谢 指导老师 杨武刚