

# INSTITUTO FEDERAL CATARINENSE – CAMPUS CAMBORIÚ

**Disciplina:** Arquitetura e Organização de Computadores

**Professor:** Alexandre A. Amaral

**Turma:** BSI 19

**Discente:** Guilherme de Barros da Rocha

**Matrícula:** 2019015315

## Exercícios

- Qual é, em termos gerais, a distinção entre a organização e a arquitetura do computador?
  - Arquitetura:** Atributos que impactarão na execução dos sistemas e programas neste computador.
  - Organização:** Atributos relacionados a implementação do hardware, como tecnologias por exemplo.
- Qual é, em termos gerais, a distinção entre a estrutura e a função do computador?
  - Estrutura:** Forma com que os componentes físicos do computador estão organizados.
  - Função:** Operação individual de cada componente.
- Quais são as quatro funções principais de um computador?
  - Processamento de Dados;
  - Armazenamento de Dados;
  - Movimentação de Dados;
  - Controle.
- Qual a razão para termos diferentes tipos de memórias nos computadores atuais?
  - Aumento crescente da velocidade das CPU, muito superior ao tempo de acesso da memória;
  - Capacidade de armazenamento, dado o aumento do tamanho dos programas e volume de dados.
- Defina o conceito de volatilidade e temporariedade de memórias.
  - Volatilidade:** É referente ao armazenamento do dado mesmo sem alimentação energética.
    - Volátil: A informação se perde após o desligamento da energia.
    - Não-volátil: Mesmo após o desligamento da energia o dado continua salvo, ele não se perde.
  - Temporariedade:** Refere-se ao tempo em que o dado fica armazenado em um dado tipo de memória.
    - Permanente: o dado permanece armazenado por um tempo indeterminado.
    - Transitório: o dado fica armazenado por um curto período de tempo.
- Um computador possui uma memória principal cujo endereço de sua última célula é  $(131071)_{10}$  e possui células com capacidade para 8 bits. Qual a capacidade da Memória Principal em bits? Qual o tamanho mínimo do RDM e do REM?
  - Última célula: 131.071
  - Quantidade de Células:  $(131.071 + 1) / 1024 = 128K$  células
  - Capacidade da MP:  $128K \text{ células} * 8 \text{ bits} = 1024Kbits$  ou 1Mbits
  - Tamanho Mínimo do RDM: 8 bits que é equivalente a 1 célula
  - Tamanho Mínimo do REM:  $128k \text{ células} \text{ é } 2^7 * 2^{10} = 2^{17}$  logo o tamanho mínimo do REM é: 17 bits
- Um processador possui um RDM com capacidade de armazenar 32 bits e um REM com capacidade de 24 bits. Sabendo-se que em cada acesso são lidas duas células da MP e que o *barramento de dados (BD)* tem tamanho igual a palavra. Pergunta-se:
  - Qual é a capacidade máxima de endereçamento?
    - $2^{24} = 2^4 * 2^{20} = 16M$
  - Qual é o total máximo de bits que pode ser armazenado na MP?
    - $32 \text{ bits RDM} / 2 \text{ celulas por vez} = 16 \text{ bits por célula} * 16M \text{ endereços} = 256Mb$

c. Qual é o tamanho da palavra desse computador e o tamanho de cada célula da memória?

- Tamanho da Palavra: 32bits
- Tamanho da Célula: 16bits

8. Um computador possui uma memória capaz de armazenar um total de 1 Gbits. Cada célula é capaz de armazenar números com 8 bits. O RDM deste computador tem capacidade para 32 bits.

Responda:

a. Qual o tamanho mínimo do REM?

- $1 \text{ Gbits} \Rightarrow 1024 \text{ Mbits} / 8 \text{ bits} = 128\text{M} \mid 128\text{M} = 2^7 * 2^{20} = 2^{27}$  logo tamanho mínimo do REM é 27 bits.

b. Quantas células são lidas em uma única operação de leitura?

- $\text{RDM} = 32 \text{ bits} / 8\text{bits por célula} = 4 \text{ células lidas por vez}$

9. Quais são as diferenças entre acesso sequencial, acesso direto e acesso aleatório?

- **Sequencial:** Os dados são gravados de forma sequencial, logo o tempo de acesso depende do quão “longe” o dado está.
- **Direto:** Semelhante ao sequencial, porém há endereços pra ir direto ao dado. Ainda assim o tempo do acesso depende da “localização” do dado.
- **Aleatório:** O tempo de acesso é o mesmo independente da localização do dado.

10. Como o princípio da localidade se relaciona com o uso de múltiplos níveis de memória?

- Caso um dado esteja em um nível de memória mais próximo do processador, não há a necessidade de o mesmo buscar o dado na memória principal que é consideravelmente mais lenta que o processador.

11. Quais são as diferenças entre mapeamento direto, mapeamento associativo e mapeamento associativo por conjunto?

- **Mapeamento Direto:** Método que utiliza um cálculo matemático (MOD) para definir a linha a qual o bloco deve ser armazenado.
- **Mapeamento Associativo:** Bloco de memória pode ser armazenado em qualquer linha da cache.
- **Mapeamento Associativo por Conjunto:** Separa a cache em conjuntos e utiliza o método associativo dentro de cada conjunto, diminui a quantidade de comparações da tag.

12. Por que não é necessário um algoritmo de substituição em memórias cache utilizando o mapeamento direto?

- Pois cada bloco já tem uma linha previamente definida que vai armazenar aquele bloco.

13. Quais é a diferença, em termos de endereço, capacidade e total de bits, entre as seguintes organizações de MP?

- Memórias B e C tem a mesma quantidade de células e Memória A tem o dobro de células que as demais, porém cada célula da memória B tem o dobro de tamanho que as células das memórias A e C, logo memória A e B tem o mesmo tamanho, porém B utiliza menos bits para endereçar. Memória C apesar de ter a mesma quantidade de células da memória B ela tem metade da capacidade total.

a. Memória A: 32K células de 8 bits cada;

- Endereço: 15 bits
- Capacidade total: 256Kbits

b. Memória B: 16K células de 16 bits cada;

- Endereço: 14 bits
- Capacidade total: 256Kbits

c. Memória C: 16K células de 8 bits cada?

- Endereço: 14 bits
- Capacidade total: 128Kbits

14. Um computador possui uma memória principal com 32K células, cada uma capaz de armazenar uma palavra de 8 bits. Pergunta-se:
- Qual o maior endereço de memória?
    - $32K = 2^5 * 2^{10} = 2^{15}$  ou 32766
  - Qual o tamanho do barramento de endereços deste sistema?
    - Verificado na letra A da questão: 15 bits
  - Qual é o total de bits que podem ser armazenados nesta memória?
    - $32K * 8 \text{ bits} = 256K\text{bits}$
15. Considere um computador que possui uma memória principal com capacidade de endereçamento de 64K células. Para criar um sistema de controle e funcionamento da cache, a memória principal é constituída de blocos de 8 palavras cada. A memória é do tipo *mapeamento direto*, contendo 32 linhas. Pergunta-se:
- Como seria organizado o endereço da MP em termos de *tag*, número da linha e palavra?
    - Tag:  $64K = 2^{16}$  endereços são utilizados 16 bits para endereçar a MP, logo se utiliza-se 3 bits para a palavra e 5 para o número de linha sobra 8 bits para a tag.
    - Número de linha: 32 linhas =  $2^5$  logo utiliza-se 5 bits para endereçar linhas
    - Palavra:  $8 = 2^3$  palavras por bloco logo utiliza-se 3 bits para endereçar a palavra.
  - Em qual linha estaria contida a palavra armazenada no endereço 0001 0001 0001 1011?
    - 0001000100011011
    - Número de linha: 00011 ou 3
16. Considere um computador com memória cache de 128KB de capacidade, constituída de linhas com 8 bytes de largura. A MP possui capacidade de 64MB. Calcule a quantidade de bits necessária para implementação da cache com *mapeamento associativo*.
- $64MB / 8B = 2^{26} / 2^3 = 2^{23}$  logo utiliza-se 23 bits para a tag
  - $8B = 2^3$  logo utiliza-se 3 bits para a palavra
  - Qntd de linhas =  $128Kb / 8B = 16K$  linhas
  - Bits para tag:  $16K \text{ linhas} * 23 \text{ bits} = 368Kb$
  - Tamanho da cache em bits:  $128KB * 8 = 1024Kb$
  - Bits para implementação da cache:  $1024Kb + 368Kb = 1392Kb$
17. Seja uma MP constituída de blocos com largura de 32 bytes, associada a uma cache de 64 KB usando o *mapeamento associativo por conjunto* de 4. Em dado instante o processador realizar um acesso, colocando o endereço 0011 1111 1100 1001 0010 1011 0110 no BD (*barramento de endereço*). Determine qual será o valor binário do campo *conjunto* e da *palavra* que será localizado pelo sistema de controle da cache.
- Palavra: largura do bloco  $32B = 2^5$  logo a palavra usa 5 bits
  - Qnt de Conjuntos:  $64KB / 32B = 2^{16} / 2^5 = 2^{11} / \text{conjuntos de } 4 \text{ ou } 2^2 = 2^9$  logo utiliza-se 9 bits para endereçar os conjuntos.
  - 0011 1111 1100 1001 0010 1011 0110
  - Campo Conjunto: 010010101
  - Palavra: 10110

18. Considere um sistema que utiliza *mapeamento direto* na sua cache e o formato dos endereços é:

Tag	Linha	Palavra
8 bits	12 bits	4 bits

Pergunta-se:

a. Qual a capacidade da MP, em bytes?

- $8+12+4 = 20$  bits para endereçar logo  $2^{20}$  ou 1MB

b. Quantas linhas possui a memória cache?

- 12 bits logo  $2^{12} = 4K$  linhas

c. Quantas células possui cada bloco/linha?

- 4 bits para endereçar logo  $2^4 = 16$  células

19. Uma cache *associativa por conjunto* consiste em 64 linhas divididas em conjuntos de 4 linhas. A memória principal contém 4K blocos de 128 palavras cada. Mostre o formato dos endereços da memória principal.

- 128 palavras por bloco =  $2^7$  logo utiliza-se 7 bits para endereçar a palavra.
- 64 linhas / 4 linhas por conjuntos = 16 conjuntos =  $2^4$  logo utiliza-se 4 bits para endereçar os conjuntos
- 4K blocos \* 7 palavras por bloco =  $2^{19}$  células logo utiliza-se 19 bits para endereçar a MP.
- 7 bits para **palavra**, 4 bits para o **conjunto** e sobram 8 bits para **tag**.
- **000 0000 0000 0000 0000**
- 

20. Uma cache *associativa por conjunto* (2 linhas por conjunto) possui linhas de 16 bytes e um tamanho total de 8 KBytes. A memória principal é 64 MBytes é endereçável por byte. Mostre o formato dos endereços da memória principal.

- $64MB = 2^{26}$  logo o endereçamento da MP utiliza 26 bits
- Cada linha da cache possui  $16B = 2^4$  logo o endereçamento da **palavra** precisa de 4 bits
- $8KB / 16B = 2^{13} / 2^4 = 2^9$  Linhas então  $2^9$  linhas /  $2^1$  (linhas/conjunto) =  $2^8$  conjuntos, logo precisamos de 8 bits para endereçar os **conjuntos** e o restante dos bits para endereçar a **tag**
- **00 0000 0000 0000 0000 0000 0000**

21. Faça um comparativo dos algoritmos de substituição de dados na cache FIFO, LRU, LFU e aleatório.

- **FIFO**: First-in-first-out (Primeiro a entrar é o primeiro a sair) que substitui o bloco mais antigo, independente da usabilidade do mesmo.
- **LRU**: Least Recently Used, substitui o bloco que permaneceu mais tempo sem utilização.
- **LFU**: Least Frequently Used, substitui o bloco menos utilizado.

22. Um computador tem uma memória cache de 64KB de capacidade, constituída de linhas com 16 bytes de largura e conjunto de 8 linhas. A MP possui capacidade de 256MB. Calcule a quantidade de bits necessárias para implementação da cache com *mapeamento associativo por conjunto*.

- $64KB / 16B = 2^{26} / 2^4 = 2^{12}$  linhas
- $2^{12}$  linhas /  $2^3$  (linhas por conjunto) =  $2^9$  conjuntos, logo precisa de 9 bits para endereçar os conjuntos;
- Cada linha da cache tem  $16B = 2^4$  B, logo precisamos de 4 bits para endereçar a palavra.
- $256MB / 16B = 2^{28} / 2^4 = 2^{24}$  blocos
- Endereçar Tag:  $\log(2^{24} / 2^9) = \log 2^{15} = 15$  bits
- Total tamanho Tag = 15 bits \*  $2^{12}$  linhas = 60Kb
- Tamanho da cache em bits = 64KB \* 8 = 512Kb
- Tamanho necessário para implementação: 512Kb + 60Kb = **572Kbits**

23. Considere um sistema de armazenamento constituído de uma memória principal, que é endereçada por byte e que tem uma capacidade de 256 MB, sendo organizada em blocos de 16 bytes de largura. Considerando que se usa neste sistema o método de *mapeamento direto* para uma cache constituída de 128 linhas, pergunta-se:

a. Qual deverá ser o formato do endereço a ser interpretado pelo sistema de controle da cache, indicando a largura de cada campo?

- $256\text{MB} = 2^{28} = 28$  bits para endereçar a MP
- Blocos de 16B =  $2^4$  logo utiliza-se 4 bits para a **palavra**;
- 128 linhas =  $2^7$  logo utiliza-se 7 bits para endereçar a **linha**
- O endereço tem um total de 28 bits, sendo os 4 primeiros para a palavra, os próximos 7 para a linha e o restante para a **tag** (17 bits).
- **1011 1110 0010 1001 1101 0000 1100**

b. Em que linhas deverão ser armazenados os bytes que possuam os seguintes endereços:

- 1011 1110 0010 1001 1**101 0000** 1100? **R:  $2^5 + 2^7 = 160$**
- 0001 1010 0011 0001 0**111 1000** 1111? **R:  $2^7 * 2^6 * 2^5 * 2^4 = 240$**

c. Qual deverá ser o total de bits consumido nessa cache?

- Total dados =  $2^7$  linhas de  $2^4$  B =  $2^{11}\text{B} * 2^3 = 2^{14}$  bits ou 16Kbits
- Total cache tag = 128 linhas \* 17bits = 2176 bits
- Total consumido na cache: 2176 bits + 16384 bits = 18560 bits / 1024 = 18,125Kbits

d. Qual deverá ser o endereço do bloco que contém um byte com o seguinte endereço:

**0010 1110 1001 0001 1110 0011 1110?**

- Endereço acima em decimal: 48.832.062
  - Bloco ao qual o endereço acima pertence:  $48.832.062 / 16 = 3.052.003$
  - Endereço do bloco em binário: 0010 1110 1001 0001 1110 0011
- OU
- Utiliza-se 4 bits para endereçar a **palavra**
  - $256\text{MB} / 16\text{B} = 2^{28} / 2^4 = 2^{24}$  blocos, logo utiliza-se 24 bits para endereçar os blocos.
  - $28 - 4 = 24$  bits para os **blocos**

24. Supondo o um sistema utilize o método de *mapeamento associativo por conjunto* de 4 linhas e que o formato do endereço de cache é:

Tag	Conjunto	Palavra
8 bits	8 bits	4 bits

Pergunta-se:

a. Qual a capacidade, em bytes, de armazenamento da MP?

- $8 + 8 + 4 = 20$  então  $2^{20} = 1\text{MB}$

b. Quantas linhas possui a memória cache?

- $2^8$  conjuntos \*  $2^4$  linhas por conjunto =  $2^{12}$  ou 4K linhas

c. Quantos conjuntos possui a memória cache?

- $2^8$  conjuntos = 256 conjuntos

d. Quantas células possui cada bloco/linha?

- $2^4 = 16$  células

25. Quais as principais diferenças entre EPROM, EEPROM e memória flash?

- As principais diferenças são os mecanismos de apagamento de cada uma delas que é diferente:
- **EPROM:** Utiliza luz UV em nível de pastilha;
- **EEPROM:** Apaga eletricamente byte a byte;
- **Flash:** Apaga eletricamente igual o EEPROM, porém de blocos em blocos.